

Mit BIT 7 von Port OE, 014 kann auf die IIIs CPU ein Interrupt (NMI) gelegt werden, wenn im Steuerport F5, 245 das BIT 5 auf HIGH gelegt ist (siehe Punkt 8). Dabei gilt:

BIT 7, OE : BIT 5, F5 : NMI am IIIs

| | | | | |
|------|---|------|---|------|
| LOW | : | LOW | : | HIGH |
| HIGH | : | LOW | : | HIGH |
| LOW | : | HIGH | : | HIGH |
| HIGH | : | HIGH | : | LOW |

Aus dieser Tabelle folgt, daß mit BIT 5 von Port F5, 245 ein NMI von der ULTRA/8 auf den IIIs unterbunden werden kann.

2. über die Ports 10-13, 016-019 können alle internen Status und Steuersignale über einen weiteren NEC 8255-2 gelesen und geschrieben werden. Es ist darauf zu achten, daß die angegebene Initialisierung durchgeführt wird. Für die Belegung gilt:

Port 10, 016 => 8255-2, Kanal A, auf OUTPUT einstellen.

Port 11, 017 => 8255-2, Kanal B, auf INPUT einstellen.

Port 12, 018 => 8255-2, Kanal C, auf OUTPUT einstellen.

Port 13, 019 => 8255-2, Command-Register

```

IB2550 LD A,82H ;Kanal A=OUT, B=IN, C=OUT
      OUT (13H),A ;Wert zum Command-Register
      RET ;Zurück zum Hauptprogramm
  
```

Für die Funktion der Ports ergibt sich folgendes :

Port 10, 016:

Die BITS 0 - 7 sind direkt an die GATE-Eingänge der Timer 8253 angeschlossen (siehe auch Punkt 3 - 5).

Port 11, 017:

Die BITS 0 - 7 sind über Zwischenspeicher indirekt mit den Eingängen des Steckers S1 verbunden. Das heißt, wenn an einem Eingang von S1 eine HIGH=>LOW Flanke auftritt, wird diese in einem Flip - Flop zwischengespeichert und am Port 11, 017 durch einen HIGH-Pegel angezeigt. Gleichzeitig wird der Wert des LAP-Counters in 2 zum Eingang gehörige LAP-Latches übernommen (16 Bit). Bis zum Service (lesen der zugehörigen LAP-Latches) wird der Eingang gesperrt. Das Lesen der LAP-Latches (siehe Punkt 6) setzt den HIGH-Pegel zurück und gibt den Eingang wieder frei.

Port 12, 018:

Mit den BITS 0 - 2 und 4 - 6 werden die Grundfrequenzen des LAP Counters und der Timer eingestellt (siehe Tabelle).