

PSI80 - Hardware-Beschreibung

Stand: 25. April 1980
Version: 3.2
Copyright by KONTRON ELEKTRONIK Eching/München

PSI - M

Inhaltsverzeichnis

1. Produktübersicht
2. Architektur der Computerbaugruppe
3. Hardware-Beschreibung
 - 3.1 Zentraler Rechnerteil
 - 3.1.1 CPU mit Takt. Pufferung und Rücksetzlogik
 - 3.1.2 Speicherbereiche
 - 3.1.2.1 Festwertspeicher
 - 3.1.2.2 Schreib-/Lesespeicher
 - 3.1.2.3 Externe Speicher
 - 3.2 Ein-/Ausgabekanäle
 - 3.2.1 PSI80-E/A-Einheiten
 - 3.2.2 E/A-Adressen
 - 3.3 Bildprozessor und Bildwiederholpeicher
 - 3.3.1 Bildprozessor MC 6845
 - 3.3.2 Alphanumerische Darstellung
 - 3.3.3 Graphischer Betrieb
 - 3.3.4 Programmierung des Videoprozessors
 - 3.3.5 Sichtschirmschnittstelle
 - 3.4 Zähler/Zeitgeber
 - 3.5 Serienschnittstellen
 - 3.5.1 Serieller Baustein Z80A-SIO
 - 3.5.2 Anschluß von Peripheriegeräten
 - 3.5.3 Kassetten-Schnittstelle
 - 3.6 Parallel-Schnittstellen
 - 3.6.1 PSI80-Kontrollport
 - 3.6.2 Tastaturanschluß
 - 3.6.3 Druckerschnittstelle
 - 3.7 Floppy Disk-Ansteuerung
 - 3.7.1 Aufzeichnungsformat
 - 3.7.2 FD-Subprozessor
 - 3.7.3 Laufwerkanschluß
 4. Beschreibung des Einschubrahmens
 - 4.1 ECB-Bus Standard
 - 4.2 Adressierung im ECB-Bus
 - 4.3 Interruptsteuerung im Einschubrahmen
 - 4.3.1 Interruptvektoren
 - 4.3.1 Interruptpriorität
 - 4.3.3 Interruptabwicklung
 - 4.4 Stromversorgung des Einschubrahmens
 5. Netzteil des PSI80-Computers

1. Übersicht

Diese technische Beschreibung der zentralen Hardware des PSI80-Systems gilt der Architektur, den Funktionen und den Ausbaumöglichkeiten eines modernen leistungsfähigen Kompakt-Computers.

Es wird von Fall zu Fall auf Schalt- und Bestückungspläne verwiesen, die zum Lieferumfang jedes Systems gehören. Außerdem werden Datenblätter und Beschreibungen folgender großintegrierter Schaltkreise verwendet:

Z80A-CPU	Z80A-SIO
Z80A-PIO	Z80A-CTC
FD1771	MC6845

Diese Bauteile werden auch im Text zumindest kurz charakterisiert. Im allgemeinen ist eine direkte Programmierung dieser Komponenten nicht notwendig, da Systemaufrufe zur Verfügung stehen.

Die PSI80-Hardware ist auf einer zentralen Platine aufgebaut. Unterschiedliche Ausbaustufen sind im allgemeinen mit unterschiedlicher Bestückung verbunden. Außerdem können Unterschiede in der Auslegung und Anzahl der peripheren Einheiten mit den unterschiedlichen Versionen verbunden sein.

Es wird soweit wie möglich in der Beschreibung auf diese Varianten Rücksicht genommen.

PSI80 - Aufbau

Basis der PSI80-Computerserie ist eine hochintegrierte Computerbaugruppe, die eine vollständige Zentraleinheit mit weitreichenden Ausbaumöglichkeiten umfaßt. Auf dieser Platine sind in der maximalen Ausbaustufe möglich: Zentralprozessor, Programm- und Datenspeicher (max. 16 kByte PROM, 64 kByte RAM), Bildschirmprozessor mit 16 kByte Bildwiederholungspeicher, Tastaturanschluß, Controller für 2 ins Gehäuse integrierte Minifloppy-Laufwerke (je ca. 144 kByte), Parallel- und Serien-Ein-/Ausgabe und ECB-Busschnittstelle. Zusätzliche Ausbaumöglichkeiten bietet ein optionaler Einschubrahmen für anwendungsorientierte Funktionseinheiten. Als verfügbare Busstandards für diese Erweiterung wurden der ECB-Bus und der S100-Bus gewählt.

PSI80 - Konfigurationen

Alle PSI80-Kompakt-Computer bestehen im Grundsystem aus Zentraleinheit mit ZILOG's Z80A-Serie, 4MHz Systemtakt, eingebautem Sichtschirm mit 25 Zeilen a 80 Zeichen, grafikfähigem Bildprozessor, 16 kByte Bildspeicher, Zähler/Zeitgeber, Kansas-City-Standard Kassetten-geräteanschluß, getrennter alphanumerischer Tastatur mit Groß-/Kleinschreibung und deutschen Sonderzeichen, sowie 2 kByte promresidentem Monitor BOS. Die PSI80-Computerserie umfaßt derzeit vier Ausbaurichtungen:

PSI80-H Heimcomputer und Terminal

Grundsystem und 16 kByte Schreib-/Lesespeicher, 6 kByte promresidenter BASIC-Interpreter,

PSI80-S Standard-Computersystem mit 1 Mini-FD-Laufwerk

Grundsystem und 32 kByte Schreib-/Lesespeicher, 1 Serialschnittstelle RS232C, 1 Mini-Floppy Disk-Laufwerk integriert, Betriebssystem KOS, BASIC-Interpreter, Editor und Z80-Assembler auf Diskette

PSI80-P Prozeßsteuerungs-orientiertes System für Meß- und Regeltechnik

Grundsystem und 16 kByte Schreib-/Lesespeicher Fassungen für 3 weitere EPROM's, 2 Vollduplex-Serien-Kanäle mit RS 232-Pegel, zwei 8-Bit Ein-/Ausgabegabeschnittstellen (entspricht einem Centronics-Interface), Composite Video-Ausgang, ECB-Bus und Einschubrahmen für Erweiterungsbaugruppen, Netzteil mit 5V, +12V, +15V und -15V

PSI80-M Minirechner für Anwendungen mit 2 Mini-FD-Laufwerken

Grundsystem und 64 kByte Schreib-/Lesespeicher, Fassungen für 3 weitere EPROM's, 2 Vollduplex-Serien-Kanäle mit RS 232-Pegel, zwei 8-Bit Ein-/Ausgabegabeschnittstellen (entspricht einem Centronics-Interface), Composite Video-Ausgang, ECB-Bus und Einschubrahmen für Erweiterungsbaugruppen, Netzteil mit +5V, +12V, -12V, +15V und -15V, Zwei Mini-Floppy Disk-Laufwerke integriert, Betriebssystem KOS, Texteditor, Z80 Assembler und BASIC-Interpreter auf Diskette.

Ergänzt wird diese Reihe um die Systeme PSI80-S/2 (64 kByte RAM und 2 Mini-FD-Laufwerke) und PSI80-P/1 (32 kByte RAM und 1 Mini-FD-Laufwerk).

Hardware

Grundgerät

Gehäuseabmessungen B T H: ca. 455 355 270 mm

Gehäusewerkstoff flammgeschützt gemäß UL 94

Farbe weiß

Gewicht ca. 13 kg

Leistungsaufnahme ca. 100 VA

Elektronik-Baugruppe

Z80A-System

Doppeleuropaformat. verlängert

Sichtschirm

Bilddiagonale 9"

512 Zeilen

256 Bildpunkte pro Zeile

grün

Mini-Floppy Disk

77 Spuren. davon 5 reserviert für System und Inhaltsverzeichnis

16 Sektoren pro Spur

128 Bytes pro Sektor

softsektoriert

Transferrate 125 kBit/s

Zugriffszeit: Spur zu Spur: 40ms

Durchschnitt: 780 ms

Netzteil

Schaltnetzteil

Wirkungsgrad gesamt > 80%

Zusätzlich belastbar mit 3A bei +5V und je 200 mA bei +12V. -12V.

+15V. -15V (für PSI80-M und PSI80-P)

Tastatur

Deutsche Tastatur nach DIN 2137

7-Bit ASCII-Code nach DIN 66003

Abmessungen B T H: ca. 410 210 60 mm

Elektrischer Aufbau nach VDE-Norm

FTZ-zugelassen

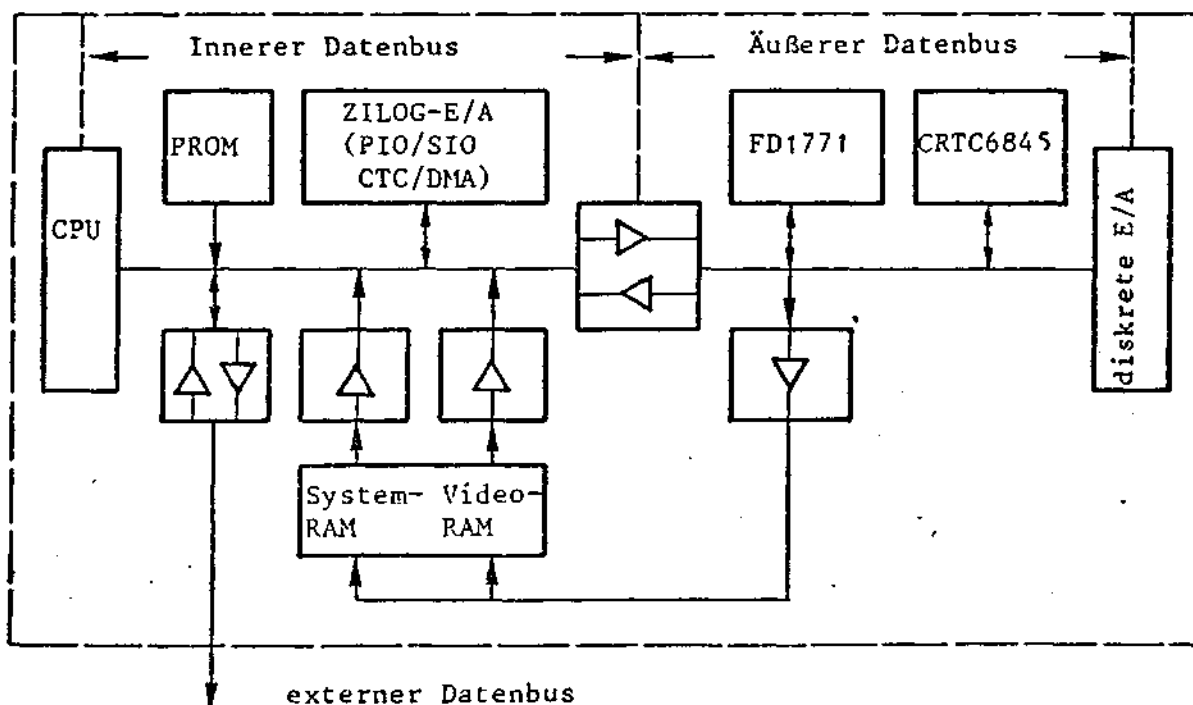
2. Architektur der Rechnerbaugruppe

Die Architektur des Rechners entspringt langjähriger Erfahrung auf dem Gebiet der Schaltungsentwicklung von Mikrocomputersystemen. Die Einheiten auf der Grundplatte wurden nach funktionalen, logischen und elektrischen Gesichtspunkten so angeordnet, daß höchste Betriebssicherheit gewährleistet wird. So wurde beispielsweise strikt darauf geachtet, die Busstruktur des Prozessors (Adreß-/Datenbus) auch im Layout aufrechtzuerhalten, um Störeinflüsse, wie Übersprechen etc. von vornherein zu minimieren.

Die Aufteilung in einen "inneren" und "äußeren" Datenbus begrenzt die kapazitive Belastung in den einzelnen Bereichen und erhöht somit wiederum die Betriebssicherheit. Der "innere" Datenbus verbindet alle ZILOG Z80A-Peripheriebausteine und die Ausgänge der Speicher mit der CPU. Störsichere Schmitt-Trigger-Puffer trennen diesen vom "äußeren" Datenbus, der alle übrigen Peripherieeinheiten und die Eingänge der Schreib-/Lesespeicher bedient. Diese Anordnung erübrigt einerseits Aufwand zur Bussteuerung für ZILOG's E/A-Bausteine und ermöglicht andererseits die Verwendung von Speichern mit einer Zugriffszeit nahe der theoretisch oberen Grenze (375 ns).

Neben diesen beiden Bussystemen steht für Erweiterungen ein durch störsichere Schmitt-Trigger-Puffer elektrisch völlig getrennter "externer" Datenbus im ECB-Standard zur Verfügung.

Blockschaltbild:



3. Hardwarebeschreibung

3.1 Zentraler Rechnerteil

Der Rechnerteil läßt sich in folgende funktionale Blöcke aufteilen:

- CPU mit Buspuffern
- Festwertspeicher
- Schreib-/Lesespeicher
- allgemeine Ein-/Ausgabeeinheiten
- Bildprozessor
- Floppy Disk-Prozessor

Die folgenden Abschnitte beschreiben Einzelheiten der Baugruppe. Zur Unterstützung der Beschreibung gehören zum Lieferumfang Schalt- und Bestückungspläne der PSI80-Hardware.

3.1.1 Zentraleinheit mit CPU, Takt und Pufferung

Blatt 1 der Schaltpläne zeigt die Zentraleinheit der Computerbaugruppe inklusive Buspuffer, Takterzeugung und Rücksetzlogik.

Die CPU besitzt drei verschiedene Bussysteme: Adreß-, Steuer- und Datenbus. Die beiden erstgenannten sind unidirektional, d.h. sie gehen immer von der CPU aus und führen von dort im Prinzip zu allen auf der Baugruppe vorhandenen Funktionsgruppen. Deshalb sind diese Signale unmittelbar am Ursprung (der CPU) durch störsichere Schmitt-Trigger-Bausteine (IC3-IC5: 74LS241) gepuffert.

Der Datenbus ist bidirektional, d.h. der Informationsstrom kann sowohl von außen zur CPU (Lesevorgang), als auch umgekehrt (Schreibvorgang) fließen. Zur Steuerung der entsprechenden Richtung und um zu verhindern, daß mehrere Datenquellen gleichzeitig den Bus beanspruchen, ist eine Bussteuerung vorhanden.

Die PSI80-Zentralbaugruppe hat einen zweigeteilten Datenbus. Der "innere Datenbus" (ID0 ... ID7) verbindet alle Z80A-Peripheriebausteine, den PROM-Bereich und die Ausgänge sämtlicher Speichereinheiten mit der CPU. Der "äußere Datenbus" (AD0 ... AD7) schließlich bedient die Eingänge der Schreib-/Lesespeicher und die übrigen Peripherieeinheiten.

Die Richtungssteuerung des bidirektionalen Datenbuspuffers (IC27) zwischen "innerem" und "äußerem" Datenbus entspricht folgenden Bedingungen:

Im Normalzustand ist die Richtung von innen nach außen. Eine Umschaltung muß nur dann erfolgen, wenn von einem der äußeren Peripheriebausteine bzw. -prozessoren (FD-, Bildprozessor) gelesen wird. Die entsprechende Verknüpfung lautet:

$$\text{CPUIN} = \text{RD} \wedge (\text{Y5vY6vY7})$$

wobei Y5 bis Y7 die Freigabeleitungen dieser Bausteine sind.

In verschiedenen Ausbaustufen der PSI80-Computerkarte steht für Erweiterungen mit ECB- oder S100-Baugruppen auch ein externer Bus zur Verfügung. Dieser ist über einen eigenen bidirektionalen Puffer (IC6: 74LS245) mit dem "inneren" Datenbus verbunden. Die in diesem Fall komplizierte Richtungssteuerung ist in Baustein P5 realisiert. Der externe Adreß- und Steuerbus ist identisch mit dem internen. Für Erweiterungen steht ein FAN-OUT von etwa 7 TTL-Lasten zur Verfügung.

Der Systemtakt von 4MHz wird aus einem 16 MHz Quarzoszillator abgeleitet. Der Zählerbaustein IC18 (74LS393) arbeitet als Binärteiler und liefert neben 4MHz auch 8, 2 und 1 MHz-Signale, welche für verschiedene Zwecke auf der Baugruppe benötigt werden. Das 4 MHz-Signal gelangt schließlich über eine Gegentaktendstufe zur CPU und den Z80A-Peripheriebausteinen. Eine derartige Endstufe ist erforderlich, um den strengen Spezifikationen der Z80A-Bausteinfamilie hinsichtlich Taktpegel und Anstiegsflanken Rechnung zu tragen.

Zum definierten Start eines Programms ab Adresse 0 benötigt ein Mikroprozessor ein Rücksetzsignal, was beim Einschalten der Versorgungsspannung automatisch oder manuell durch die Resettaste (Frontseite) erzeugt wird.

3.1.2 Speicherbereiche

Die PSI80-Computerbaugruppe enthält in ihrer Maximalbestückung bereits das 1 1/2-fache des durch die Z80A-CPU direkt adressierbaren Speicherbereichs von 64 kByte, also 96 kByte. Dieser Bereich teilt sich wie folgt auf:

- Maximal 16 kByte Festwertspeicher (PROM)
- Maximal 64 kByte Schreib-/Lesespeicher (RAM)
- 16 kByte Bildwiederholungspeicher (RAM)

Die Auswahl erfolgt durch "Mapping".

3.1.2.1 Festwertspeicher

Zur Realisation des Festwertspeicherbereichs stehen maximal vier Fassungen zur Aufnahme von EPROM's verschiedener Kapazitäten zur Verfügung. Folgende Typen können eingesetzt werden:

- 2716 (dies ergibt maximal 8 kByte)
- 2732 (dies ergibt maximal 16 kByte)

Werkseitige Bestückung (F = Fassung):

	PROM1	PROM2	PROM3	PROM4
PSI80-H	2716	2716	2716	2716
PSI80-S	2716			
PSI80-P	2716	F	F	F
PSI80-M	2716	F	F	F

Die PROM-Ausgänge sind unmittelbar mit dem "inneren" Datenbus verbunden, was Zugriffszeiten nahe des theoretisch möglichen Maximalwertes von 375 ns erlaubt. Diese Maßnahme erfordert eine saubere Steuerung der PROM-Freigabeeingänge (Chip Select), um Störungen auf dem Datenbus auszuschließen. Die Bausteinauswahllogik ist in PROM6 (HM7611) realisiert, das seinerseits durch das Zusammentreffen der Signale RD (Read) und MRQ (Memory Request) freigegeben wird. Blatt 2 zeigt das zugehörige Schaltbild.

Der Dekoderbaustein PROM6 ordnet den einzelnen Promsockeln (PROM1-PROM4) in Abhängigkeit des Eingangs A4 (Umschaltung 2716/2732 durch Jumper J6 oder Drahtbrücke) folgende Adressbereiche zu (alle Zahlenwerte hexadezimal):

	J6 geschl.	J6 offen
Innerer Steckplatz:	PROM1	0000 - 07FF
	PROM2	0800 - 0FFF
	PROM3	1000 - 17FF
Äußerer Steckplatz:	PROM4	1800 - 1FFF

In den Versionen PSI80-M und PSI80-P befindet sich neben jedem Promsockel ein steckbarer Kurzschlußbügel (Jumper J1-J4) zur Umstellung von 2-kByte auf 4-kByte EPROM's. Die werkseitige Einstellung (B) ist für 2-kByte PROM's (2716). In diesem Fall ist auch J6 geschlossen. Sollen in den Versionen PSI80-M und P die drei freien Sockel mit 4-kByte Bausteinen (2732) bestückt werden, müssen die Jumper J1-J4 in Stellung A gebracht werden (siehe auch Bestückungsplan). Es ist außerdem erforderlich, J6 zu öffnen.

Die Kurzschlußbügel sind in der Version PSI80-H durch Drahtbrücken ersetzt und fest für 2716 EPROM's verdrahtet. Durch einen weiteren Steuereingang (A2) kann der Adreßdekodebaustein (PROM6: HM7611) völlig gesperrt und somit der PROM-Bereich abgeschaltet werden.

Hinweis:

Bei jeder Programmierung dieses Bit's und beim software-mäßigen wie beim hardwaremäßigen RESET des Z80A-SIO-Bausteins wird der unterste RAM-Bereich abgeschaltet.

Dieser Anschluß (POFF) ist bei allen Floppy-Disk-basierenden Systemen mit dem SIO-Bit DTRA verbunden. Damit ist Kanal A des Z80A-SIO nicht für Modemsteuerung verwendbar.

Die Verbindung DTRA - POFF ermöglicht ein An- und Abschalten der Festwertspeicher unter Softwarekontrolle. Beim Rücksetzen (oder Einschalten) des Systems wird der Prombereich durch das RESET-Signal automatisch (wieder) freigegeben, sodaß ein sicherer Kalt- oder Neustart jederzeit gewährleistet ist.

Beim maximalen Schreib-/Lesespeicherausbau der PSI80-Zentralbaugruppe überlappen sich bei nicht abgeschalteten PROM's die Adreßbereiche von Festwert- und Schreib-/Lesespeicher. Deshalb sind Vorkehrungen notwendig, um Datenbuskonflikte bei der Adressierung dieser überlappenden Bereiche zu verhindern. Dazu dient das Signal "PROMDEC", das immer dann aktiv ist, wenn von einer den PROM's zugeordneten Adressen gelesen wird. Es verhindert die Freigabe der RAM-Ausgangspuffer (IC28). Die Tatsache, daß der Festwertspeicher in einem "Nur-Lese-Bereich" liegt, erlaubt die gleichzeitige Existenz eines "Nur-Schreib-Speichers" im selben Adreßbereich. PROM's können deshalb sehr einfach in den Schreib-/Lesespeicher desselben Adreßbereichs kopiert werden.

weiterlei:

auf den Bildwiederholtspeicher erforderlich ist, wenn dessen gleichzeitig wird der Zugriff des Bildspeicher ist standardmäßig zu erreichen.

Bank des 64k-Systemspeichers,altet, um Doppelbelegungen zu Signal CAS/S kennzeichnet einen und dient zusammen mit dem Reader RAM-Datenbuspuffer (IC28). Der Bildwiederholtspeicher (IC25) wird RASV und RD freigegeben.

fordert das Abschalten des auf externen Speichers. Dies ist mit Bit Bei aktivem MAP-Signal erzeugt unterhalb 8000H kein CAS-Signal aber der Datenbuspuffer (IC28). external Memory) erzeugt, welches t 1) zur Richtungssteuerung des externe Speicher müssen also im

rungen möglich, die über den rzu muß allerdings pro 32 kByte Verfügung gestellt werden. Dazu Ein-/Ausgabeleitungen der h bestimmt die Anzahl der nzahl der zulässigen externen 32

-Zentralbaugruppe besteht aus vier steht für den Bildwiederholtspeicher ügung (siehe dazu Abschnitt 3.3). n Versionen PSI80-H und PSI80-P, 32 64 k bei PSI80-M und PSI80-S/2

die Speicherbänke inklusive der zur lfe notwendigen Zusatzlogik. Sie Adreßdekoderprom (PROM 7), den 74S157) und der ; 74LS14).

itungen A14 und A15 die RAS-Signale e, sowie die Signale CAS und CAS/S. sind die beiden Adreßbits A14 und 21: 74LS375).

er dann auf, wenn ein gewöhnlicher en) erfolgt, nicht aber bei einem schaltet nach der Laufzeit zweier Multiplexer auf die Spaltenadresse Verzögerung an die CAS-Eingänge der

1.6.1) programmierbare Eingänge des icken das Umschalten von einer l wiederholtspeicher (Eingang A4: EC) ammierbaren) Teils des internen sind externe Speichererweiterungen tt 3.1.2.3 zu finden).

Die Aktivierung des Bits EC bewirkt zweierlei:

Zum ersten wird der CPU-Zugriff auf den Bildwiederholpeicher frei gegeben, was immer dann erforderlich ist, wenn dessen Inhalt verändert werden soll. Gleichzeitig wird der Zugriff des Bildprozessors verhindert. Der Bildspeicher ist standardmäßig unter den Adressen 8000H...BFFF zu erreichen.

Zum zweiten wird die entsprechende Bank des 64k-Systemspeichers, also Bank 2 (=RAS2) abgeschaltet, um Doppelbelegungen zu vermeiden. Das bereits erwähnte Signal CAS/S kennzeichnet einen Zugriff auf den Systemspeicher und dient zusammen mit dem Read Signal der CPU zur Steuerung der RAM-Datenbuspuffer (IC28). Der entsprechende Puffer für den Bildwiederholpeicher (IC25) wird beim Zusammentreffen der Signale RASV und RD freigegeben.

3.1.2.3 Externer Speicher

Der Zugriff auf externe Speicher erfordert das Abschalten des auf demselben Adreßbereich liegenden internen Speichers. Dies ist mit Bit A7 (MAP) von PIO-2 (PORTA) möglich. Bei aktivem MAP-Signal erzeugt der Speicheradreßdekoder für Adressen unterhalb 8000H kein CAS-Signal mehr und verhindert dadurch die Freigabe der Datenbuspuffer (IC28). Stattdessen wird das Signal "EXT.M" (external Memory) erzeugt, welches der Datenbussteuerbaustein P5 (Blatt 1) zur Richtungssteuerung des ECB-Bustreibers (IC6) benötigt. Externe Speicher müssen also im Adreßbereich 0000H - 7FFFH liegen.

Theoretisch sind selbst Erweiterungen möglich, die über den beschriebenen Umfang hinausgehen. Hierzu muß allerdings pro 32 kByte Erweiterung eine I/O-Leitung zur Verfügung gestellt werden. Dazu eignen sich vorhandene Ein-/Ausgabeleitungen der PSI80-Computerbaugruppe. Letztlich bestimmt die Anzahl der Steckplätze des Einschubrahmens die Anzahl der zulässigen externen 32 kByte Blöcke.

3.2 Ein-/Ausgabekanäle

3.2.1 PSI80-E/A-Einheiten

Die PSI80-Computerbaugruppe ist bereits in den Grundversionen mit drei äußerst leistungsfähigen Z80A-Peripheriebausteinen, sowie einem Subprozessor zur Bilderzeugung ausgestattet. In den diversen Ausbaustufen stehen zwei weitere Z80A-Peripheriebausteine, sowie ein Floppy-Disk-Subprozessor zur Verfügung. Die folgende Aufstellung zeigt die Funktion der einzelnen Bausteine, sowie die Bestückung in den jeweiligen PSI80-Versionen (F = Fassung vorhanden, aber nicht bestückt, B = bestückt):

	PSI80-Version	H	S	P	M
- PIO-1	2 x 8 Bit Parallelschnittstelle f. Tastaturanschluß und interne Steuerleitungen	B	B	B	B
- PIO-2	2 x 8 Bit Parallelschnittstelle f. Druckeranschluß oder allgemei- ne Verwendung	-	-	B	B
- SIO/0	2 Voll-Duplex-Serienschnittstellen PSI80-H.S: nur ein Kanal (SIO/9)	(9)	(9)	B	B
- CTC	4 Zähler-/Zeitgeberkanäle	B	B	B	B
- DMA	Steuerbaustein für direkten Speicherzugriff	-	-	F	F
- FD1771	Floppy Disk Steuerprozessor zum Betrieb von 4 Laufwerken	-	B	-	B
- CRT MC6845	Bildprozessor für alphanumerische und graphische Darstellung	B	B	B	B
- STL/M	2 x 8 Bit diskrete Eingabeports	-	-	F	F

3.2.2 E/A-Adressen

Die folgende Tabelle enthält die Adressen sämtlicher Peripheriebausteine der PSI 80-Zentralbaugruppe. Schaltungstechnisch besteht der Adreßdekoder aus dem Baustein IC17 (Blatt 1: 74LS138). Dieser dekodiert aus den Adreßleitungen A2 - A4 die Auswahlsignale Y0 bis Y7, allerdings nur dann, wenn der Baustein P5 eine Adresse kleiner 20H erkennt. Externe Ein-/Ausgabeerweiterungen müssen also auf Adressen oberhalb 20H liegen, um als extern erkannt zu werden. Die einzelnen Peripheriebausteine werden in den folgenden Abschnitten ausführlich beschrieben.

Ein-/Ausgabeadressen:

Adreßdek.Ausg.	Baustein	Adresse (Hex)	Port/Kanal
Y0	DMA	00	A - DATA
		01	B - DATA
		02	A - CONTROL
		03	B - CONTROL
Y1	SIO	04	A - DATA
		05	B - DATA
		06	A - CONTROL
		07	B - CONTROL
Y2	CTC	08	Kanal 0
		09	Kanal 1
		0A	Kanal 2
		0B	Kanal 3
Y3	PIO-2	0C	A - DATA
		0D	B - DATA
		0E	A - CONTROL
		0F	B - CONTROL
Y4	PIO-1	10	A - DATA
		11	B - DATA
		12	A - CONTROL
		13	B - CONTROL
Y5	FD1771	14	Kommando-Register
		15	Sektor-Register
		16	Track-Register
		17	Daten-Register
Y6	CRTC	18	Registerzeiger
		19	Register-File
		1A	-
		1B	-
Y7	Diskret	1C	-
		1D	DIP SWITCH 1
		1E	DIP SWITCH 2
		1F	-

Ein-/Ausgabe-Adressen

In den Versionen PSI80-H/-S ist Prom 5 nicht bestückt; der Freigabeeingang des E/A-Adreßdekoders (Pin 5) ist dort fest mit Masse verbunden.

3.3 Bildprozessor und Bildwiederholtspeicher

Der Bildprozessor der PSI80-Rechnerbaugruppe erzeugt alle zur Ansteuerung eines Sichtschirms notwendigen Zeitsignale (z.B.: horizontale und vertikale Synchronisationspulse), sowie insgesamt 19 Bit zur Adressierung des Bildwiederholtspeichers und des Zeichengenerators. Der hier eingesetzte Baustein (Motorola CRT 6845) wird in einem Mikrocomputersystem als Peripheriebaustein betrachtet, der zunächst programmiert (initialisiert) werden muß, um seine Arbeit aufnehmen zu können. Dann allerdings arbeitet er vollkommen autonom, kann jedoch jederzeit per Software umprogrammiert werden.

Die Programmierung dieses Bildprozessors bestimmt wesentlich das Format des Bildes. Alle wichtigen Parameter, wie Anzahl der Bildzeilen, Zeichengröße oder Anzahl der Zeichen pro Zeile sind in weiten Grenzen programmierbar. Das Standardbildformat des PSI80-Computers besteht aus 25 Textzeilen zu je 80 Zeichen. Die Größe des Bildwiederholtspeichers von 16 kByte erlaubt das Speichern von bis zu 8 Text- (Bild-)seiten, wobei zu jeder Zeit durch Ändern der Bildstartadresse ein anderer Ausschnitt auf dem Sichtschirm dargestellt werden kann. Diese Funktion bezeichnet man als "Scrolling". Der Bildprozessor beherrscht Scrolling zeilen- und seitenweise.

Neben der alphanumerischen Darstellung kann die PSI80-Computerbaugruppe auch zur vollgraphischen Bilderzeugung verwendet werden. In diesem Fall beträgt die maximale Auflösung 256 x 512 Punkte. Dies entspricht der Kapazität des Bildwiederholtspeichers von 16 kByte.

3.3.1 Bildprozessor MC 6845

Der Bildprozessor MC 6845 stellt die folgenden vier Gruppen von Signalen bereit:

- Zeilen- und Bildsynchronisation (HSYNC und VSYNC)
- Bildwiederholtspeicheradressen (14 Bit)
- Zeichengenerator-Reihenadressen (5 Bit)
- Zusatzsignale zur Bilderzeugung (Bildfreigabe, Cursorsteuerung etc.)

Die Busschnittstelle des Bildprozessors entspricht - nicht den Konventionen des Z80A-Systems. Zur Anpassungen dienen zwei Flipflops (IC32/33), die ein zur Adressierung des Bausteins erforderliches Freigabesignal (Pin 23) erzeugen.

3.3.2 Alphanumerische Darstellung

Ist Bit A7 von PIO-1 gesetzt, so arbeitet die Bilderzeugungsschaltung der PSI80-Computerbaugruppe in der alphanumerischen Betriebsart. In diesem Fall wird der Inhalt des Bildwiederholerspeichers als ASCII-Code interpretiert und zur Adressierung eines Zeichengeneratorproms (PROM 8: 2716) verwendet. Letzterer enthält die Hell-/Dunkelinformation für insgesamt 128 verschiedene Zeichen. Jedes Zeichen besteht aus einer Matrix von 8 x 10 Punkten.

Die Information, welche Zeile eines Zeichens momentan geschrieben wird, stellt der Bildprozessor mit seinen Reihenadressen R0 bis R3 zur Verfügung. Diese bilden die Adressen A0 bis A3 des Zeichengenerators, der somit theoretisch eine Zeichenmatrix von 8 x 16 Punkten generieren könnte. Das folgende Bild zeigt die Programmierung von PROM 8 am Beispiel der Buchstaben A und M, wie sie zur Bildung einer 8 x 10 Matrix erforderlich ist:

PROMADRESSEN		ZEILE	PROMAUSGÄNGE	
A10.....A4	A3...A0		D7	D0
Buch- stabe A (41H)	I 0 0 0 0 0 I	0	0 0 0 0 0 0 0 0 0 0	0
		1	0 0 I I I I 0 0 0 0	0
		2	0 I 0 0 0 0 I 0 0 0	0
		3	0 I 0 0 0 0 I 0 0 0	0
		4	0 I 0 0 0 0 I 0 0 0	0
		5	0 I I I I I I 0 0 0	0
		6	0 I 0 0 0 0 I 0 0 0	0
		7	0 I 0 0 0 0 I 0 0 0	0
		8	0 I 0 0 0 0 I 0 0 0	0
		9	0 0 0 0 0 0 0 0 0 0	0
Buch- stabe M (4DH)	I 0 0 I I 0 I	0	0 0 0 0 0 0 0 0 0 0	0
		1	0 I 0 0 0 0 0 I 0 0	0
		2	0 I I 0 0 0 I I 0 0	0
		3	0 I 0 I I 0 I 0 I 0	0
		4	0 I 0 0 0 0 0 I 0 0	0
		5	0 I 0 0 0 0 0 I 0 0	0
		6	0 I 0 0 0 0 0 I 0 0	0
		7	0 I 0 0 0 0 0 I 0 0	0
		8	0 I 0 0 0 0 0 I 0 0	0
		9	0 0 0 0 0 0 0 0 0 0	0

Eine Liste der darstellbaren Zeichen inklusive des dazugehörigen Codes befindet sich im Anhang.

3.3.3 Graphische Darstellung

Für die graphische Betriebsart muß Bit A7 von PIO-1 rückgesetzt werden. Damit wird einerseits der Ausgang des Zeichengenerators hochohmig, andererseits wird der Tristate-Puffer IC51 (74LS244) freigegeben. Der Inhalt des Bildwiederholerspeichers gelangt somit direkt in das Ausgangsschieberegister.

Wie aus Tabelle 4 hervorgeht, hat der Bildprozessor nur ein 7 Bit-Register zur Festlegung der Bildzeilen pro Zeichen. Dies reicht für ein komplettes Bild nicht aus, da zur graphischen Darstellung ein Zeichen formal nur aus einer Zeile besteht und deshalb 256 Zeichenzeilen zu programmieren wären. Letztlich soll jedes Bit des Bildwiederholerspeichers exakt einem Punkt des Bildes entsprechen. Es ist deshalb erforderlich, auch in der graphischen Betriebsart 2 Reihenadressen mitzuverwenden, welche dann die höherwertigen Adressen (MA12 ... MA13) bilden. Ein Multiplexer (IC67: 74LS157) schaltet die beiden höherwertigen Adressen des Bildwiederholerspeichers in der graphischen Betriebsart auf die Reihenadressen R0 und R1 um. Dadurch ergibt sich eine nicht kontinuierliche Zuordnung von Speicher und Bild, da der Bildprozessor jede Zeile viermal abtastet.

Beginnt der Bildwiederholerspeicher bei 8000H, so ergibt sich folgende Adreßkorrelation: (bei 512 Bit horizontal)

1. Zeile: 8000 - 803F
2. Zeile: 9000 - 903F
3. Zeile: A000 - A03F
4. Zeile: B000 - B03F
5. Zeile: 8040 - 807F usw.

Zur Translation der Adressen und zur graphischen Darstellung bietet die Firma KONTRON Softwareroutinen (GRAPH A, GRAPH B, GRAPH V).

3.3.4 Programmierung des Videoprocessors

Zur Programmierung des Videoprocessors kann folgende Z80-ASM-Routine verwendet werden. Eine Parametertabelle unterscheidet zwischen Graphik- und Alphanumerischer Betriebsart. Außerdem ist das entsprechende Steuerbit (PIO-1 A6) entsprechend zu setzen.

a) Unterprogramm zur Programmierung des MC6845

```

CRTINI: LD B,TABL      ;Tabellenlänge
        LD HL,TABX    ;Tabellenzeiger
        LD C,19H      ;CRTP-Registerblock-Adresse
        XOR A         ;0 ---> A
CRLOOP: OUT (18H),A   ;Zeiger im CRTP einrichten
        INC A        ; + 1
        OUTI         ;(HL) IN CRTP einschreiben
        JR NZ,CRLOOP ;Schleife TABL-mal durchlaufen
        RET

```

b) Tabelle für Betriebsart alphanumerisch (HEX-Werte)

```

TABA: 0 DEF B 64H    ;Zeichenzahl horizontal gesamt
      1 DEF B 50H    ;Zeichenzahl dargestellt
      2 DEF B 53H    ;Horizontale SYNC-Position
      3 DEF B 07H    ;Horizontale SYNC-Breite
      4 DEF B 1DH    ;Zeilenzahl vertikal gesamt
      5 DEF B 06H    ;Anzahl vertikale Bildausgleichszeilen
      6 DEF B 19H    ;Zeilenzahl vertikal dargestellt
      7 DEF B 1AH    ;Vertikale SYNC-Position
      8 DEF B 00H    ;Interlace-Modus
      9 DEF B 09H    ;Anzahl Zeilen pro Zeichen
      A DEF B 60H    ;Cursor-Steuerwort (Blinkfreigabe)
      B DEF B 09H    ;Cursor-Höhe
      C DEF B 00H    ;Scrolladresse (Bildanfang)
      D DEF B 00H
      E DEF B 00H    ;Cursor-Position
      F DEF B 01H
TABL EQU $-TABA

```

c) Tabelle der graphischen Betriebsart (HEX-Werte)

```

TABB: 0 DEF B 63H    ;Bedeutung wie TABA
      1 DEF B 40H
      2 DEF B 43H
      3 DEF B 0FH
      4 DEF B 4CH
      5 DEF B 01H
      6 DEF B 40H
      7 DEF B 43H
      8 DEF B 00H
      9 DEF B 03H
      A DEF B 20H
      B DEF B 00H
      C DEF B 00H
      D DEF B 00H
      E DEF B 00H
      F DEF B 01H

```

3.3.5 Sichtschirmschnittstelle

Der Anschluß des Sichtschirms an die PSI80-Rechenkarte erfolgt über eine Dreidrahtleitung (+ Masseleitung):

HSYNC	Zeilensynchronisation
VSYNC	Bildsynchronisation
VIDEO	Videosignal

Es handelt sich jeweils um TTL-kompatible Open-Collector-Ausgänge mit 330 Ohm Pull-up Widerständen. Das Signal "Video" ist high aktiv. Über zwei weitere Open-Collector Puffer wird es immer dann ausgeblendet (auf Null gezogen), wenn entweder der Bildprozessor seinen DE-Ausgang (Display Enable) sperrt, oder das Signal ENCPU (die CPU beansprucht den Bildwiederholpeicher) aktiv ist.

Die Bilderzeugungsschaltung des PSI80-Computers verarbeitet auch das Cursorsteuersignal des Bildprozessors, das grundsätzlich zur Invertierung der entsprechenden Bildstelle führt.

Das gesamte Bild kann zudem über Bit A6 von PIO-1 invertiert werden.

Außer der Invertierung des Bildes insgesamt kann auch jedes einzelne Zeichen für sich invertiert werden. Die entsprechende Information befindet sich im Bit 9 des Bildspeichers, das bei jeder Änderung des Speicherinhalts automatisch mitgeschrieben wird. Bit A5 von PIO-1 bestimmt den Eingang des neunten Speicherbausteins. Soll diese Möglichkeit der Zeicheninvertierung angewandt werden, so muß vor jedem Beschreiben des Bildwiederholspeichers Bit A5 von PIO-1 geeignet gesetzt werden.

Verschiedene Ausbaustufen der PSI80-Rechnerkarte enthalten neben der bereits erwähnten Sichtschirmschnittstelle einen 75 Ohm Composite Video-Ausgang, an den parallel ein zweiter Monitor mit entsprechendem Eingang angeschlossen werden kann. Alle Signale sind auf einen 10-poligen Stecker (ST-K) herausgeführt:

Pinbelegung von Stecker K:

GND	K-1
Composite Video	K-2
GND	K-3
Video (TTL-Open Collector)	K-4
GND	K-5
VSYNC (TTL-Open Collector)	K-6
Lichtgriffel-Strobe	K-7
HSYNC (TTL-Open Collector)	K-8
CLK IN	K-9
CLK OUT	K-10

Die Synchronisationssignale werden dem Videosignal für den Composite Video-Ausgang positiv beigemischt. Ihre Invertierung ist durch einen parallel geschalteten Inverter möglich.

3.4 Zähler/Zeitgeber

Alle Zähler-/Zeitgeberfunktionen der PSI80-Zentralbaugruppe sind mit dem Z80A-CTC realisiert. Dieser Baustein enthält vier unabhängige Kanäle, die wahlweise Zähler- oder Zeitgeberfunktionen erfüllen können. Prinzipiell besteht jeder dieser Kanäle aus einem programmierbaren Zeitkonstantenregister, einem 8 Bit Rückwärtszähler und einem 8 Bit Vorteiler.

In der Betriebsart Zähler zählt der Baustein externe Ereignisse, löst beim Zählerstand Null einen Interrupt aus (falls gewünscht!) und setzt anschließend seinen Rückwärtszähler automatisch wieder auf den Wert des vorher programmierten Zeitkonstantenregisters. In der Betriebsart Zeitgeber dekrementiert der 16. oder 256. Teil des Systemtaktes (= 4 MHz) den Rückwärtszähler. Ansonsten besteht kein Unterschied zur Betriebsart Zähler.

Wie jeder Peripheriebaustein der Z80A-Familie hat auch der Z80A-CTC die hardwaremäßigen Vorkehrungen für vektorisierten Interrupt und dessen Prioritätssteuerung bereits auf dem Chip integriert.

Der CTC der PSI80-Rechnerkarte erfüllt primär zwei Aufgaben:

- a) Baudrate-Generierung für die seriellen E/A-Kanäle
- b) Erzeugung eines vektorisierten Interrupts für den nicht Z80A-kompatiblen Floppy-Disk-Prozessor (FD1771).

Daneben wird der CTC auch zur Rückgewinnung der Daten beim Lesen von der Kassette benötigt. Selbstverständlich kann jeder Kanal, sofern nicht anders benötigt, für beliebige Zwecke verwendet werden. Es folgt die Funktionsbeschreibung der einzelnen Kanäle.

KANAL 0:

Kanal 0 des CTC liefert die Übertragungsrate für Port A des Z80A-SIO, wobei zu beachten ist, daß hier noch ein 16 Bit Binärzähler (IC43: 74LS393) nachgeschaltet ist. Diese Maßnahme wurde erforderlich, da Port A des SIO auch als Sender für das Kansas City Kassetteninterface fungiert. Dieses Verfahren benötigt unabhängig von der Übertragungsrate Trägerfrequenzen von 2400 Hz und 1200 Hz (Log. 0 ---> 1200 Hz Log. 1 --> 2400 Hz). Mögliche Übertragungsraten für Kassette sind 300 oder 600 Baud:

J7 Stellung A --- 300 BAUD
J7 Stellung B --- 600 BAUD

KANAL 1:

Kanal 1 liefert Sender- und Transmitterclock für Port B des Z80A-SIO. Die Ableitung erfolgt entweder im Timermode oder im Countermode durch entsprechende Teilung des 256. oder 2. Teiles des Systemtaktes von 4MHz. Die folgende Tabelle gibt Aufschluß über die notwendigen CTC-Zeitkonstanten in Abhängigkeit von verschiedenen Baudraten. In den Versionen PSI80-H, -S wird Kanal 1 des CTC nicht verwendet, da dort der Einkanal-SIO (Z80A-SIO/9) eingesetzt ist.

SIO-TAKT:	x1	x16	x32	x64	x1
CTC Betr.-Art:	Zähler				Zeitgeber (:256)
BAUDRATE:	CTC-Teiler				
38400	52/-	-/-	-/-	-/-	-/-
19200	104/13	-/-	-/-	-/-	-/-
9600	208/26	13/-	-/-	-/-	-/-
4800	-/52	26/-	13/-	-/-	-/-
2400	-/104	52/-	26/-	13/-	-/13
1200	-/208	104/13	52/-	26/-	-/26
600	-/-	208/26	104/13	52/-	-/52
300	-/-	-/52	208/26	104/13	-/104
150	-/-	-/104	-/52	208/26	-/208
110	-/-	-/142	-/71	-/-	142/-
75	-/-	-/208	-/104	-/52	208/-

Tabelle 6: CTC-Teilerfaktor in Abhängigkeit der Baudrate

Die Zahlen nach dem Schrägstrich in obiger Tabelle gelten für den Serienkanal-A der Rechnerbaugruppe (Z80A-SIO-A). Der Hardwareteiler nach dem CTC-Kanal 0 muß am Teiler durch 8 abgegriffen werden (Stellung entsprechend Bestückungsplan)

KANAL 2:

Dieser Kanal erzeugt einen vektorisierten Interrupt für den INTRQ-Ausgang (Interrupt Request) des FD-Controllers FD 1771 (Western Digital). Wird diese Funktion nicht benötigt, kann Kanal 2 des CTC selbstverständlich für andere Zwecke verwendet werden (Betriebsart: Zeitgeber).

KANAL 3:

Kanal 3 erfüllt eine ähnliche Funktion wie Kanal 2. Er erzeugt den Interrupt Vektor für den DRQ-Ausgang (DATA REQUEST) des FD 1771. Er wird außerdem zur Regenerierung der Daten des Kansas City Kassetten-Interfaces benötigt. Kassette und Diskette können somit zwar beide vorhanden, aber niemals gleichzeitig in Betrieb sein.

Programmierhinweise:

- a) Adressen:
- | | | |
|---------|-------|-----|
| Kanal 0 | ----- | 08H |
| Kanal 1 | ----- | 09H |
| Kanal 2 | ----- | 0AH |
| Kanal 3 | ----- | 0BH |
- b) Betriebsart: beliebig

Einzelheiten sind dem Z80A-CTC Technical Manual zu entnehmen.

3.5 Serienschnittstellen

Eine solche Schnittstelle besteht aus einem seriellen Empfangs- und Sendebaustein (Z80A-SIO) und Leitungstreibern zur Anpassung an die elektrischen Eigenschaften der Übertragungsstrecke.

Der Empfangs-/Sendebaustein erfüllt hierbei zwei Aufgaben:

als Sender wandelt er die vom Prozessor kommenden 8 Bit parallelen Daten nach bestimmten Vorschriften in einen seriellen Datenstrom um.

als Empfänger wandelt er den von einem Peripheriegerät stammenden seriellen Datenstrom wieder nach bestimmten Vorschriften in ein parallel anliegendes Byte um.

Diese beiden Vorgänge können gleichzeitig erfolgen. Man spricht von einem "Voll-Duplex-Kanal". Der Baustein Z80A-SIO enthält zwei Kanäle, die unabhängig voneinander serielle Übertragung in nahezu allen bekannten Verfahren ermöglichen. Prinzipiell wird zwischen "asynchroner" und "synchroner" Übertragung unterschieden. In jedem Fall gibt es genormte Prozeduren die festlegen, welche Bits (oder Bytes) bei dem jeweiligen Verfahren aufeinander folgen müssen.

Auch die Pegel auf der Übertragungsstrecke sind genormt. Zwei Normen sind gebräuchlich:

- die RS 232C (V24) Schnittstelle und
- die 20 mA-Stromschleifenschnittstelle (Current Loop)

Auf der PSI80-Rechnerkarte sind beide Normschnittstellen vorhanden.

3.5.1 Serieller E/A-Baustein Z80A-SIO

Je nach Ausbaustufe ist die PSI80-Computerkarte mit dem Z80A-SIO/0 (PSI80-M, P) oder der Einkanalversion Z80A-SIO/9 (PSI80-H, S) bestückt. Ein bis zwei serielle Ein-/Ausgabekanäle können somit realisiert werden.

Programmierhinweise:

- a) Adressen: KANAL A - DATA ---- 04H
 KANAL B - DATA ---- 05H
 KANAL A - CNTL ---- 06H
 KANAL B - CNTL ---- 07H
- b) Betriebsart: Betriebsarten und Funktionsweisen des Z80A-SIO sind äußerst vielfältig. Entsprechend komplex sind somit auch die Programmiermöglichkeiten. Deshalb wird an dieser Stelle auf das betreffende Manual verwiesen (Z80A-SIO Technical Manual).

Für die oft verwendete asynchrone Betriebsart sei hier die Programmier­tabelle angegeben (Z80-ASM Schreibweise):

SIOTAB:

```

DEFB 004H       ; ZEIGER ---> REG. 4
DEFB 04CH       ; x16 Clock. 2 Stop-Bits, kein Parity
DEFB 005H       ; ZEIGER ---> REG. 5
DEFB 068H       ; 8 Bit/Zeichen. Sendefreigabe
DEFB 003H       ; ZEIGER ----> REG. 3
DEFB 0C1H       ; 8 Bit/Zeichen. Empfangsfreigabe
DEFB 001H       ; ZEIGER ---> REG. 1
DEFB 000H       ; keine Interrupts
LTAB            EQU $-SIOTAB

```

Eine Programmierung erfolgt zweckmäßigerweise mit den I/O-Blocktransferbefehlen der Z80A-CPU, z.B.:

SIOINI:

```
LD C, KANALA +2 ; KANALADRESSE
LD HL, SIOTAB   ; TABELLEN ADR.
LD B, LTAB     ; TABELLENLÄNGE
OTIR           ; AUSGABE
RET
```

Zu beachten ist, daß diese Tabelle nur von Programmen, die unter BOS ablaufen verwendet werden darf. Programme, die unter KOS ablaufen, müssen den Wert 0E8H (statt 68H) an des SIO-Register 5 übertragen (zweites Byte in der Tabelle).

3.5.2 Anschluß von Peripheriegeräten

Für den Anschluß serieller Übertragungskanäle steht bei Vollausbau pro Kanal eine normgerechte RS-232C-Schnittstelle zur Verfügung inklusive aller Steuerleitungen. Kanal A des Z80A-SIO hat zudem ein 20 mA-Current Loop Interface (Stromschleifen-Schnittstelle).

Zur Pegelumsetzung vor bzw. nach dem Z80A-SIO besitzen beide Kanäle je einen RS232C-Leitungstreiber und -Empfänger (Kanal A: IC12/14, Kanal B: IC7/8). Für die 20-mA-Stromschleifenschnittstelle enthält Kanal A auch die notwendige Stromquelle.

Die Übertragungsrate kann für beide Kanäle getrennt über jeweils einen CTC-Kanal programmiert werden (siehe auch Abschnitt 3.4). In der asynchronen Betriebsart sind alle gebräuchlichen Baudraten von 50 bis 38400 Bit/s (=Baud) einstellbar. Beim synchronen Betrieb sind Übertragungsraten bis 500 kBit/s möglich.

Alle Signale sind auf jeweils einen 25-poligen Stecker mit genormter Pinbelegung herausgeführt:

Name (Z80A-SIO)	Name (extern)	Steckerpunkt
KANAL A TxDA	SEND DATA	----> F- 3
DTRA	DATA SET READY (*)	----> F- 6
RTSA	CLEAR TO SEND	----> F- 5
RxDA	XMIT. DATA	----> F- 2
CTSA	REQUEST TO SEND	----> F- 4
DCDA	DATA TERMINAL READY	----> F-20
20MA IN	DATA IN (+)	----> F-17
	DATA IN (-)	----> F-24
20MA OUT	DATA OUT (+)	----> F-16
	DATA OUT (-)	----> F-10
GND	COMMON GROUND	----> F- 7
GND	CHASSIS GROUND	----> F- 1
KANAL B TxDB	SEND DATA	----> G- 3
DTRB	DATA SET READY	----> G- 6
RTSB	CLEAR TO SEND	----> G- 5
RxDB	XMIT. DATA	----> G- 2
CTSB	REQUEST TO SEND	----> G- 4
DCDB	DATA TERMINAL READY	----> G-20
GND	COMMON GROUND	----> G- 7
GND	CHASSIS GROUND	----> G- 1

*: bei disk-basierenden Versionen nicht zu benutzen

Die folgende Tabelle gibt Aufschluß über die Bestückung mit Leitungstreibern in den verschiedenen PSI80-Versionen (B = bestückt):

	KAN.A RS232	20mA	KAN.B RS232
PSI80-H	-	-	-
PSI80-S	B	B	-
PSI80-P	B	B	B
PSI80-M	B	B	B

3.5.3 Kassetten-Schnittstelle

Zur Abspeicherung von Daten und Programmen ist die PSI80-Computerbaugruppe in der Version PSI80-H mit einer Kassetten-Schnittstelle ausgestattet. Diese entspricht der sogenannten "KANSAS CITY"-NORM, welche vorschreibt, daß "logisch Null" als 1200 Hz- und "logisch Eins" als 2400 Hz- Schwingung aufgezeichnet wird. Als Übertragungsprozedur dient die gewöhnliche asynchrone Übertragung. Die zulässigen Baudraten sind 300, 600 und 1200 Baud, wobei auf der PSI80-Rechnerkarte nur 300 oder 600 Baud wählbar sind (Jumper J7).

Als Sender fungiert Kanal A des Z80A-SIO, dessen Datenausgang den mit IC41 (74LS00) aufgebauten Multiplexer steuert, so daß dieser entweder 1200 Hz oder 2400 Hz dem nachfolgenden Analogteil zur Verfügung stellt. Dieser wandelt das Rechtecksignal in ein Sinussignal um und teilt den Signalpegel auf 500 mV bzw. 10 mV herunter. Der Abgriff der Signale erfolgt an einem 10-poligen Stecker (ST-I).

I - 2	---->	10 mV Ausgang
I - 4	---->	500 mV Ausgang
I - 8	---->	Eingang
I - 1, 3, 5, 7, 9, 10	---->	Masse

Die Rückgewinnung der von einer Cassette stammenden Daten geschieht unter Softwarekontrolle (siehe auch KDM/BOS-Beschreibung) über die Kanäle 3 und 2 des Z80A-CTC. Das Analogsignal gelangt zunächst über eine Verstärkerstufe (IC44: TL084) und anschließend auf einen als Schmitt-Trigger geschalteten Operationsverstärker (ebenfalls IC44), dessen Ausgangsspannung durch eine Zener-Diode auf TTL-Pegel begrenzt wird.

3.6 Parallel-Schnittstellen

Der Parallel Ein-/Ausgabebaustein Z80A-PIO der Z80A-Familie besitzt zwei 8 Bit-Ports, die wahlweise als Ein- oder Ausgänge zu verwenden sind. Jedes Port hat zudem zwei Quittungsleitungen ("HANDSHAKE"), die zur Interruptauslösung und/oder Synchronisation mit langsameren Peripheriegeräten dienen. Die PSI80-Computerbaugruppe enthält zwei PIO's, wobei in den Versionen PSI80-H/-S nur einer davon bestückt ist. Seine wesentlichen Funktionen sind:

- PIO-1: Tastatureingabe- und internes Kontrollport
- PIO-2: Drucker- oder allg. Schnittstelle

3.6.1 PSI80-Kontrollport

PORT A des weiter außen liegenden PIO-1 erzeugt neben 4 intern benötigten Steuersignalen auch drei DRIVE SELECT-Signale zur Floppy-Disk-Ansteuerung (siehe auch 3.7) und ein MOTOR-ON-Signal. Durch die Verbindung des STROBE-Eingangs mit dem Signal VSYNC des Videoprozessors wird Port A auch dazu verwendet, um nach jedem Bild einen Interrupt auszulösen. Dies ist notwendig, da ein Beschreiben des Bildwiederholerspeichers nur in der Strahlrücklaufphase sinnvoll ist.

Folgende Signale werden von PORT A zur Verfügung gestellt:

Signalname	Steckerpin
A0 - Drive Select 1	--- D-26
A1 - Drive Select 2	--- D-28
A2 - Drive Select 3	--- D-30
A3 - MOTOR ON	--- D-32
A4 - EC (ENCPU)	
A5 - VINV (Zeichen)	
A6 - VIDEO-INVERT (Bild)	
A7 - ALPHA/GRAPH	
AS - HSYNC	
AR - NC (NO CONNECT)	

Signalbeschreibung:

A4 - EC	ENABLE CPU Gibt den CPU-Zugriff auf den Bildwiederholerspeicher frei, wenn gesetzt
A5 - VINV	zeichenweise Invertierung
A6 - VID.INV.	invertiert das Videosignal (Gesamtbild)
A7 - ALPHA/GRAPH	Umschaltung zwischen alphanumerischer und graphische Betriebsart der PSI-Bilderzeugung (A7=0: graphische Betriebsart)

Programmierhinweise:

- a) Adressen: PORTA - DATA ---- 10H
 PORTB - DATA ---- 11H
 PORTA - CNTL ---- 12H
 PORTB - CNTL ---- 13H
- b) Betriebsart: PORTA MODE 0 (Byte Ausgabe)
 PORTB MODE 1 (Byte Eingabe)

3.6.2 Tastaturanschluß

Über PORT B von PIO-1 ist die Tastatur des PSI80-Computers mit dem Rechner verbunden. PORT B ist deshalb im Eingabemodus zu betreiben. Alle Eingänge sind mit 4,7 kOhm Pull up-Widerständen versehen und TTL-kompatibel.

Um dem PIO anzuzeigen, daß eine Taste gedrückt wurde, aktiviert die Keyboard-Schaltung ihren STROBE-Ausgang, der mit dem STROBE-Eingang des PIO's verbunden ist und bei jedem Tastendruck einen Interrupt auslöst. Der Anschluß des Keyboards erfolgt an Stecker ST-E gemäß folgender Belegungstabelle:

PORT B	B0 - KEYBOARD DATA D0	---->	E-9
	B1 - KEYBOARD DATA D1	---->	E-8
	B2 - KEYBOARD DATA D2	---->	E-7
	B3 - KEYBOARD DATA D3	---->	E-6
	B4 - KEYBOARD DATA D4	---->	E-5
	B5 - KEYBOARD DATA D5	---->	E-4
	B6 - KEYBOARD DATA D6	---->	E-3
	B7 - KEYBOARD DATA D7	---->	E-2
	BR	---->	NC
	BS	---->	E-10
	GND	---->	E-1, 14
	5 VOLT	---->	E-13, 26

3.6.3 Drucker-Schnittstelle

Der zweite PIO bedient eine Standard-Schnittstelle für Drucker mit Parallel-Schnittstelle. z.B. HOUSTON, CENTRONIC oder OKIDATA. Alle Ein-/Ausgänge sind mit invertierenden Schmitt-Trigger-Bausteinen gepuffert (IC1.2: 74LS240). Die Eingänge sind zudem mit 330 Ohm Pull Up-Widerständen versehen. Diese Schnittstellenbestückung ist optional; andere Belegungen sind durch Überbrückung von IC 1.2 erreichbar.

PIO-2 liefert auch das intern verwendeten Signal MAP (siehe auch dazu Abschnitte 3.1 und 3.3).

SIGNALS		STECKERBELEGUNG	
PORTA	A0 - PRINTER STROBE	---->	C-12
	A1 - INPUT PRIME	---->	C-11
	A2 - PRINTER FAULT	---->	C-23
	A3 - PRINTER EMPTY	---->	C-22
	A4 - PRINTER BUSY	---->	C-21
	A5 - PRINTER SELECT	---->	C-20
	A6 - nicht verwendet		
	A7 - MAP		
	AR	---->	NC
	AS	---->	C-25
PORTB	B0 - PRINTER DATA D0	---->	C-19
	B1 - PRINTER DATA D1	---->	C-17
	B2 - PRINTER DATA D2	---->	C-18
	B3 - PRINTER DATA D3	---->	C-16
	B4 - PRINTER DATA D4	---->	C-4
	B5 - PRINTER DATA D5	---->	C-3
	B6 - PRINTER DATA D6	---->	C-2
	B7 - PRINTER DATA D7	---->	C-15
	BR	---->	NC
	BS - ACKNOWLEDGE	---->	C-24
GND	---->	C-1.14	
+ 5 VOLT	---->	C-13.26	

AR: Port A Ready
AS: PORT A Strobe
NC: Nicht angeschlossen

Programmierhinweise:

- a) Adressen PORTA - DATA ----> OCH
 PORTB - DATA ----> ODH
 PORTA - CNTL ----> OEH
 PORTB - CNTL ----> OFH
- b) Betriebsart PORTA MODE 3 (BIT Ein-/Ausgabe) mit Maske 3CH
 PORTB MODE 0 (Byte Ausgabe) oder MODE 3 mit I/O-Maske 00H

3.7 Floppy-Disk Ansteuerung

Die PSI80-Systeme sind mit bis zu zwei Mini-Floppy Disk-Laufwerken mit einfacher Schreibdichte und Soft Sector-Format ausgerüstet. Das Herz der Ansteuerschaltung besteht aus dem FD-Subprozessor 1771 (Western Digital), der neben einigen Leitungstreibern als einzige Zusatzlogik lediglich einen Daten-/Takt-Separator zur Demodulation der vom Laufwerk kommenden Daten benötigt. Der Aufschrieb erfolgt im Single-Density-Verfahren.

3.7.1 Aufzeichnungsformat

Das Format entspricht dem international weit verbreiteten Soft-Sector Format (IBM). Die hier verwendete Norm teilt jede Spur in 16 Sektoren ein, wobei jeder Sektor 128 Bytes an Daten aufnehmen kann. Anfang und Ende eines jeden Sektors sind durch besondere Kennungsfelder gekennzeichnet. Die Anzahl der Spuren ist durch die Mechanik des Laufwerkes festgelegt. Die Laufwerke des PSI80-Computers haben 77 Spuren, von denen 5 für das Betriebssystem KOS reserviert sind.

3.7.2 FD-Subprozessor

Dieser Schaltkreis empfängt über den Prozessorbus Kommandos und Daten. Er wandelt den Datenstrom wie oben beschrieben und erzeugt alle zur unmittelbaren Ansteuerung von FD-Laufwerken erforderlichen Steuersignale. Sämtliche zeitabhängigen Vorgänge werden intern von einer quarzstabilen 1MHz Eingangsfrequenz abgeleitet.

Der FD 1771 hat vier adressierbare Register mit folgenden Funktionen:

- a) ADRESSE 14H ---- KOMMANDOREGISTER
- b) ADRESSE 15H ---- SEKTORREGISTER
- c) ADRESSE 16H ---- SPURREGISTER
- d) ADRESSE 17H ---- DATENREGISTER

Alle Register können auch gelesen werden, wobei das Kommandoregister den Status des Bausteins (BUSY, FEHLER etc.) enthält. Die übrigen Register reflektieren exakt den ihnen eingeschriebenen Wert.

Der Baustein kennt 11 verschiedene Grundkommandos, die in das Kommandoregister eingeschrieben werden müssen und anschließend selbständig ausgeführt werden.

Nach der Ausführung eines Kommandos aktiviert der FD 1771 seinen INTRQ (Interrupt Request) Ausgang, der über den CTC-Kanal 2 Z80-kompatibel gemacht wird.

Kanal 3 des CTC's bedient den DRQ (DATA REQUEST) Ausgang des 1771, der immer dann aktiv wird, wenn beim Lesen oder Schreiben das Datenregister leer respektive voll geworden ist.

3.7.3 Laufwerk-Anschluß

Der Anschluß eines Standard-Laufwerks erfolgt am 50-poligen Stecker ST-D. Die folgende Tabelle enthält die Verbindungen zwischen PSI80-Platine und den Mikropolis-Laufwerken:

(Drive Select Signale siehe unter PIO-1, Abschnitt 3.6.1)

SIGNAL	ST-D	Micropolis Drive
INDEX	D-20	8 ✓
READY	D-22	6 * → 34
HEAD LOAD	D-24	2 (=GND) * → 4
DRIVE SELECT 1	D-26	10 ✓
DRIVE SELECT 2	D-28	12 ✓
DRIVE SELECT 3	D-30	14 ✓
MOTOR ON	D-32	16 ✓
DIRECTION	D-34	18 ✓
STEP	D-36	20 ✓
WRITE DATA	D-38	22 ✓
WRITE GATE	D-40	24 ✓
TRACK OO	D-42	26 ✓
WRITE PROTECT	D-44	28 ✓
DISK READ DATA	D-46	30 ✓
HEAD SELECT	-	32 ✓
DRIVE SELECT	-	34 ✓ → 6
GROUND	D-1...49	alle ungeraden Pins

Hinweis:

Die Belegung von Stecker D ermöglicht eine 1:1-Verbindung zwischen der Rechnerbaugruppe und den Laufwerken.

4. Beschreibung des Einschubrahmens

In den Versionen PSI-M, -P/1 und -P ist ein zusätzlicher Einschubrahmen im Inneren des Gehäuses hinter dem Sichtschirm vorhanden.

Er umfaßt ECB-Karten im Europaformat (160x100 mm). Jeweils 2 nebeneinanderliegende Steckplätze können stattdessen auch eine Karte im Doppel-Europa-Format (230x160 mm) oder - mit dem Busadapterzusatz PSI80-S100 - eine Karte im Standard S100 aufnehmen.

Träger dieser Karte ist eine gedruckte Schaltung, die den KONTRON ECB-Bus realisiert. Über ein 64-poliges Kabel ist diese Platine mit der zentralen Computer-Karte im Fuß des Gehäuses verbunden.

4.1 ECB-Bus Standard

Zu diesem Bus sind Karten für die Realisierung der vielfältigsten Aufgaben von mehreren Herstellern verfügbar.

Wir weisen darauf hin, daß auch dieser Bus mit 4 MHz Taktfrequenz betrieben wird: Es sind somit Karten der Z80A-ECB-Reihe zu verwenden bzw. ist beim Einsatz einer 2.5 MHz-Karte durch zusätzlich zu aktivierende WAIT-Zyklen die Anpassung zu gewährleisten. Die WAIT-Zyklen sollten durch die adreßmäßige Anwahl dieser Karte ausgelöst werden, um nicht das Gesamtsystem zu verlangsamen.

Bei Speicherbausteinen, z.B. zur Erweiterung des Schreib-/Lesespeichers auf 256 kByte, genügt die Klasse -3 (Zugriffszeit 250 ns) für RAM's. Bei PROM's sind die allgemeinen Typen mit einer garantierten Zugriffszeit von 375 ns ausreichend; man muß jedoch eventuell Bausteine selektieren oder WAIT-Zyklen einschieben. Die Selektion ist vertretbar, wenn sichergestellt ist, daß die Umgebungstemperatur außerhalb des Gehäuses 35 Grad C nicht übersteigt. Unter diesen Umständen ist die Lufttemperatur im Inneren etwa 45 ... 50 Grad C (je nach Aufrüstung durch zusätzliche Karten).

Über Einzelheiten der ECB-Reihe informiert das ECB-Handbuch.

ECB-Bus Pin-Belegung:

Benennung	Stecker Pin	Bezeichnung
A0	5c	Adresse 0
A1	7c	Adresse 1
A2	6a	Adresse 2
A3	6c	Adresse 3
A4	7a	Adresse 4
A5	8a	Adresse 5
A6	9a	Adresse 6
A7	9c	Adresse 7
A8	8c	Adresse 8
A9	30a	Adresse 9
A10	18c	Adresse 10
A11	17c	Adresse 11
A12	27c	Adresse 12
A13	29a	Adresse 13
A14	18a	Adresse 14
A15	28c	Adresse 15
D0	2c	Data 0
D1	14c	Data 1
D2	4c	Data 2
D3	4a	Data 3
D4	5a	Data 4
D5	2a	Data 5
D6	3a	Data 6
D7	3c	Data 7
D8	10c	Data 8
D9	12c	Data 9
D10	13c	Data 10
D11	14a	Data 11
D12	23c	Data 12
D13	19c	Data 13
D14	21a	Data 14
D15	22a	Data 15

Benennung	Stecker Pin	Bezeichnung
M1	20a	Maschinenzyklus 1
MRQ	30c	Memory Request
IORQ	27a	IN/OUT Request
RD	24c	Read
WR	22c	Write
RFRSH	28a	Refresh
HLT	25c	Halt
WAIT	10a	Wait
INT	21c	Interrupt
NMI	20c	non Mask. Int.
RESET	31c	Reset (nicht für PSI80)
IEI 1	11c	Int. enable in
IEO 1	16c	Int. enable out
PWRCL	26c	Power on clear
CLK	29c	Clock 4.0 MHz
2 x CLK	16a	2 x Clock
n x CLK	25a	n x Clock
BUSRQ	11a	Busrequest
BUSAK	31a	Busacknowledge
BAI 1	12a	Busprioritätssteuerung Ein
BAO 1	17a	Busprioritätssteuerung Aus
WRITE EN	26a	Write Enable
DPR	23a	
+5	1a,c	+ 5V
GND	32a,c	Ground
+12	13a	+ 12V für EPROMS
-5	15a	- 5V für EPROMS
+15	19a	+ 15V für V24 und
-15	15c	- 15V für AD-Wandler
VCMOS	24a	+ 5V Batterie-Spannung (Notstrom)

4.2 Adressierung im ECB-Bus

Von der CPU-Platine aus wird automatisch der "externe" Bus des Einschubrahmens angesprochen

- bei Speicherzugriffen ist das Signal "EXT.M" durch Setzen des Bits A7 (MAP) des PIO-2 der CPU-Platine zu aktivieren. Dieses Signal steuert die Bustreiberbausteine auf der CPU-Platine entsprechend der Art des Zugriffs. Die Verbindung zwischen CPU und externem Speicher wird hergestellt.
- bei Ein-/Ausgabeadresse größer oder gleich 20H. Dementsprechend sind auf den Erweiterungskarten die Adressen zu wählen.

Externe Speicherbereiche werden auf den CPU-Adreßraum 0000H...7FFFH abgebildet. Somit stehen 32 kByte extern in direktem Zugriff. Weitere Speicherbereiche von jeweils 32 kByte können durch zusätzliche PIO-Bits aktiviert werden.

4.3 Interruptsteuerung im Einschubrahmen

4.3.1 Interruptvektoren

Die Z80A-CPU ermöglicht vektorisierte Interrupts. Dazu stellt die CPU selbst im I-Register die frei in Schritten von 256 Byte wählbaren Basisadresse XX00H der aktuellen Interrupttabelle zur Verfügung. Von den Peripheriebausteinen wird in 8 Bits (Format: YYYYYY0B) einer aus den 128 möglichen Einsprünge in die Interrupttabelle definiert. Dazu ist das Vektorregister der Z80A-Peripheriebausteine über Steuerbefehle entsprechend zu setzen.

Die Einträge in der Interrupttabelle werden als Anfangsadressen der zu jeder Interruptebene zugehörigen Beantwortungsroutine (ISR = Interrupt Service Routine) aufgefaßt. Vom Betriebssystem KOS reserviert sind die Tabellenplätze

xxEOH bis xxECH

Die Interrupttabelle liegt unter KOS normalerweise ab Adresse

5A00 (32k-System)
bzw.
DA00 (64k-System)

Änderungen des I-Registers bzw. dieser Einträge müssen KOS-kompatibel sein.

4.3.2 Priorität

In Z80A-Systemen sind Interrupts hardwaremäßig durch die sogenannte Daisy chain Kette in ihrer Priorität fest gelegt. Auf der PSI-Rechnerplatine gilt folgende Reihenfolge der Interruptpriorität:

- DMA
- SIO
- CTC
- PIO-1
- PIO-2

Die Priorität im Einschubrahmen ist wie folgt:

- Steckplatz 1 im Einschubrahmen
- Steckplatz 2 "
- Steckplatz 3 "
- Steckplatz 4 "
- Steckplatz 5 "
- Steckplatz 6 "

Die Unterbrechungssignale der Platine sind zur Kaskadierung auf den Platinen durchzuschleifen. Beim Anordnen von interruptfähigen Karten im Einschubrahmen ist darauf zu achten, daß die Durchschleifung von der in der Priorität niedrigsten Platine bis zum Anschlußkabel ununterbrochen ist. Die Durchschleifung auf der Platine des Einschubrahmens ist also auf den eingesteckten Platinen so fortzusetzen, daß alle interruptfähigen Bausteine einbezogen sind.

4.3.3. Interruptabwicklung

Die Aktivierung eines Interrupts in Z80-Systemen erfolgt durch Aussenden des Signals INTERRUPT REQUEST (INT active Low). Die Quittierung erfolgt durch INTERRUPT ACKNOWLEDGE. Dieses Signal entspricht der Verknüpfung von M1 und IORQ, woraufhin vom "aktiven" Peripheriebaustein sein Interruptvektor auf den Bus geschaltet wird.

Die Auswahl des "aktiven" Peripheriebausteins erfolgt durch die Signale IEI und IEO (INTERRUPT ENABLE IN bzw. OUT). Ausgewählt ist der Baustein, dessen IEI = 1 (high) und IEO = 0 (low) ist.

Die Durchschleifung der Signale IEI/IEO ist zeitkritisch: wie auf der CPU-Platine (siehe Schaltplan) ist bei längeren Ketten eine Look-ahead Logik vorzusehen.

Weitere Informationen zur Interruptbehandlung sind in der Applikationsschrift ME 107 (englisch) und in der Sammlung von Applikationsschriften MD 105 (deutsch) enthalten.

4.4 Stromversorgung des Einschubrahmens

Über einen 7-poligen Stecker werden dem Einschubrahmen alle Spannungen des PSI80-Netzteils zugeführt. (Bei früheren Ausführungen sind 0V/+5V gesteckt, die anderen Spannungen sind im Kabelbaum herangeführt.)

Die Spannungen sind wie folgt belastbar:

+ 5V	3.0A
+ 12V	0.2A
+ 15V	0.2A
- 15V	0.2A

Die 5V-Versorgung erfolgt direkt. Die anderen Spannungen sind mit auf der Platine des Einschubrahmens zu schließenden Lötbrücken geführt. Durch Einsetzen eines Festspannungsreglers des Typs 7905 kann aus -15V die für manche Speicherplatinen notwendige -5V-Versorgung realisiert werden. Der Platz dafür ist vorgesehen.

5. Netzteil PSI80

Das Netzteil des PSI80-Systems ist sekundär getaktet (+5V. +12V). Die Nebenspannungen (+15V. -15V. -12V) werden durch Festspannungsregler erzeugt.

Das Netzteil befindet sich hinter den Floppy-Disk-Laufwerken. Die Reihenfolge der Anschlüsse ist wie folgt:

oben:

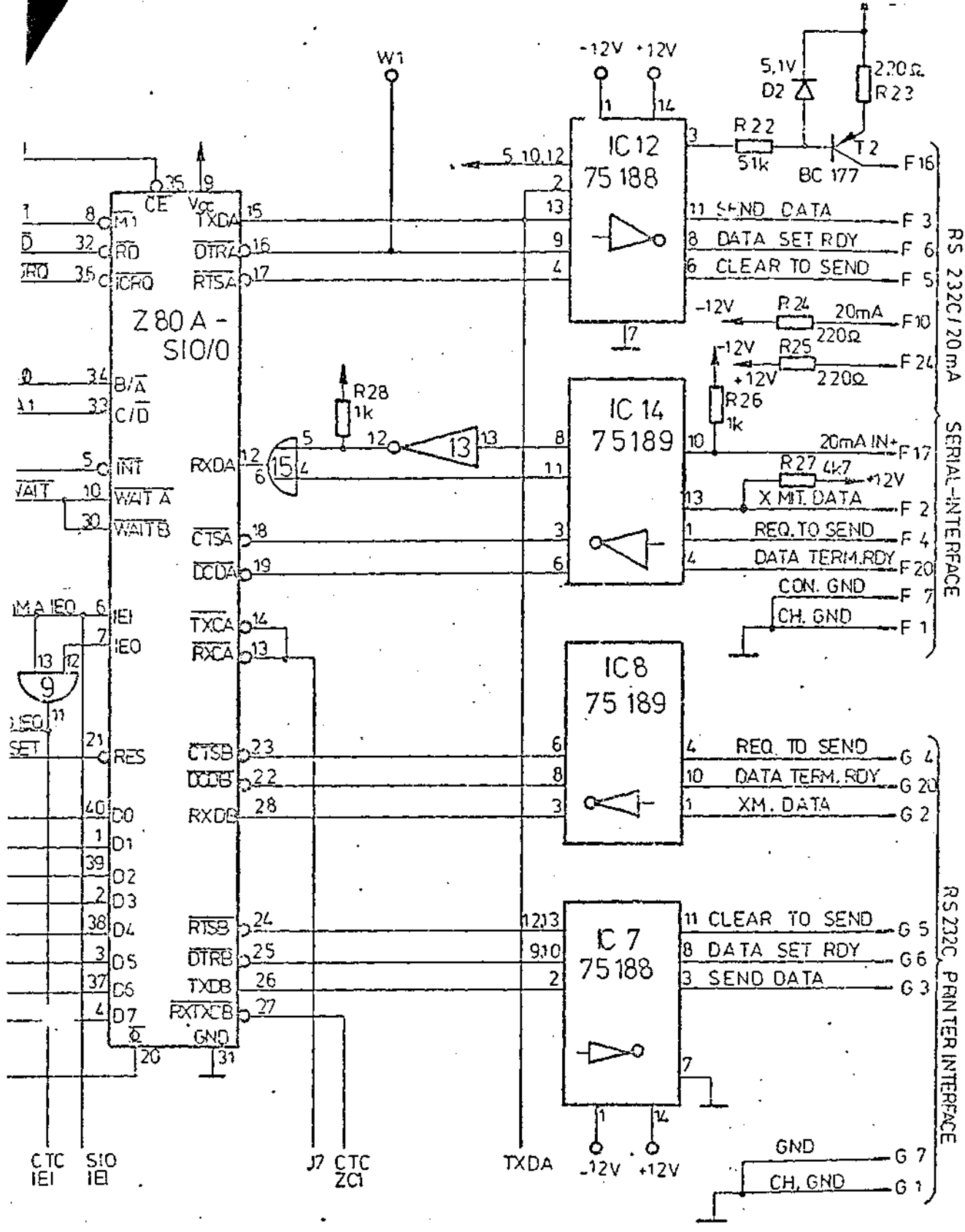
+15V	zusätzlich belastbar mit 0.2A
-15V	"
-12V	"
+12V	für Floppy-Disk-Laufwerke
0V	"
+12V	zusätzlich belastbar mit 0.2A (PSI80/M. /P)
0V	
0V	
+ 5V	zusätzlich belastbar mit 3A (PSI80/M)
+ 5V	

unten:

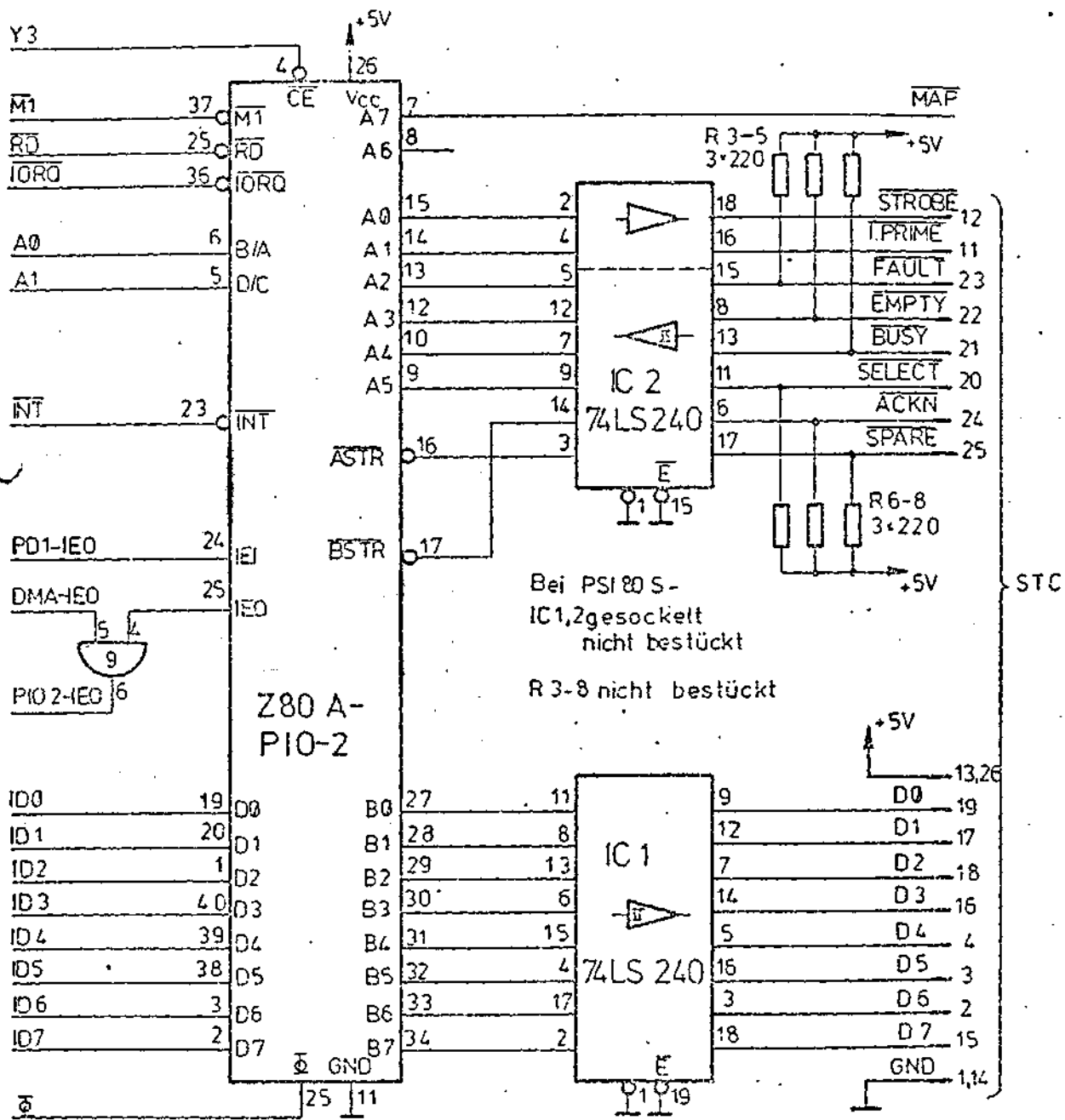
220/110V Primärseite, Wechselstrom

Die zusätzliche Belastbarkeit ist in den Systemen PSI80-M. -P und -P/1 für die Versorgung des Einschubrahmens vorgesehen. In den anderen Ausführungen von PSI80 sind nur die Spannungen +5V. +12V und -12V garantiert.

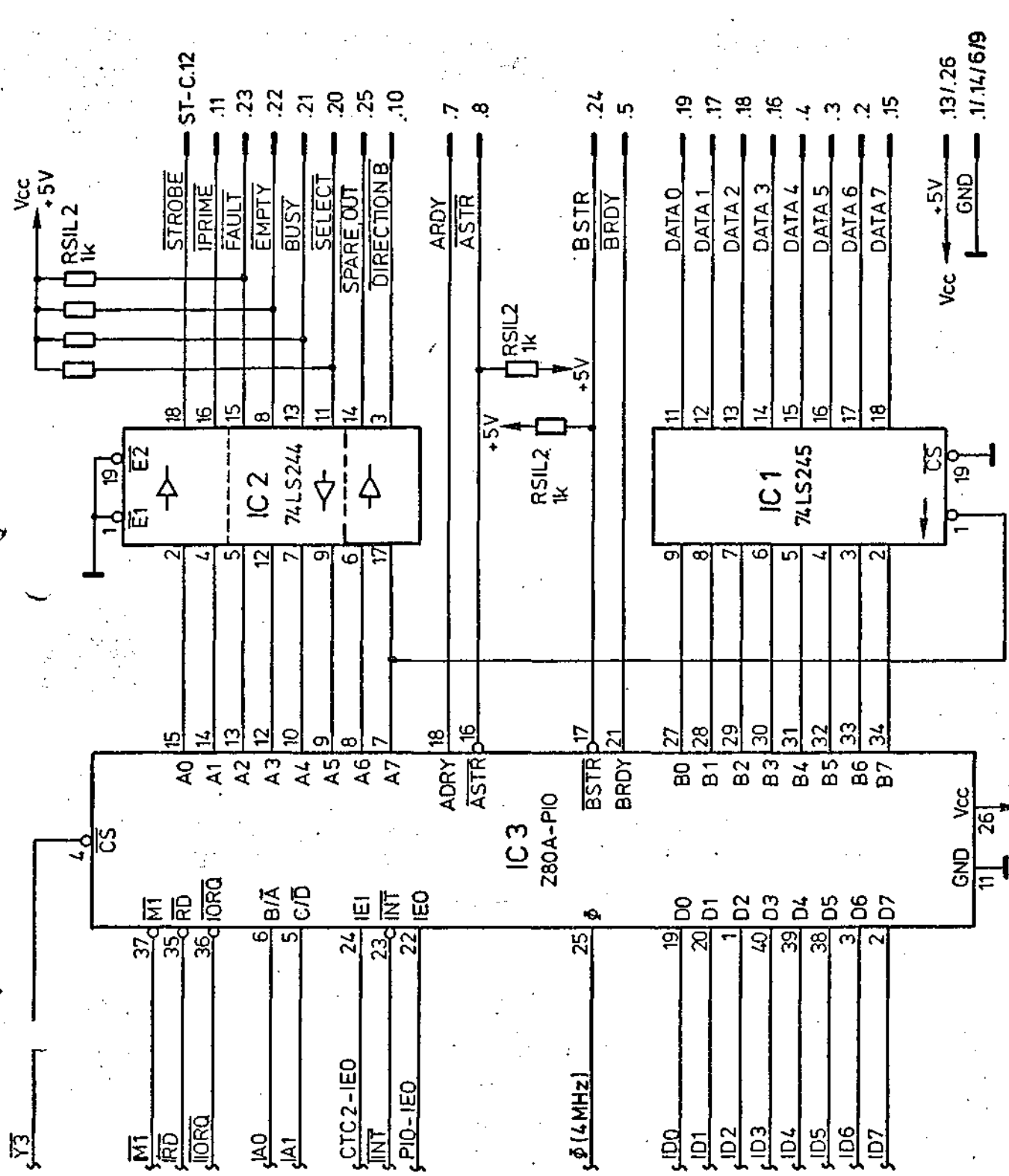
Alle Spannungen sind kurzschlußfest und gegen Überstrom und Überspannung geschützt. Bei Vornahme von Veränderungen am Netzteil, insbesondere der Schutzschaltungen, erlischt die Garantie.



FRON KTRONIK		Maßstab	
1979	Datum	Name	
Bearb	28/11neu	Soest	PSI 80M
Gepr			Serial-Ein/Ausgabe
Norm			
			Blatt 4a

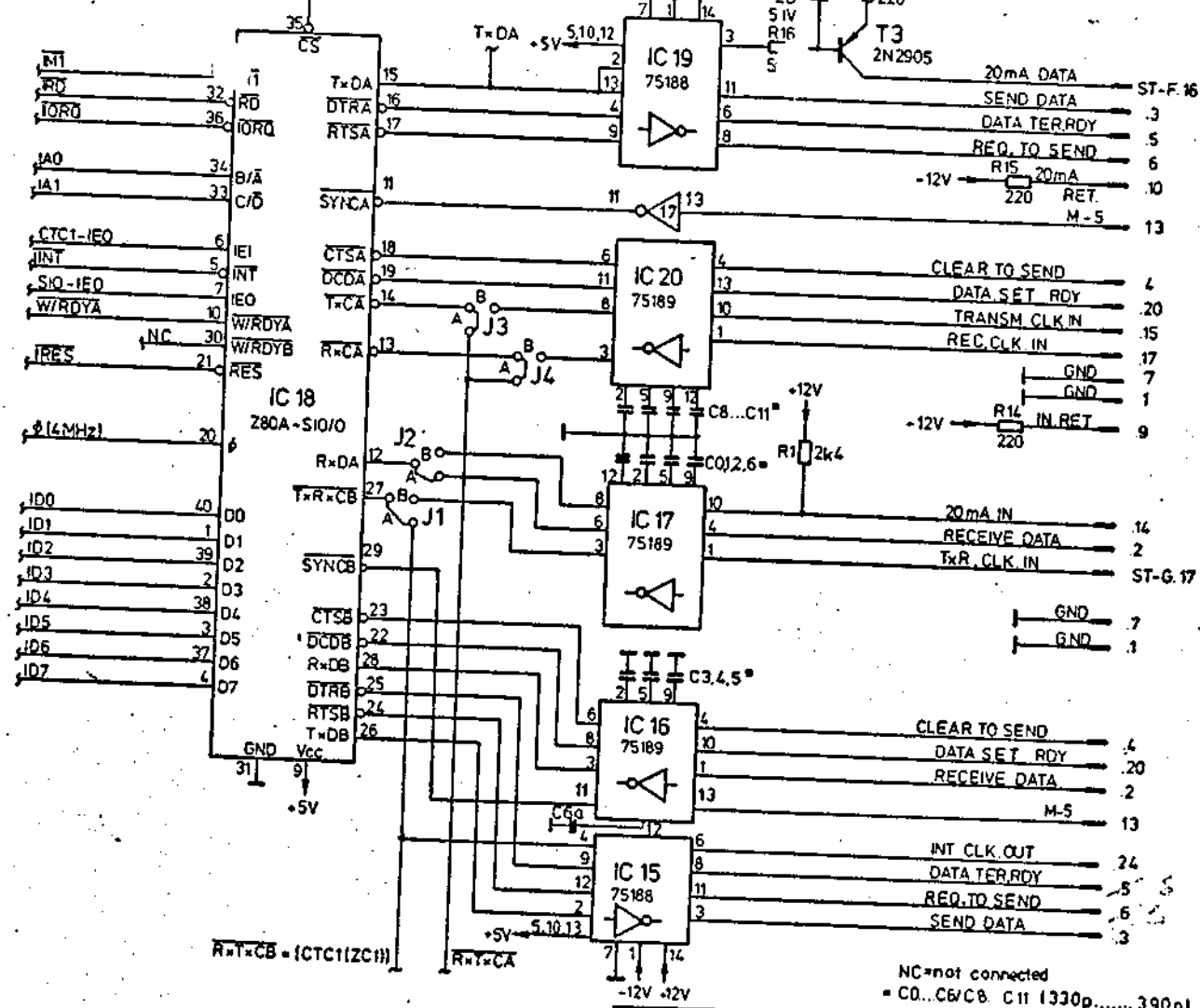


KONTRON ELEKTRONIK	Datum Name		Maßstab PSI 80 M Parallelschnittstelle	Blatt 4c 6 Bl.
	1979	neu Soest		
	Bearb.	Gepr.		
	Norm			



Signalbezeichnung entspricht Centronic Interface.

KONTRON ELEKTRONIK		Mafstab		PARALLELSCHNITTSTELLE		
		Datum	Name			
		Bearb.	3/3/80			Isert
		Gepr.	5.11.80			Bley
		Norm				
3						
2.	NR.98	4.11.80	Isert	PSI 80D	Blatt 10	
1				147 1	16 Bl	
ev.	Änderung	Datum	Name			



R = Tx = CB = {CTC1 {ZC1}}

R = Tx = CA

NC = not connected
 C0...CB/CB, C11 (330p.....390p)

KONTRON ELEKTRONIK			Notepad
EE	Datum	Name	SERIENSCHNITTSTELLEN
Bearb.	ZBO	Ka	
Gepr.	15.11.80	Dla	
Norm			
S.3	16.3.81		PSI 80D
S.2 NR.98	4.11.80		
S.1			147 - 1
Rev.	Änderung	Datum Name	Blatt 5
			16 #