

Service Manual

**Kontron
PSIΨ 98**



VORWORT

Aufbauend auf die Erfahrungen, die im eigenen Hause gesammelt werden konnten, wurde ein Handbuch geschaffen, das allen Interessierten die Möglichkeit bietet, sich schnell und effizient mit der Technik und dem Service des Systems Kontron PSI 98 vertraut zu machen.

Ergänzend zu diesem Manual bietet Kontron zur schnelleren Einarbeitung in das beschriebene System Servicekurse an - fragen Sie uns!

Wichtige Hinweise:

Kontron behält sich technische Änderungen vor, dies beinhaltet auch den Austausch von kompletten Bau- bzw. Funktionsgruppen.

Nicht alle in diesem Manual beschriebenen Baugruppen sind in allen Systemkonfigurationen enthalten.

Diese Beschreibungen sind keine Spezifikationen.

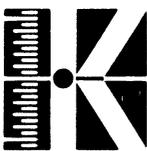
Dieses Manual wurde mit größter Sorgfalt erstellt. Kontron übernimmt jedoch keine Verantwortung für Fehler, die in diesem Handbuch bei technischen Beschreibungen, Zeichnungen oder Fotografien der Produkte auftreten können.

Bei nicht autorisierten Änderungen bzw. Eingriffen in das System erlischt jede Gewährleistung!

Mit freundlichen Grüßen
Kontron Elektronik GmbH
Abt. Schulung und Dokumentation

Breslauer Straße 2
8057 Eching bei München

Tel. 089/31 901-320
Telex 522 122



Handhabung des Manuals

Um dem Anwender die Orientierung in diesem Handbuch zu erleichtern, wurde der Aufbau nach Registern gewählt.

Dabei sind unter den entsprechenden Registerpunkten folgende Kapitel zu finden:

1. Systembeschreibung mit allgemeinen Hinweisen und Fehler eingrenzungsflußplan auf Baugruppenebene sowie einer Anleitung zum Zerlegen/Zusammenbau des Systems.
2. Speichermedien
 - Floppy-Laufwerke
 - Harddisk
 - Harddisk-Controller
 - Wechselplatte
3. Zentralbaugruppe KDT6
4. Ein-/Ausgabe Interface 98/IOC
5. ECB-Bus
6. Ergoline - Tastatur
7. Stromversorgung
8. Monitor
9. Softwaretestmittel



Allgemeine Systembeschreibung

Das System der Serie KONTRON PSI 98 stellt einen modernen Arbeitsplatzcomputer der Kontron Ergoline dar.

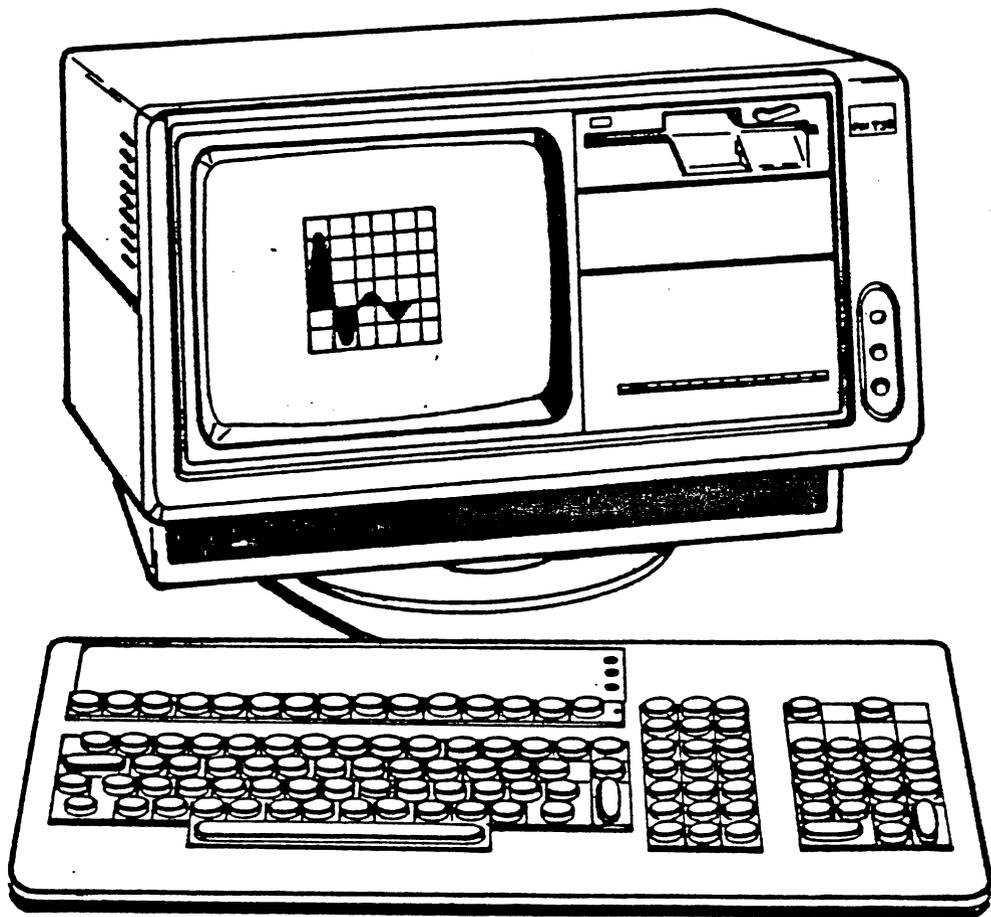
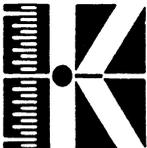


Abb. Kontron PSI 98



Kontron PSI 98

Dieses System ist ein eigenständiges Rechensystem, das in der Normalausstattung aus folgenden Baugruppen bzw. Komponenten besteht:

1. 10" Bildschirm
2. Tastatur
3. Zwei im Monitorgehäuse eingebauten Massenspeichermedien (Floppy-Disk 5 1/4", Double Sided, Double Density, 96 tpi)
Je nach Ausstattung:
 - Festplatte bis 40 MByte
 - Wechselplatte 5 MByte
4. Elektronik, bestehend aus:
 - KDT6
 - 98/IOC
 - ECB-Bus mit 6 Steckplätzen

Dieses System ist ebenso KOBUS-fähig. Als Option können hier ebenso weitere Geräte wie z.B. ein Drucker oder Plotter angeschlossen werden.

Standardzubehör und Optionen

Als Ergänzung zu den vorher beschriebenen Baugruppen wird für jedes Gerät folgendes Standardzubehör mitgeliefert:

1. Netzkabel
2. Systemsoftware-Diskette KOS 6.xx
3. Utility-Diskette KOS 6.xx
4. Installationshandbuch
5. Beschreibung zu Software und Hardware

Für Geräte dieser Baureihe sind ferner als Option u.a. erhältlich:

- Drucker
- Plotter
- Verbindung Rechner-Kobusnetz
- ECB-Karten
- etc.



Systembezeichnungen

Der folgende Schlüssel erläutert den Konfigurationsstand der Geräte anhand ihrer Typenbezeichnung.

Typenbezeichnung z.B. Kontron	PSI	9	8	Q	/	M	2
		!	!	!		!	!
		!	!	!		!	!
Familie:	-----+		!	!		!	!
			!	!		!	!
System:	-----+		!	!		!	!
			!	!		!	!
8	Kompaktsystem, 8Bit CPU		!	!		!	!
			!	!		!	!
FD-Kapazität:	-----+		!	!		!	!
			!	!		!	!
D:	308 kByte		!	!		!	!
Q:	616 kByte		!	!		!	!
			!	!		!	!
Ausstattung:	-----+		!	!		!	!
			!	!		!	!
M:	Maximalkonfiguration, erweitert durch Einschubrahmen für ECB-Karten		!	!		!	!
W:	Winchesterfestplatte		!	!		!	!
			!	!		!	!
Anzahl der FD-Laufwerke bzw. Kapazität der Festplatte:	-----+		!	!		!	!
			!	!		!	!
1...2	1...2 FD-Laufwerke		!	!		!	!
> 5:	Kapazität der Festplatte in Mio Bytes		!	!		!	!



Fehlereingrenzung auf Baugruppenebene

Ein Computersystem, wie das der Reihe Kontron PSI 98 besteht aus mehreren komplexen Baugruppen, die miteinander verknüpft sind. Dadurch ergeben sich die unterschiedlichsten Beeinflussungen und nur das einwandfreie Zusammenwirken aller Baugruppen macht einen fehlerfreien Betrieb des Systems erst möglich.

Grundsätzlich werden in diesem Manual alle Baugruppen behandelt. Allerdings werden Einschränkungen bezüglich des Umfangs der Einzelbeschreibungen gemacht.

Baugruppen, die erfahrungsgemäß häufiger ausfallen, sollen genauer betrachtet werden als solche, die in der Ausfallstatistik nur eine untergeordnete Rolle spielen.

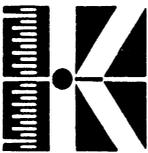
Die häufigsten Systemausfälle haben ihre Ursache in Fehlern bei den Floppy Drives und auf der Zentralplatine KDT6. Dies ist auch nicht weiter verwunderlich, da es sich um die komplexesten Baugruppen des Systems handelt. Besonders die Laufwerke mit ihrer hochentwickelten Feinmechanik neigen - besonders bei entsprechender "Behandlung" - zum Verändern ihrer Einstelldaten und führen so zu Systemausfällen. Beim Auftreten eines Störungsfalles gilt es als Erstes, den Fehler auf eine dieser Baugruppen einzuschränken. Erst dann kann die entsprechende Baugruppe einer genaueren Analyse auf Bauteileebene unterzogen werden. Zur Lokalisierung der fehlerhaften Baugruppe empfiehlt sich eine Vorgehensweise nach folgendem Flußdiagramm (siehe nächste Seite):



```

Sind alle Spannungen          +-----+      nein
vorhanden?                    ! Netzteil ! -----> Netzteil
                              +-----+      Busplatine
                              ! ja
                              !
Erscheint Betriebs-          +-----+      +-----+
meldung?                      ! Monitor !      ! 9xx/IOC ! nein
Nein:                          !Initialisierung! --> !
Kommen die Synchron-          +-----+      ! Impulse: !      KDT/
impulse zum Monitor?          !          !      ! HSync !      9xx/
Wird Hochspannung             !          !      ! VSync !      IOC
erzeugt?                       ! ja
                              !
                              !          !      +-----+
                              !          !      ! ja
                              !          !      +-----> Monitor
Können Zeichen auf
Bildschirm geschrieben        +-----+
werden?                        !          !
Nein: Stehen Strobe           +-----+      +-----+
und Daten am Ausgang          ! Tastatur ! --> !Strobe! nein
an?                            +-----+      !Daten ! ----> Tastatur
                              !          !
                              ! ja          ! ja
                              !          !      +-----> KDT/
                              !          !      9xx/
                              !          !      IOC
Kann das Betriebssystem
geladen werden                +-----+      +-----+
(= notwendig                   ! FD-Laufwerk ! --> !Laufwerk! nein
für Testsoftware)?            +-----+      !tauschen! ----> KDT
Nein: Ersetzen des            !          !
Laufwerks durch               !          !
funktionierendes              !          !
Drive + Diskette,             !          !
bzw. Messen des              !          !
Datentransfers                !          !
zwischen KDT und              !          !
Laufwerk                      +-----+
                              ! Testsoftware !
                              ! anwenden !
                              +-----+

```



Mechanik des Systems

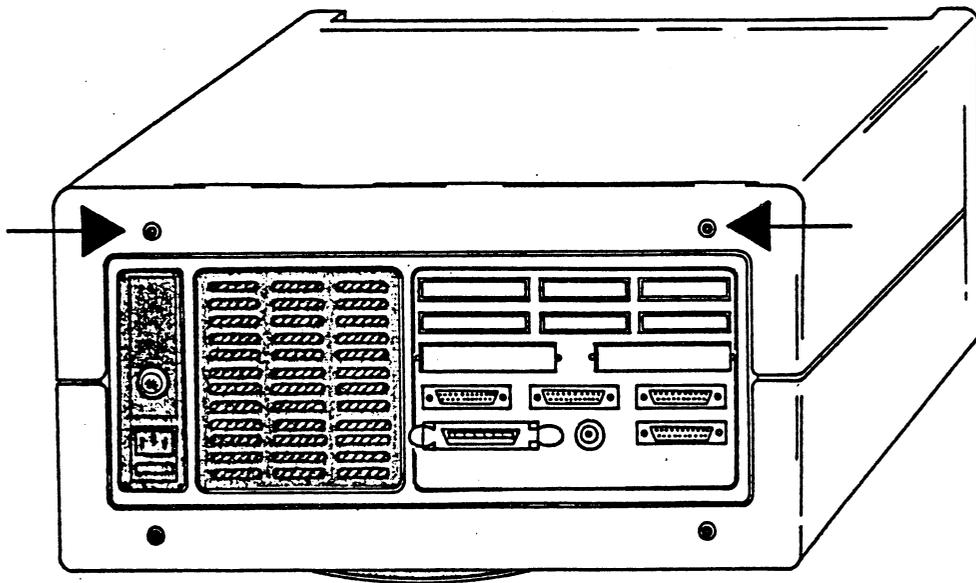
Achtung: Beachten Sie unbedingt, daß bei unauthorisierten Eingriffen in das System jede Gewährleistung erlischt!

Vor dem Öffnen des Systems ist der Netzstecker zu ziehen. Achten Sie auch darauf, daß Sie keine Schrauben o.ä. im Gerät vergessen

- es besteht dann Kurzschlußgefahr!

Behandeln Sie die Gehäuseteile pfleglich!

Das System läßt sich nach Herausschrauben der zwei bezeichneten Schrauben an der Rückseite öffnen.



Der Gerätedeckel kann nun wie folgt abgenommen werden:

1. hinten anheben und
2. nach schräg hinten oben wegziehen

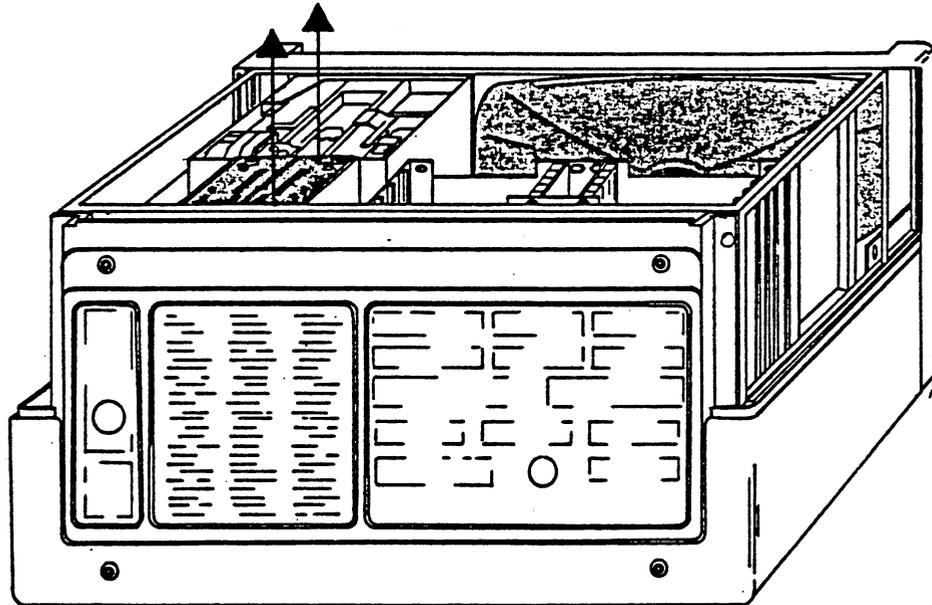


Nun können bereits einige Systemkomponenten ausgebaut werden:

- Netzteil
- Controller (falls Ihr System mit einer Fest- oder Wechselplatte ausgerüstet ist)
- Monitorelektronik

Ausbau des Netzteils/der Netzteile

Je nach Lieferumfang des Systems kann es mit maximal zwei Netzteilen ausgerüstet sein. Die Netzteile sind steckbar ausgeführt und können nach Lösen der Befestigungsschrauben nach oben herausgezogen werden. Dies kann manchmal etwas schwer gehen - notfalls können diese Netzteile mit einem Schraubenzieher herausgeholt werden.

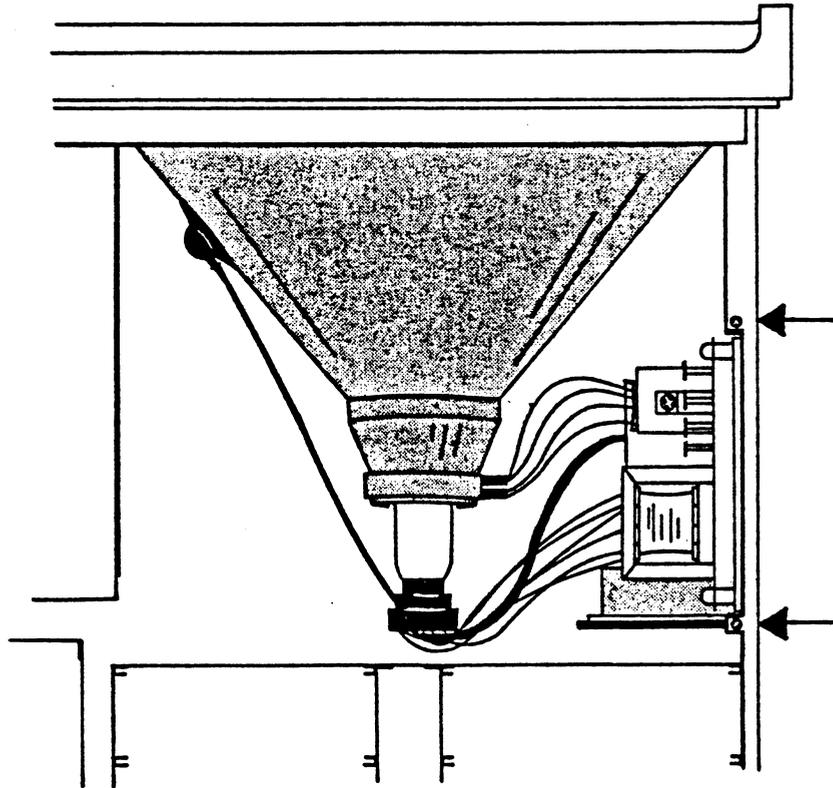




Die Platine der Monitorelektronik befindet sich an der Seitenwand neben dem Bildschirm. Zum Ausbau dieser Einheit müssen vorher mehrere Kabelverbindungen ausgesteckt werden:

- Anschlußstecker der Ablenkeinheit
- Anschlußstecker an der Bildröhre
- Massekabel
- Signalstecker

Nach Entfernen der zwei Halteschrauben kann die Schaltung nach innen geklappt und nach oben herausgezogen werden.





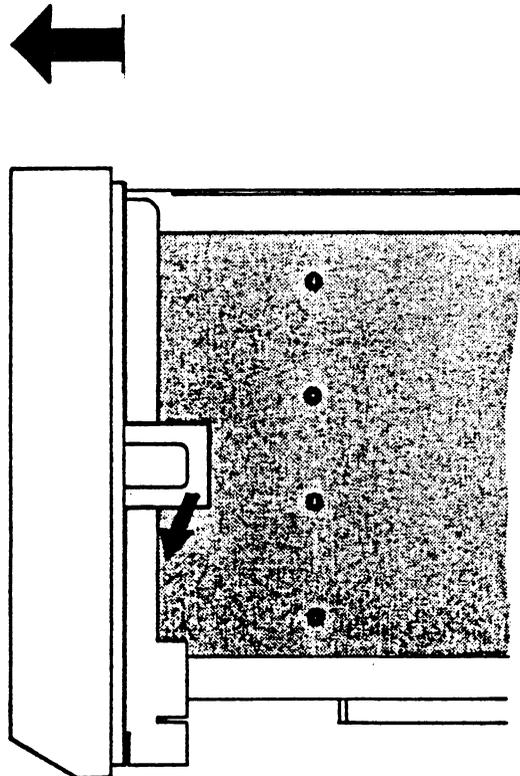
Falls Ihr System mit einer Fest- oder/und Wechselplatte ausgerüstet ist, so ist auch ein Controller zur Ansteuerung dieser Komponenten vorhanden.

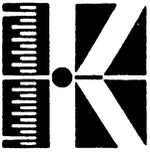
Dieser Controller befindet sich entweder direkt unterhalb der Festplatte und ist nach Ausbau derselben zugänglich.

In manchen Konfigurationen befindet sich der Controller an der dem Monitor gegenüberliegenden Seitenwand. Nach Entfernen der zwei Befestigungsschrauben kann der Controller oben nach innen geschwenkt und nach oben herausgezogen werden. Vorher müssen natürlich noch die Kabelverbindungen ausgesteckt werden (1 Stromversorgungs- und 2 (3) Flachbandstecker).

Um Zugang zu den restlichen Komponenten zu erhalten, muß zunächst die Frontblende abgenommen werden. Dazu müssen keine Schrauben gelöst werden, da sie nur durch einen Schnappmechanismus gehalten wird. Beide seitlichen Laschen müssen nach außen gezogen werden, bis die Frontblende nach vorne abgezogen werden kann.

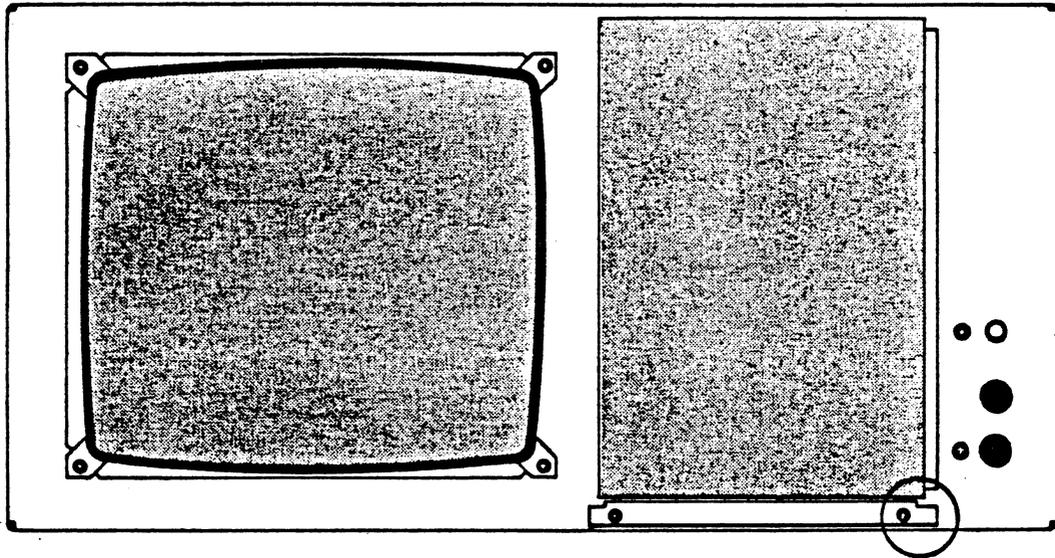
Achten Sie beim Einbau auf ein korrektes Einrasten der Laschen.





Nun kann der Laufwerkskäfig herausgenommen werden.

Lösen Sie die zwei Halteschrauben und schieben Sie die Halteleiste nach unten.



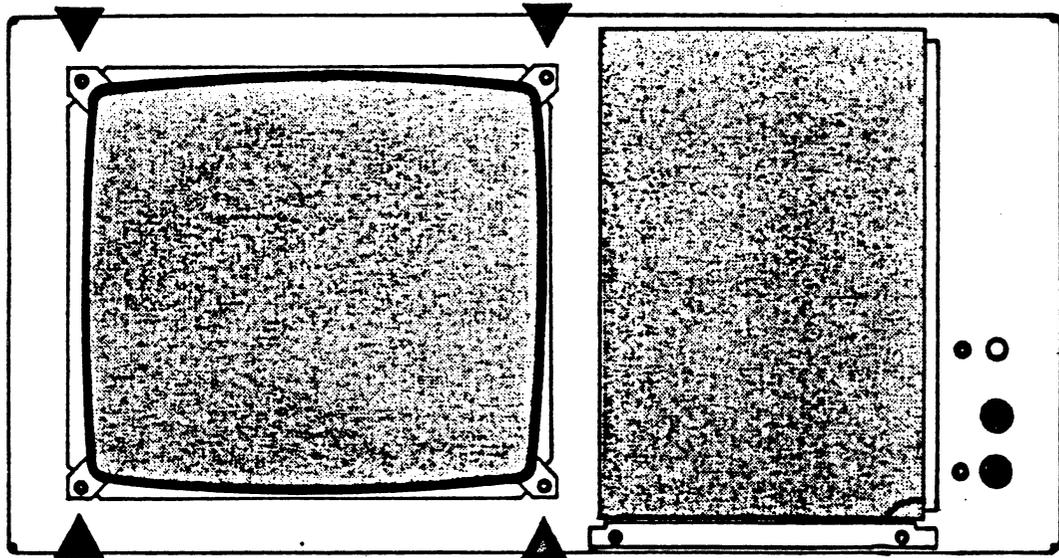
Nun kann der Laufwerkskäfig nach vorne gezogen werden (die Anschlußkabel sind länger als sie vorher aussehen!). Entfernen Sie alle Anschlußkabel und nehmen Sie den Käfig aus dem System heraus.



Zum Wechsel eines Laufwerkes müssen die entsprechenden Halteschrauben gelöst und das Laufwerk aus dem Käfig herausgezogen werden.

In manchen Konfigurationen befindet sich der Festplattencontroller direkt unter der Festplatte.

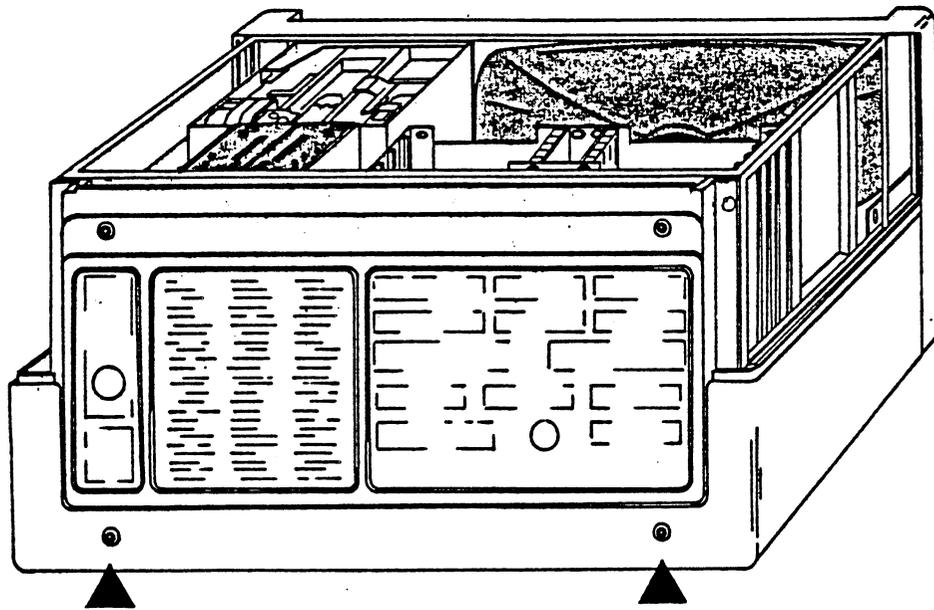
Die Bildröhre kann nach Entfernen der Halteschrauben nach vorne herausgezogen werden. Beachten Sie die Sicherheitsratschläge der Bildröhrenhersteller (Implosionsgefahr!).



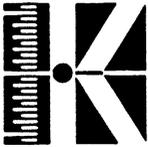


Zum Ausbau des Computerboards, der KDT 6, die sich unter dem Chassis befindet, muß zunächst die untere Gehäuseschale abgenommen werden.

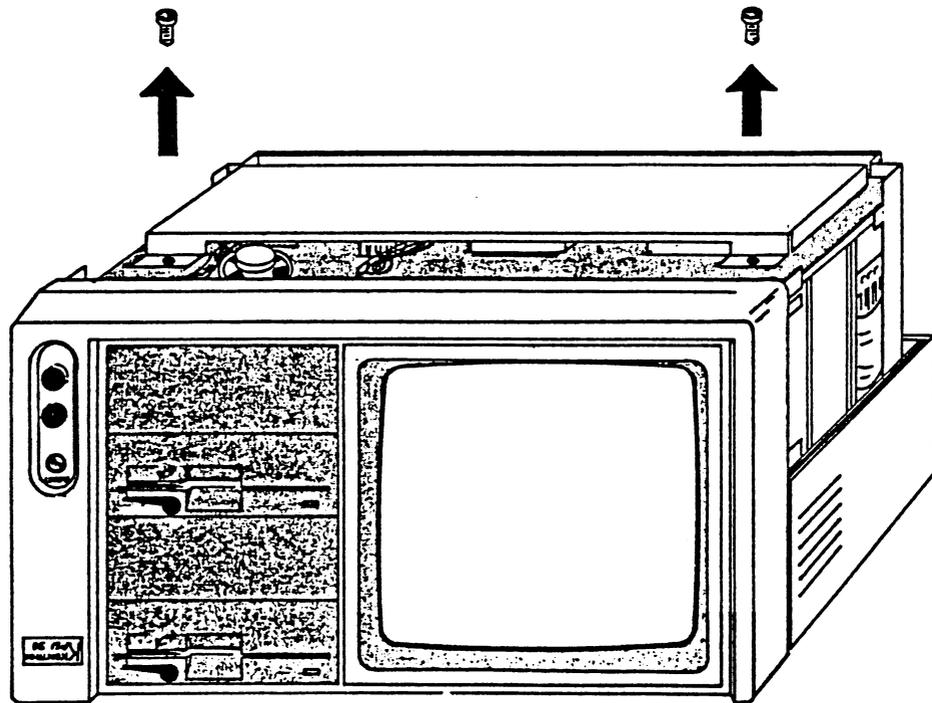
Dazu müssen die zwei bezeichneten Schrauben herausgeschraubt werden.

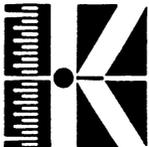


Das Chassis kann nun, nachdem es leicht nach vorne gezogen wurde, aus der Gehäusewanne herausgehoben werden.

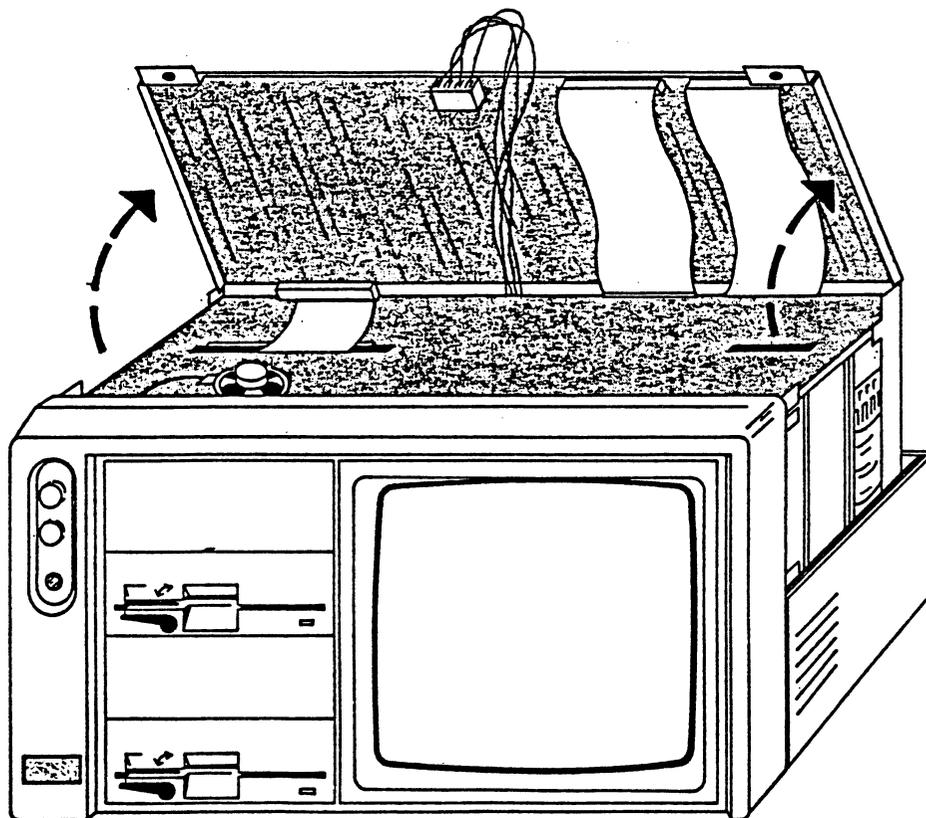


Stellen Sie das Gerät nun auf die Seite und schrauben Sie die zwei Halteschrauben der Bodenwanne auf der Unterseite des Gerätes heraus.



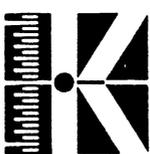


Der Bodendeckel kann nun zusammen mit der KDT6 weggeklappt werden. Die Zentralplatine kann nach Abziehen sämtlicher Kabelverbindungen und Abschrauben aller fünf Halteschrauben gewechselt werden. Achten Sie beim Zusammenbau des Gerätes auf den korrekten Sitz der Steckverbindungen sowie auf die richtige Orientierung des Stromversorgungssteckers!



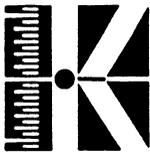


Die Ein-/Ausgabeplatine wird zugänglich, sobald die Rückwand des Gerätes abgenommen wurde. Dazu müssen die vier äußeren Schrauben am hinteren Rahmen herausgeschraubt werden. Die Schrauben an der hinteren Blende halten nur diese Abdeckung und führen nur zum Lüfter.



Inhaltsverzeichnis

	Seite
Vorwort	1
1. Spezifikationen	2
2. Allgemeines	4
3. Schaltungsbeschreibung	7
3.1 Schaltungsbeschreibung TEAC FD 55 Alte Version	7
3.2 Schaltungsbeschreibung TEAC FD 55 Neue Version	13
4. Anschluß des Laufwerkes	21
5. Beschreibung der Ein-/Ausgangssignale	26
5.1 Eingangssignale	26
5.2 Ausgangssignale	28
5.3 Zeitverhalten der Signale	30
6. Wartung und Abgleich des Drives	31
6.1 Vorbeugende Wartungsarbeiten	35
6.2 Überprüfung und Abgleich	36
6.2.1 Ladearmpositionierung	36
6.2.2 Klemmarmeinstellung	37
6.2.3 Umdrehungsgeschwindigkeit	38
6.2.4 Löschtörverzögerung	39
6.2.5 Schreibabschlußwiderstand	41
6.2.6 Asymmetrieeinstellung	42
6.2.7 Lesepegel	44
6.2.8 Spurlage	44
6.2.9 Spur-00-Sensor	47
6.2.10 Spur-00-Anschlag	49
6.2.11 Index-Sensor	50
6.2.12 Azimuth-Einstellung	52
7. Zusammenstellung aller Anschlüsse, Testpunkte und Einstellregler	53
7.1 Anschlüsse	53
7.1.1 Interfacestecker	55
7.1.2 Stromversorgungsanschluß	57
7.1.3 Schreib-/Lesekopfanschluß	59
7.1.4 Interne Anschlüsse	59
7.2 Lage der Testpunkte und Einstellwiderstände	60
8. Pläne	63
9.1 Schaltpläne	63
9.2 Bestückungspläne	70



Vorwort

In dieser Unterlage werden die Laufwerkstypen

TEAC FD 55F alte sowie
neue Version

beschrieben.

Beide Laufwerke sind zueinander kompatibel. Sie unterscheiden sich nur in der Laufwerkselektronik.

Die Typen sind folgendermaßen zu unterscheiden:

Aussehen: alte Version: Auf der Oberseite befindet sich eine große Platine, die die Hälfte der Oberseite ganz ausfüllt.

neue Version: Auf der Oberseite ist nur eine kleine Platine vorhanden, die nur wenig Bauteile beherbergt.

Auf der Platine an der Unterseite befindet sich ein sehr hochintegrierter Baustein, der durch sein rechteckiges Aussehen mit 48 pins auffällt.

In der folgenden Beschreibung wird, soweit sich Unterschiede in den Testpunkten bzw. Einstellungen ergeben, auf beide Typen eingegangen.

Zur Unterscheidung der Typen wird dabei die Bezeichnung "Alte Version" bzw. "Neue Version" beibehalten.



1. Spezifikationen

Teac FD-55 F

Abmessungen

Höhe	41,3 mm
Breite	146 mm
Tiefe	203 mm
Gewicht	1.5 kg

Betriebsbedingungen

Temperaturbereich	4...46 Grad C
Feuchtigkeitsbereich	20...80 % nicht kondensierend

Leistungsaufnahme

(neue Version)

Betrieb	5.5 W	(4.9 W)
Standby	2.6 W	(1.6 W)

Kapazität

unformatiert	1000 Kilobytes
formatiert	655 Kilobytes

Laufwerkdaten

Umdrehungsgeschwindigkeit	300 U/min
Latenzzeit	100 msec
Kopfladezeit	< 35 msec
Motorstartzeit	< 400 msec

Zugriffszeiten

Spur-zu-Spur	< 3 msec
mittl. Positionierzeit	94 ms (schließt Schritt- und Beruhigungszeit mit ein)



<u>Übertragungsrate</u>	250 Kilobit/sec
<u>Aufzeichnungsdichte</u>	5922 bits/inch
<u>Spurdichte</u>	96 Spuren/inch
<u>Spurenzahl</u>	80 Spuren / Oberfläche
<u>Mediengröße/Spezifikation</u>	Double-Sided, 96 tpi Standard 5 1/4 inches Diskette
<u>Zuverlässigkeit</u>	
MTBF	> 10.000 Stunden Einschaltzeit
MTTR	30 min
System-Lebensdauer	> 5 Jahre
Soft-Error-Rate	1 pro 10^9 bits (bis zu zwei Zugriffsversuchen)
Hard-Error-Rate	1 pro 10^{12}
Seek-Error-Rate	1 pro 10^6
Diskettenlebensdauer	> 3.5×10^6 Zugriffe/Spur



2. Allgemeines

Um eine Fehlersuche am Floppy-Drive (FD) vorzunehmen, muß man sich vorher mit der Wirkungsweise der magnetischen Aufzeichnung sowie der Schaltungsfunktion vertraut machen. Ferner sind zur Fehlersuche und Justage spezielle Meßmittel nötig.

Die benötigte Technik zur Aufzeichnung und für das Rücklesen von Daten kann man in 3 Bereiche gliedern:

- | | |
|----------------------|------------------|
| - intelligente Logik | Zentralplatine |
| - Drive-Elektronik | FD-Laufwerkboard |
| - Mechanik | FD |

Die intelligente Steuerung der Drives befindet sich auf der Zentralplatine. Das Laufwerk ist mit dieser Platine über ein Flachbandkabel verbunden und erhält auf diesem Wege Steuersignale und Daten.

Die Elektronik auf dem Laufwerksboard beschränkt sich darauf, diese Signale auszuwerten um die elektromechanischen Teile zu steuern, sie zu überwachen und Rückmeldungen an die Zentralplatine zu liefern. Außerdem werden die Schreib- und Lesevorgänge durchgeführt - es müssen also TTL-Pegel in Schreibströme umgewandelt werden bzw. Leseströme in TTL-Pegel.

Den empfindlichsten und stör anfälligsten Teil des Laufwerkes stellt die Mechanik dar.

Um ein fehlerfreies Schreiben und Lesen zu gewährleisten, müssen auch die Disketten dementsprechend behandelt werden:

- Disketten nur mit Filzstift nur auf dem Klebeetikett beschriften. Kugelschreiber o.ä. hinterlassen Druckspuren auf der Diskettenoberfläche und verursachen Lesefehler.
- Disketten nicht knicken
- Disketten von magnetischen Einflüssen fernhalten
- Disketten vor Feuchtigkeit und Staub schützen
- Lagertemperatur von Disketten: 10. - 52 Grad C.
- Starke Sonnenbestrahlung vermeiden
- Nach Gebrauch in die Diskettenhülle zurücklegen
- Disketten vorsichtig in das Laufwerk einführen und vor dem Abschalten entnehmen
- Diskettenoberfläche nicht berühren.



Allgemeines zum Aufzeichnungsverfahren

Das Laufwerk beschreibt die Disketten auf beiden Seiten mit doppelter Schreibdichte (double sided, double density).

Das "double density"-Aufzeichnungsverfahren bietet gegenüber dem "single density"-Aufzeichnungsverfahren den Vorteil der doppelten Schreibdichte, es bietet also eine bessere Auslastung der Diskette. Dieses Verfahren erfordert allerdings auch eine größere Präzision des Laufwerkes. So dürfen sich die Zeitverhältnisse der Signale z.B. bei Temperaturschwankungen nur unwesentlich ändern.

Als Aufzeichnungsverfahren kommt das sogenannte MFM-Verfahren zur Anwendung, das wie folgt arbeitet:

Bei jedem "HIGH"-Datenbit wird ein "WRITE-DATA"-Puls in der Mitte des Datenbitzeitfensters erzeugt.

Wird ein "LOW"-Datenbit erkannt, so wird kein "WRITE-DATA"-Puls generiert, falls es das erste "LOW"-Bit nach einem "HIGH"-Bit ist. War das Vorgängerbit jedoch ebenfalls "LOW", so wird ein "WRITE-DATA"-Puls an den Anfang dieser Bitzelle gesetzt.

Jeder "WRITE-DATA"-Puls bewirkt eine Umpolung des Schreibstromes im Schreibkopf des Laufwerkes.

Zur Verdeutlichung der beschriebenen Funktionsweise dient folgendes Bild:

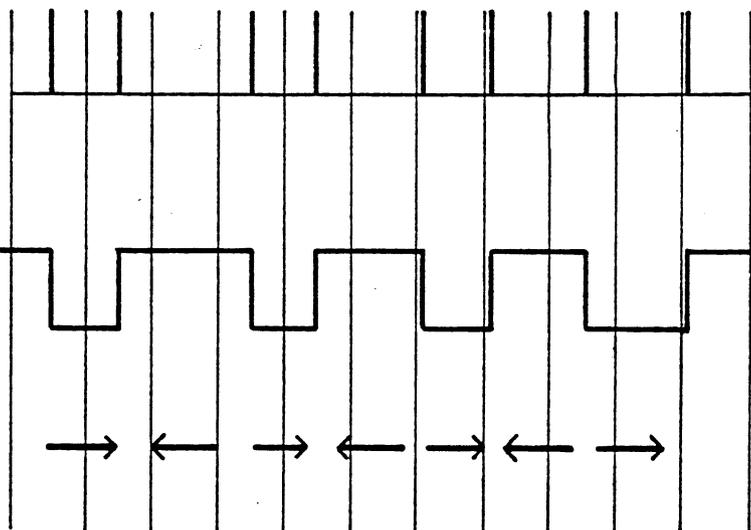
Datenfolge

1 1 0 1 1 0 0 0 1 0 0

"WRITE DATA"

Schreibstrom

Flußwechsel

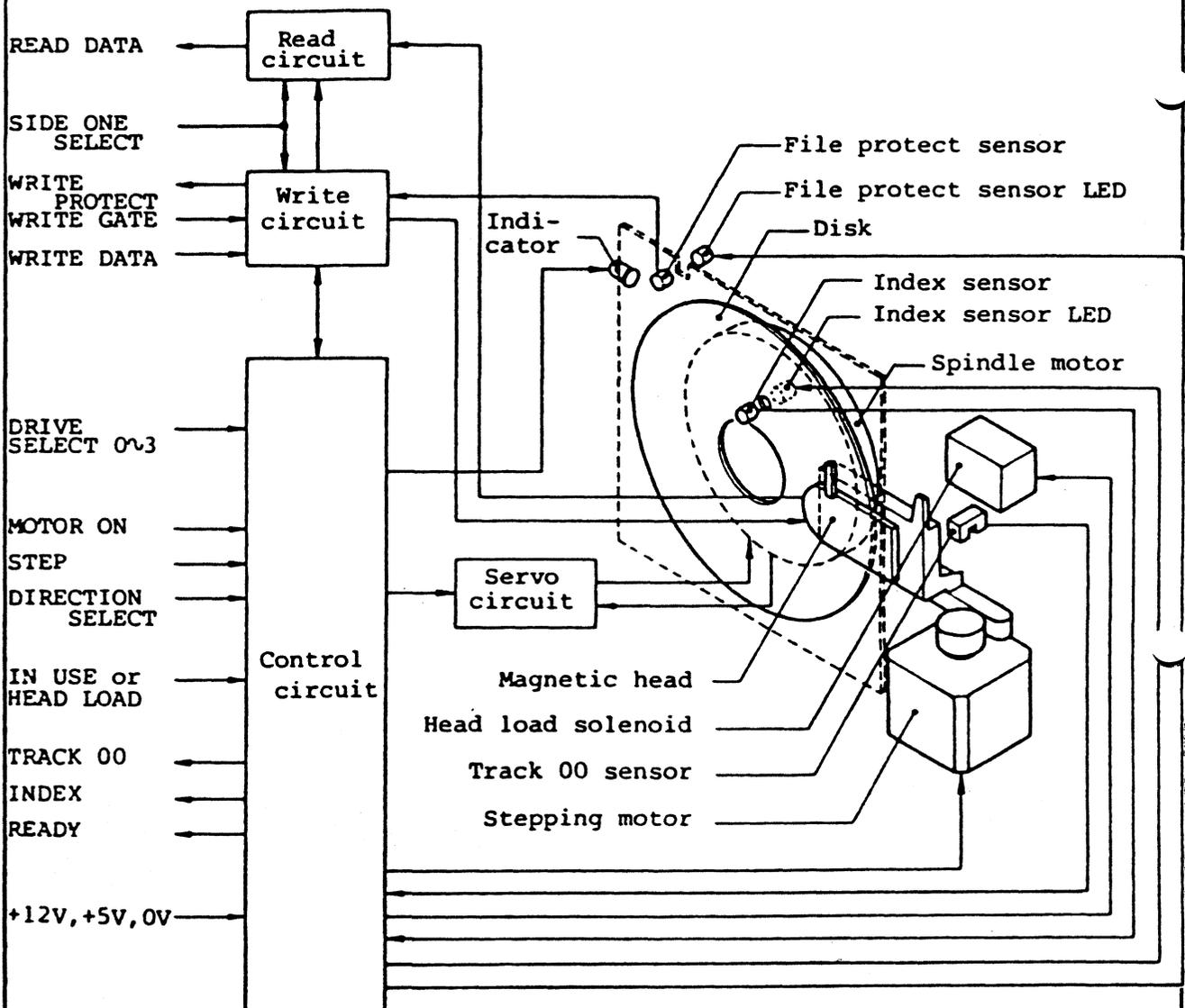




Funktionsübersicht des Laufwerkes

Folgende Abbildung zeigt einen funktionalen Überblick des Laufwerkes mit all seinen mechanischen und elektrischen Funktionsgruppen:

General Block Diagram





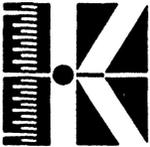
Auf der elektronischen Seite läßt sich das Laufwerk in folgende Funktionseinheiten einteilen:

- Leseschaltung
 - * Vorverstärker
 - * Tiefpaßfilter
 - * Differentiationsverstärker
 - * Peak-Detektor
 - * Ausgabetreiber

- Schreibschaltung
 - * Kopfauswahl
 - * Schreibtreiber
 - * Löschtreiber

- Kontrollschaltung
 - * Steuerlogik für Stepermotor
 - * Auswertschaltung für Index-Sensor, Schreibschutz-Sensor und Spur-00-Sensor
 - * Kopfladeschaltung
 - * Regelschaltung für Spingelmotor

Achtung: Zur Schonung der Köpfe sollte unbedingt während der Lagerung bzw. des Transportes des Gerätes das sog. "Head protection Sheet" verwendet werden. Es wird statt einer Diskette in das Gerät eingeführt und verhindert ein Aufeinanderschlagen der Köpfe durch Erschütterungen.



3. Schaltungsbeschreibung

Wie bereits erwähnt, unterscheiden sich dabei Laufwerkstypen in der Ausführung der Schaltungselektronik. Gemeinsamkeiten bestehen nur in der Spindelmotorsteuerplatine; sie ist bei beiden Ausführungen identisch.

3.1 Schaltungsbeschreibung TEAC FD 55 - Alte Version

Die Elektronik des Laufwerkes ist auf drei Platinen untergebracht, auf denen jeweils folgende Funktionseinheiten zu finden sind:

- Auf der Unterseite des Laufwerkes:
 - * Spindelmotorsteuerung
 - * Steuerlogikplatine

- Auf der Oberseite:
 - * Schreib-/Lese-Verstärkerplatine

Spindelmotorsteuerung:

Diese Schaltung sorgt für eine konstante Umdrehungsgeschwindigkeit des Spindelmotors von 300 U/min. Der Motor selbst ist ein bürstenloser Gleichspannungsmotor, der durch 2 Hall-Elemente über das Zweiphasen-IC U102 angesteuert und geregelt wird.

Als Regelgröße wird die Frequenz eines im Motor eingebauten Tachogenerators verwendet. Diese Frequenz wird durch IC U101 in eine der Umdrehungsgeschwindigkeit proportionale Spannung umgewandelt. Diese Spannung steuert nun, nachdem sie über die Phasen-Kompensationsschaltung, bestehend aus C107 - C109 und R108 - R109 geleitet wurde, das Motortreiber-IC U101.

Mit R1 ist die Umdrehungsgeschwindigkeit in gewissen Grenzen einstellbar.

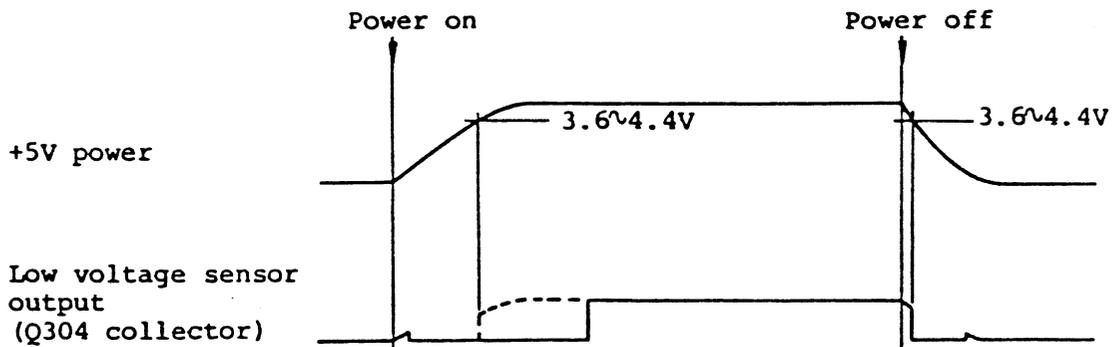


Steuerlogikplatine:

Auf ihr befinden sich die Detektoren zur Erkennung des Index-Loches, der Spur 00 sowie des Diskettenschreibschutzes.

Weiterhin ist ein Unterspannungssensor (Q203, Q204, CR208, C202, R203 usw.) vorhanden, der den Betrieb des Laufwerkes nur bei stabiler Spannungsversorgung zuläßt. Somit werden irrtümliche Operationen während Spannungsschwankungen, wie sie z.B. beim Ein- oder Ausschalten der Versorgungsspannung auftreten, vermieden.

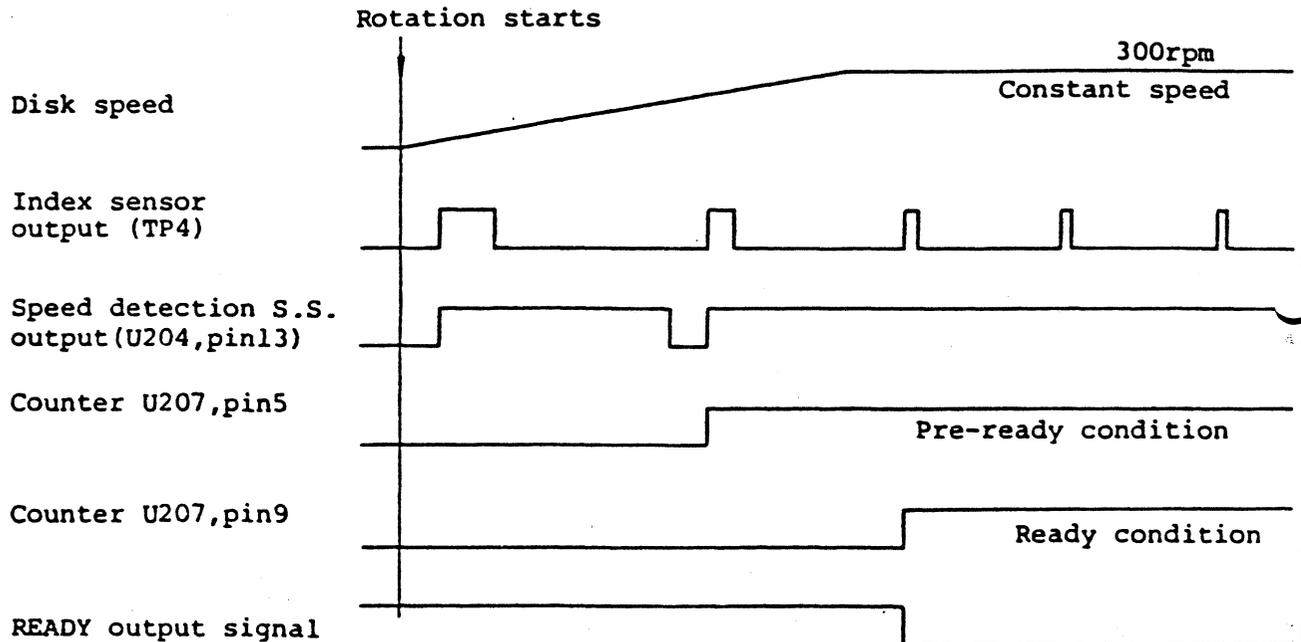
Die Ausgänge aller Treiber des Laufwerkes werden nur dann freigegeben, wenn der Unterspannungssensor eine logische "1" sendet.



Um der Zentraleinheit die Arbeitsbereitschaft des Laufwerkes über die "Ready"-Leitung mitteilen zu können, ist die Schaltung rund um die IC's U204 (monostabile Kippstufe SN74LS123) und U207 (Zähler, SN74LS74) aufgebaut. Der Ausgang des Monoflops wird HIGH sobald die Umdrehungsgeschwindigkeit ca. 50 % der Endumdrehungszahl erreicht. Die erste Stufe des Zählers (U207 Pin 5) erkennt den ersten Indexpuls, nachdem die Umdrehungsgeschwindigkeit 50 % beträgt und erzeugt das "Pre-Ready"-Signal. Sobald der zweite Puls erkannt wurde (zweite Stufe von IC U207) wird über den Ausgangstreiber U202 ein "Ready"-Signal an den Rechner gesendet.



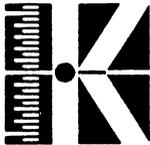
Folgendes Bild zeigt die entsprechenden Zeitverhältnisse:



Der Kopflademagnet zieht an, nachdem das "Pre-Ready"-Signal erzeugt wurde und das "Head-Load"-Signal vorhanden ist. Der Kopflademagnet wird über den Treiber Q201 mit 12V versorgt.

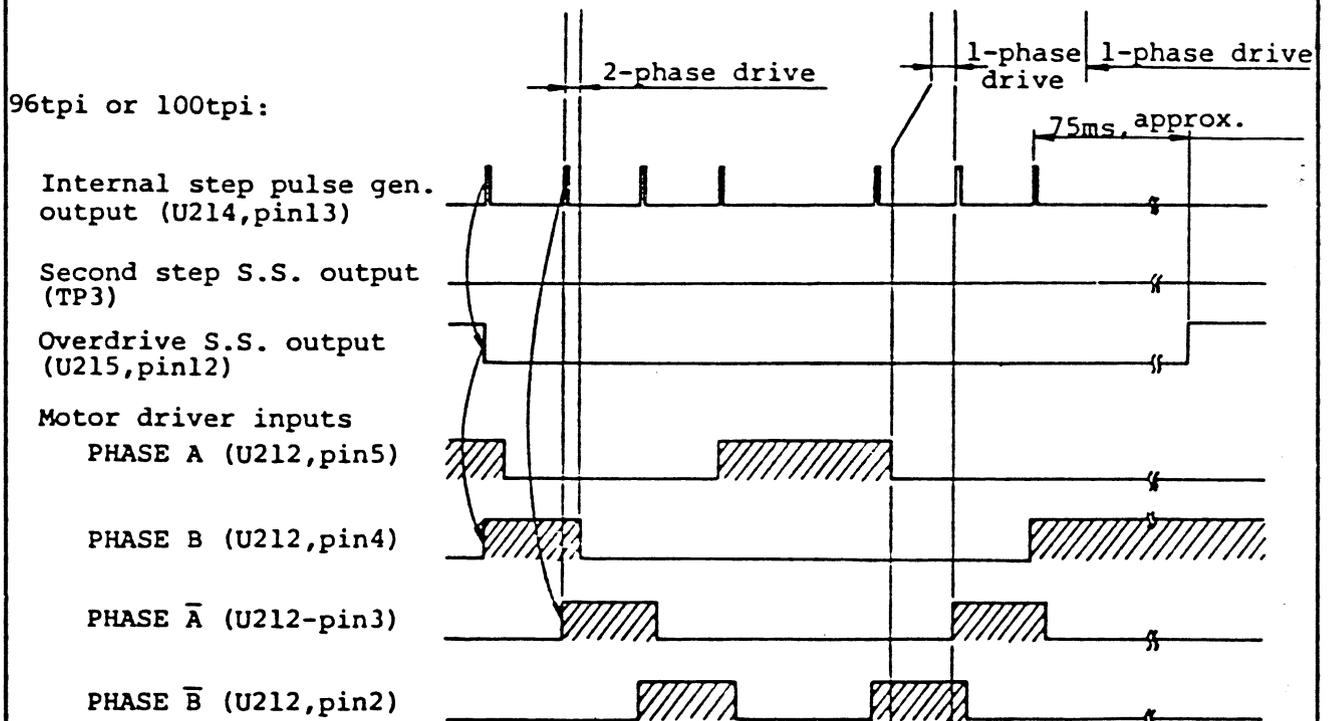
Die Stepperkontrollschaltung besteht aus Richtungsspeicher, Step-Puls-Generator, Shift-Register, Stepermotortreiber usw.

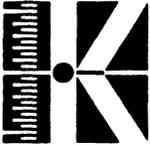
Der Richtungsspeicher (U216, Q = Pin 6) ist eine Sample + Hold-Schaltung, die ein Dauersignal erzeugt, das der Kopflaufrichtung entspricht (siehe auch Kapitel "Zusammenstellung der Ein-/Ausgangssignale").



Der interne Step-Pulsgenerator erzeugt bei jeder führenden Flanke des Eingangsstepsignals einen 1 μ s langen Puls. Jeder Puls bewirkt das Weiterschalten des Stepper motors um eine Spur (entspricht einer 1.8-Grad Umdrehung des Stepper motors).

Die Ansteuerung des Stepper motors geschieht über ein Schieberegister (U209) und einen 2-phasigen Motorsteuer-IC (U210). Die Ausgangssignale dieser IC's werden über ODER-Gatter (U211) dem Treiberschaltkreis U212 zugeleitet, der wiederum den Stepper motor versorgt. Folgendes Zeitdiagramm verdeutlicht den Ablauf:





Der Ausgang des internen Steppulsgenerators (U214,Q) versorgt auch die "Overdrive-Schaltung" (U215,Q). Während der aktiven Zeit dieses Signals (ca. 75 msec) wird der Steppermotor mit 12 Volt versorgt, um ein ausreichendes Drehmoment zu gewährleisten. Nachdem der Kopf über der gewählten Spur zu liegen kommt, wird er nur noch mit 5 Volt versorgt.

Durch diese Maßnahme sinkt die Verlustleistung, die Leistungsaufnahme des Motors beträgt dann nur noch ca. 0.25 Watt.

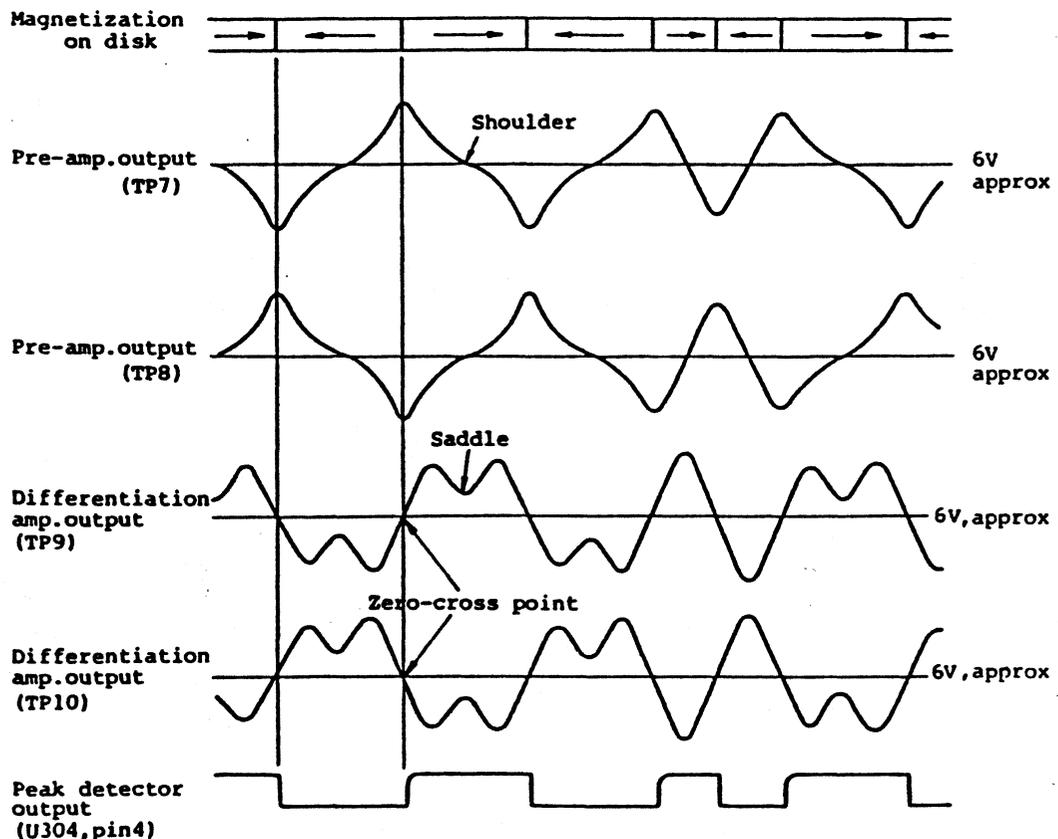
Schreib-/Leseplatine:

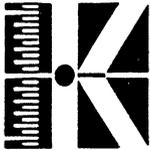
Während der Lese phase wird die im Lesekopf induzierte Spannung zunächst um ca. 30 dB verstärkt. Dies erledigt der Verstärker U307.

Unerwünschtes hochfrequentes Rauschen wird durch den Tiefpaßfilter (L302, L303, C319 usw.) eliminiert. Dieses gefilterte Signal wird nun dem Differentiationsverstärker, gebildet aus Q301, Q302, L301 usw. zugeführt.

Durch die Differentiation ergeben sich aus den Spannungsspitzen Nulldurchgänge. Das Signal wird nun verstärkt und auf den Eingang des Spitzendetektors (U304) geführt, der es in ein Rechtecksignal umwandelt.

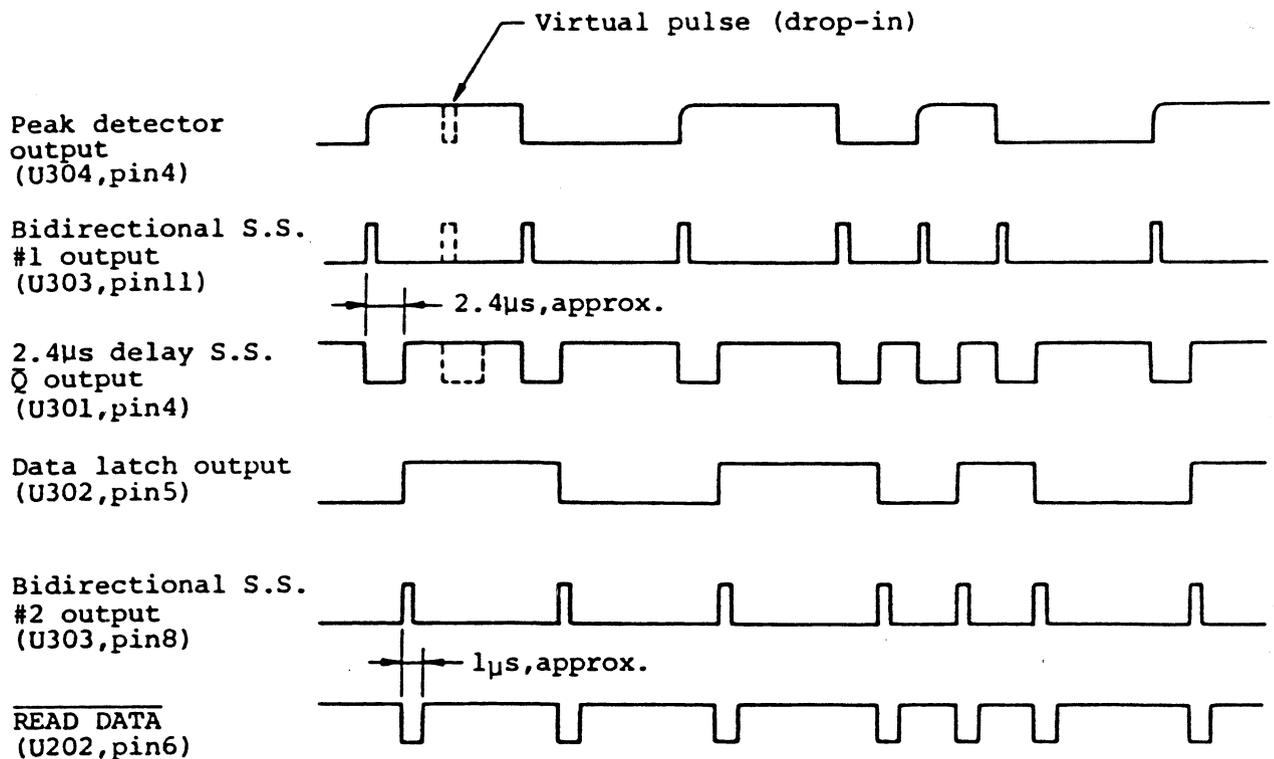
Die entsprechenden Zeitdiagramme gehen aus folgender Abbildung hervor:



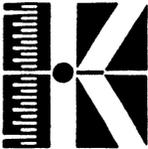


Das nachgeschaltete Filter eliminiert mögliche Pulse, die durch den Sattelpunkt im niederfrequenten Bereich (ca. 62.5 KHz) beim Auslesen von äußeren Spuren entstehen könnten. Dieses Zeitfensterfilter wird gebildet aus einem Multivibrator Nr.1 (RA302, C310, U303 pins 11 u. 13), einem Monoflop mit einer Impulsbreite von 2.4 μ s (U301, Q - pin 4), Datenspeicher (U302, Q - pin 5), bidirektionalem Monoflop Nr.2 (RA302, C309, U303 pins 8-10) sowie einem weiteren Monoflop (1 μ s Impulsbreite - U301, Q - pin 5).

Dieses Signal wird nun über das "Read"-Tor ausgegeben.



Zeitverhältnisse "Read-Signal"



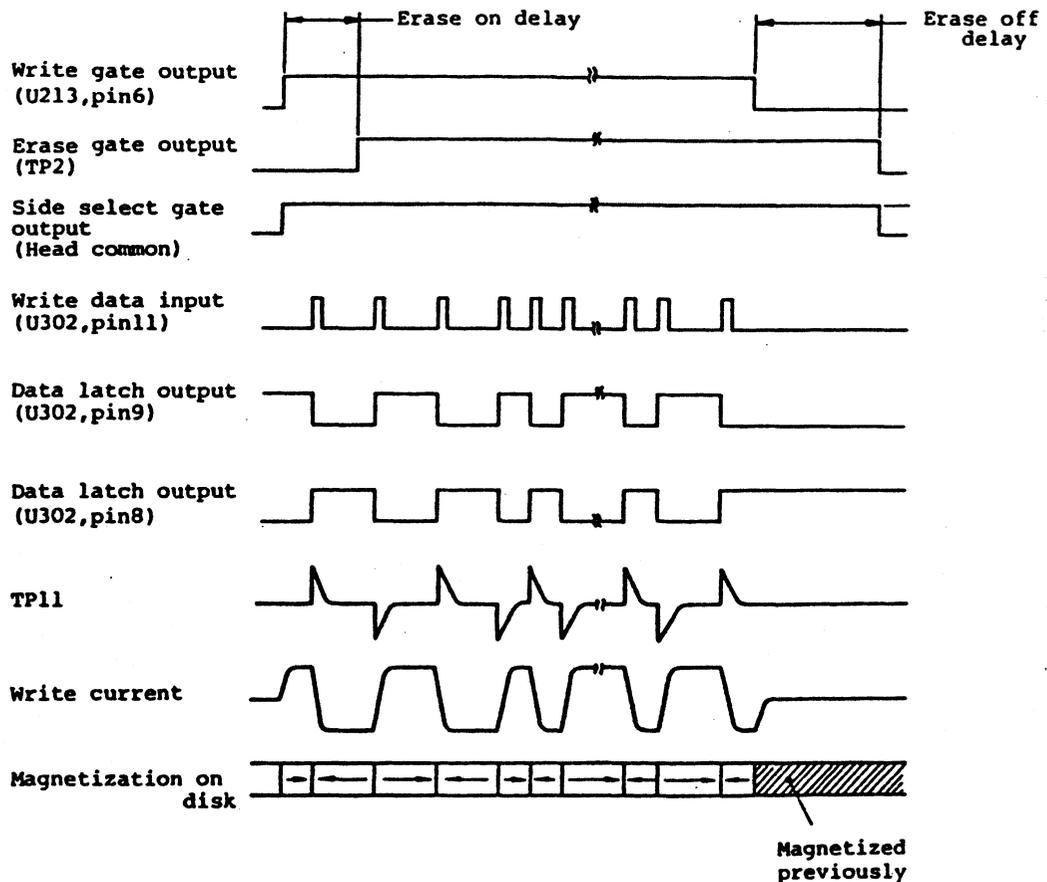
Schreibschaltung:

Schreibzugriffe sind nur möglich, wenn folgende drei Bedingungen erfüllt werden:

- Der Schreibschutzsensor entdeckt die Aussparung an der Diskette
- Das "Write Gate"-Signal ist TRUE (neg. Logik)
- Jumper MX ist gesteckt oder das "Drive-Select"-Signal ist TRUE (neg. Logik)

Da der Spalt des Löschkopfes ca. 0.85 mm hinter dem Schreib-/Lesespalt liegt, muß der Löschtreiber das "Write Gate"-Signal verzögern, damit die geschriebenen Daten durch den Löschkopf beschnitten werden. Dieser Tunnellöschereffekt erzeugt ein "Sicherheitsband" zwischen den Datenspuren und vermindert so ein Übersprechen zwischen den Spuren.

Das Write-Eingangs-Datensignal gelangt über U302 auf die Schreibtreiber (U306), von denen jeweils nur einer durchgeschaltet wird. Durch dieses Umschalten wird über den Schreibkopf ein magnetischer Flußwechsel auf der Diskette erzeugt.



Signalformen in der Schreibschaltung



3.2 Schaltungsbeschreibung TEAC FD 55 - Neue Version

Auch hier ist die Elektronik auf drei Platinen untergebracht:

- Auf der Unterseite des Laufwerkes:
 - * Spindelmotorsteuerung (identisch zur alten Version)
 - * Steuer- und Auswertelektronik, die rund um einen LSI-Chip aufgebaut ist.

- Auf der Oberseite des Laufwerkes
 - * kleine Platine zur Aufnahme von Fotosensoren (Index sowie Writeprotect), sowie der Leuchtdiode an der Vorderseite.

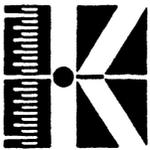
Spindelmotorsteuerung:

Identisch zur alten Version, siehe Kapitel 3.1

Steuer- und Auswertlogikplatine:

Hier befindet sich auch die gesamte Schreib-/Leseelektronik. Der Hauptteil dieser Schaltung ist neben einem Unterspannungssensor in einem hochintegrierten Baustein (LSI-Chip) verborgen.

Das Bild auf der nächsten Seite zeigt das Blockdiagramm.



Floppy-Laufwerk Teac FD-55 F

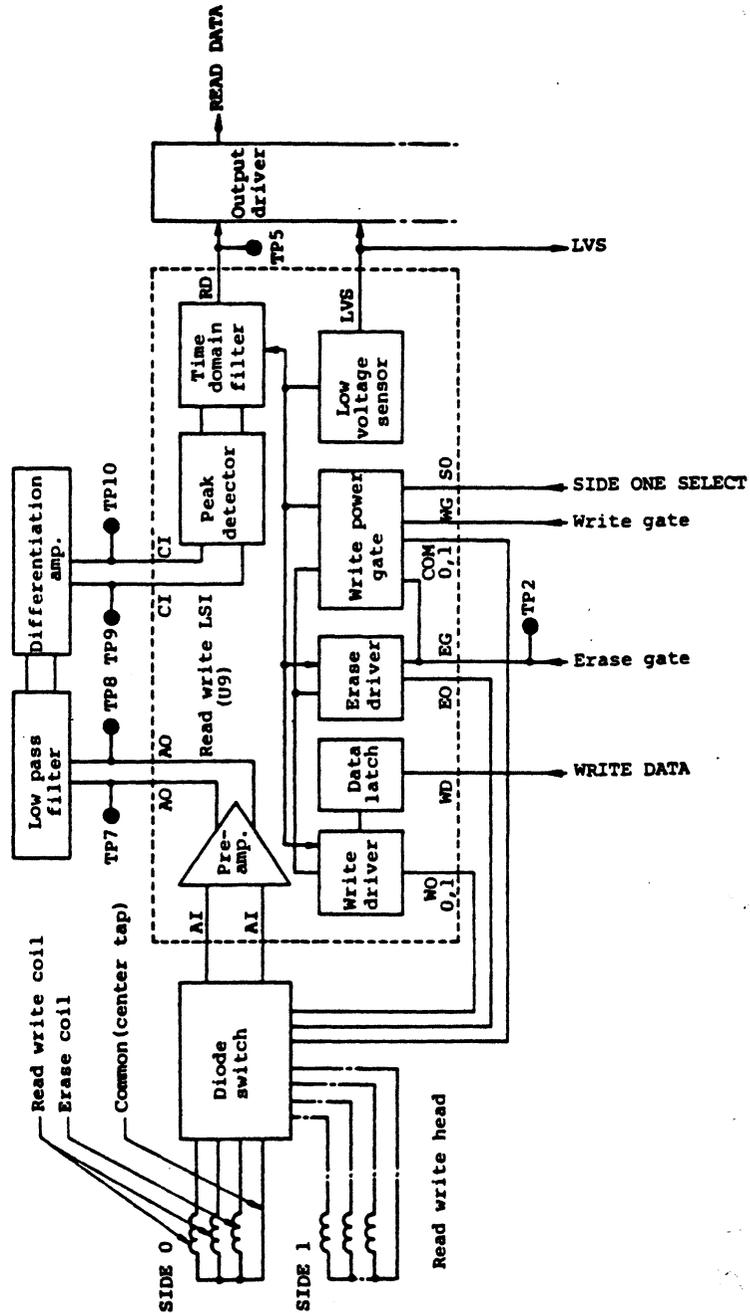
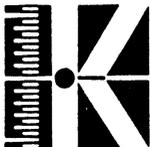


Abb: Blockdiagramm der Schreib-/Leseschaltung

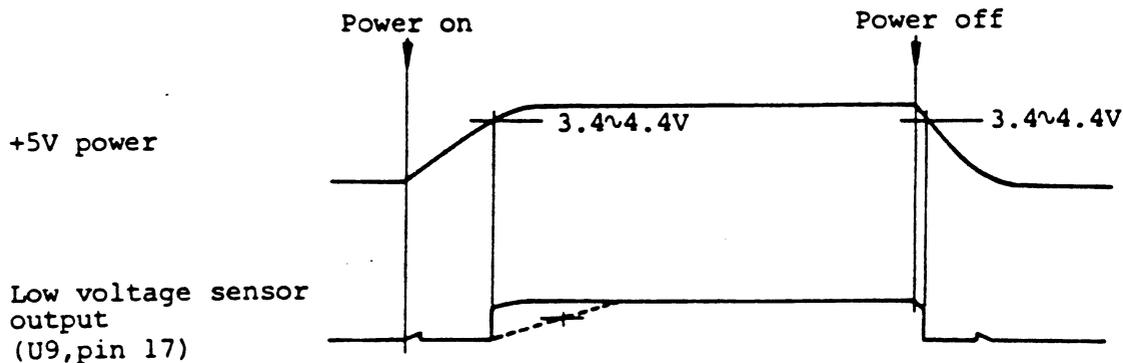


Unterspannungssensor:

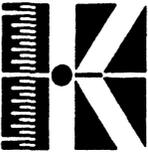
Diese im LSI-Chip integrierte Schutzschaltung arbeitet genauso wie in der alten Version. Diese Schutzschaltung verhindert irrtümliche Operationen bei Unterspannungen, wie sie z.B. beim Ein- oder Ausschalten des Laufwerkes gegeben sind.

Alle Ausgänge des Laufwerkes werden nur dann freigegeben, wenn der Sensor "Alles klar" meldet.

Folgendes Bild zeigt die Zusammenhänge sowie die dazugehörigen Meßpunkte.



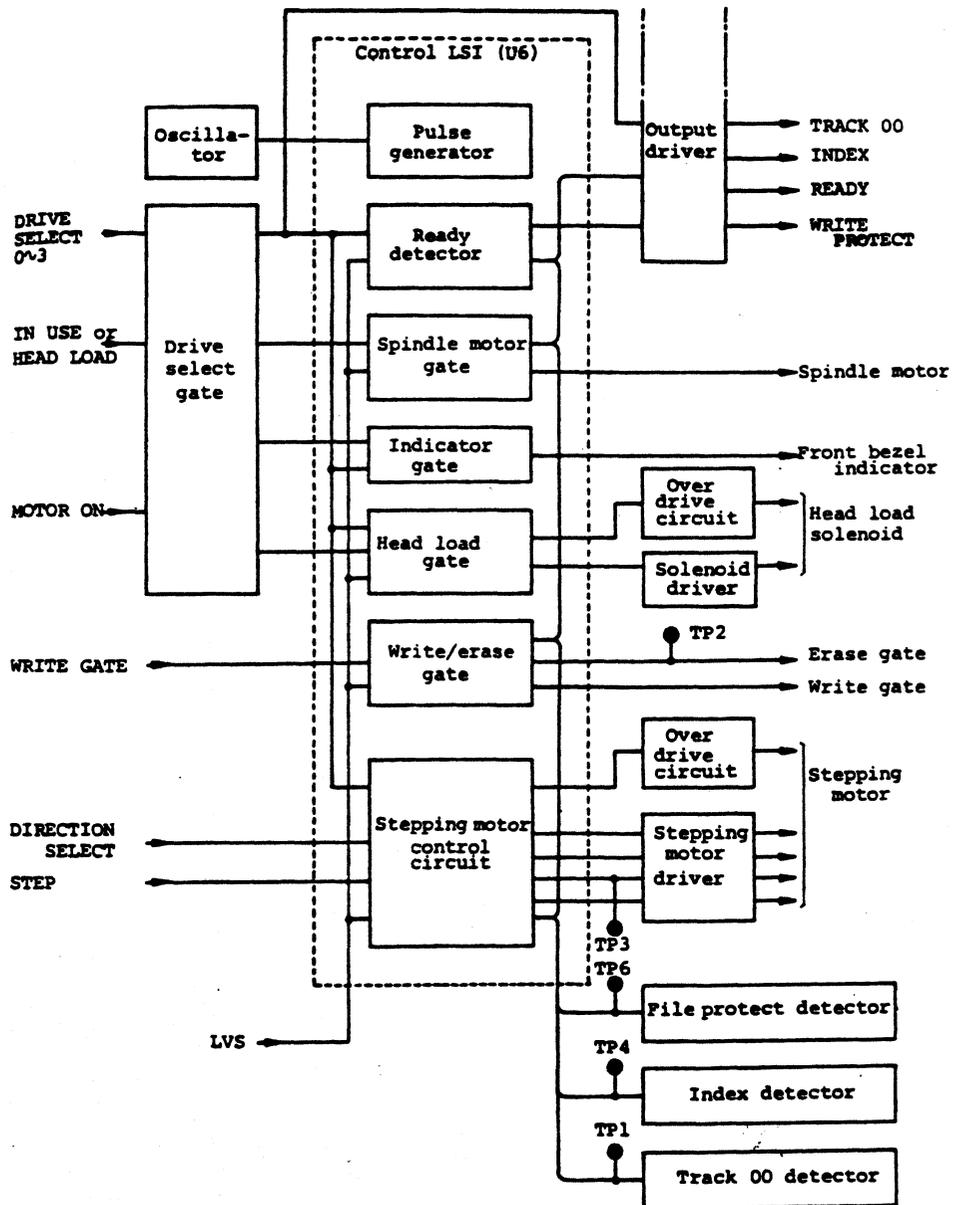
Die getrichelte Linie zeigt den Unterspannungssensor-Eingang PIN34 von U6, Kontroll-LSI.

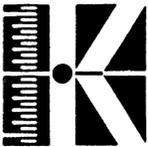


Floppy-Laufwerk Teac FD-55 F

Kontrollschaltung:

Auch hier ist der größte Teil der Elektronik im LSI-Chip enthalten. Folgendes Bild zeigt die Zusammenhänge.





Die Schaltungsbeschreibung der übrigen auf der Platine vorhandenen Elektronik entspricht der der alten TEAC-Version. Natürlich ist die Bezeichnung der Bauteile verschieden. Allerdings ist die Bezeichnung der Testpunkte bei beiden Laufwerkstypen identisch. Um Messungen an dem neuen Laufwerkstyp zu ermöglichen, sind im folgenden sämtliche Diagramme, die in Kapitel 3.1 für den alten Laufwerkstyp gelten, mit den für den neuen Typ entsprechenden Meßpunkten versehen.

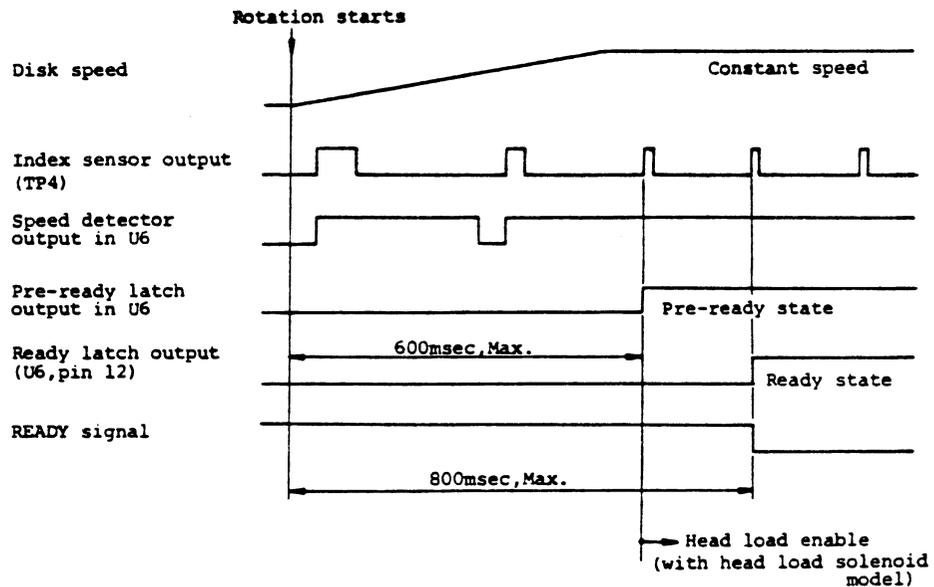
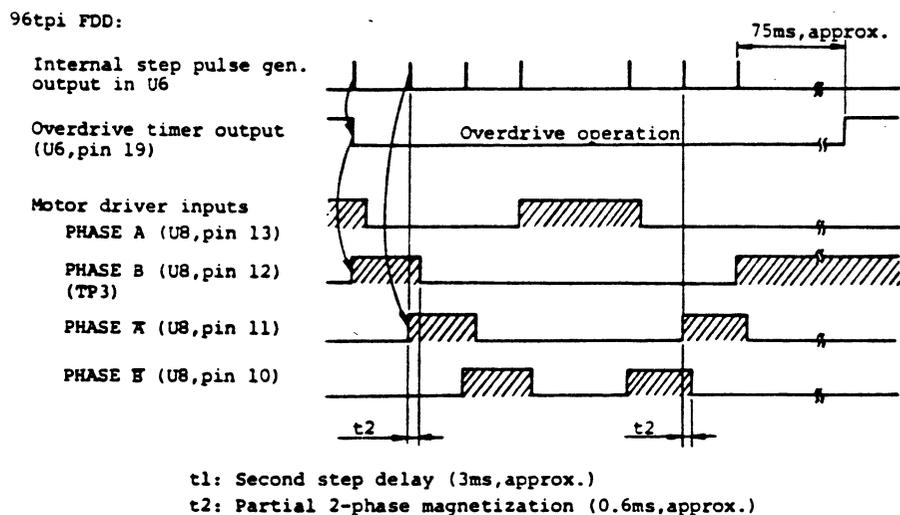
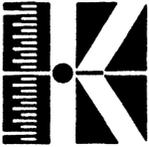


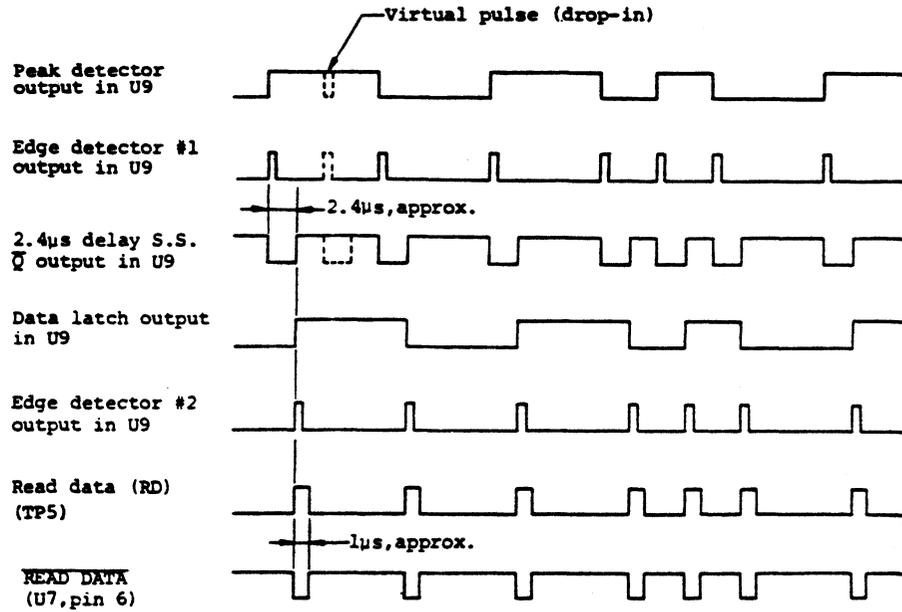
Abb. Erzeugung des Ready-Signals



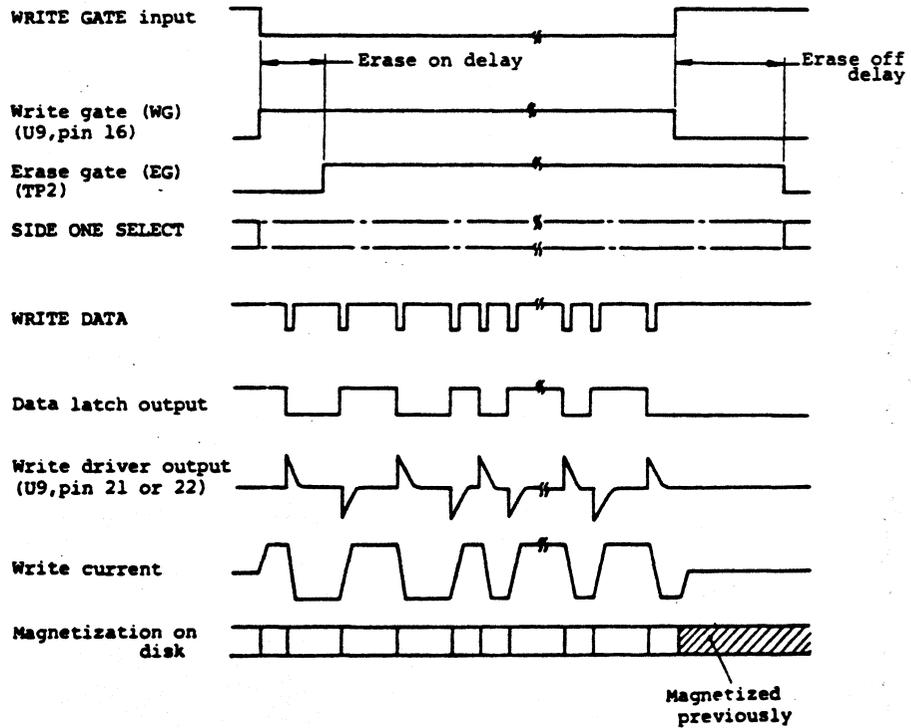
Steppermotoransteuerung



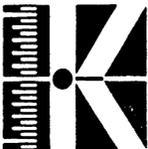
Floppy-Laufwerk Teac FD-55 F



Lesesignale



Schreibsignal



4. Anschluß des Laufwerkes

Da mehrere Laufwerke an eine Zentraleinheit angeschlossen werden können und die Anschlüsse der Drives dabei parallel zu liegen kommen, muß innerhalb des Laufwerkes eine Unterscheidungs-möglichkeit gegeben sein.

Die Unterscheidung wird durch Stecken bestimmter Jumper auf dem Controllerboard, das an der Unterseite des Laufwerkes angebracht ist, gewährleistet.

Es handelt sich hierbei um die Jumper DSO bis DS3 (Drive Select). Es können also maximal 4 Laufwerke an ein 34-poliges Datenkabel angeschlossen werden. Es darf jeweils nur ein Drive-Select-Jumper gesteckt werden, wobei folgende Zuordnung gilt:

Laufwerk 0	Jumper DSO	gesteckt
	.	
	.	
Laufwerk 3	Jumper DS3	gesteckt

Ist nur ein Laufwerk am System angeschlossen, kann Jumper MX gesteckt werden.

Die Jumper HS und HM steuern das Kopfladen. Es darf nur entweder HS oder HM gesteckt werden.

Bedeutung von HS und HM

HS: Die Köpfe werden geladen, wenn das Drive mit "Drive Select" angesprochen wird.

HM: Die Köpfe werden geladen, wenn der Motor gestartet wird.

Es empfiehlt sich die Stellung "HM", da das Drive dann geräuschloser arbeitet.

Nur alter Typ:

Neben IC U213 ist noch ein weiterer Jumper vorhanden. Mit ihm kann die Spurdichte gewählt werden. Sie beträgt entweder 48 tpi oder 96 tpi.

Jumper DS:	Stellung ST	48 tpi
	Stellung WT	96 tpi



Nur neuer Typ:

Hier befinden sich noch zwei zusätzliche Jumperfelder:

- Einzeljumper PM

Falls dieser Jumper gesteckt ist, so läuft der Spindelmotor beim Einlegen einer Diskette sowie beim Herausnehmen einer nicht schreibgeschützten Diskette an.

Voreinstellung: gesteckt

- Jumperfeld (UR, ML ... U1, RE)

Die Jumper JU, UO, U1 und UR steuern das Aufleuchten der LED an der Vorderseite des Laufwerkes.

Es gilt dabei die Zuordnung laut folgender Tabelle:

Jumper (+ = gesteckt - = offen)				Leuchtdiode an bei:
IU	UO	U1	UR	DRIVE SELECT
-	-	-	+	Drive Select und Ready
+	+	-	-	IN USE
+	+	+	-	IN USE Latch
+	-	-	-	Drive Select oder IN USE
+	-	+	-	Drive Sel oder IN USE Latch

Achtung: Setzen Sie nie die Jumper UO und UR gleichzeitig.

Voreinstellung: IU gesteckt

Jumper ML: Bei gestecktem ML-Jumper dreht sich der Spindelmotor, falls die Leuchtdiode an der Frontseite leuchtet (siehe dazu Jumpermöglichkeiten IU, UO, U1,UR!)

Voreinstellung: ML nicht gesteckt

Jumper SM: Dieser Jumper ermöglicht - falls gesteckt - die HS und HM Funktion.

Voreinstellung: SM gesteckt

Jumper HL: Falls HL gesteckt ist, wird das Signal von Pin Nr. 4 als HEAD LOAD-Signal angesehen.

Voreinstellung: HL nicht gesteckt



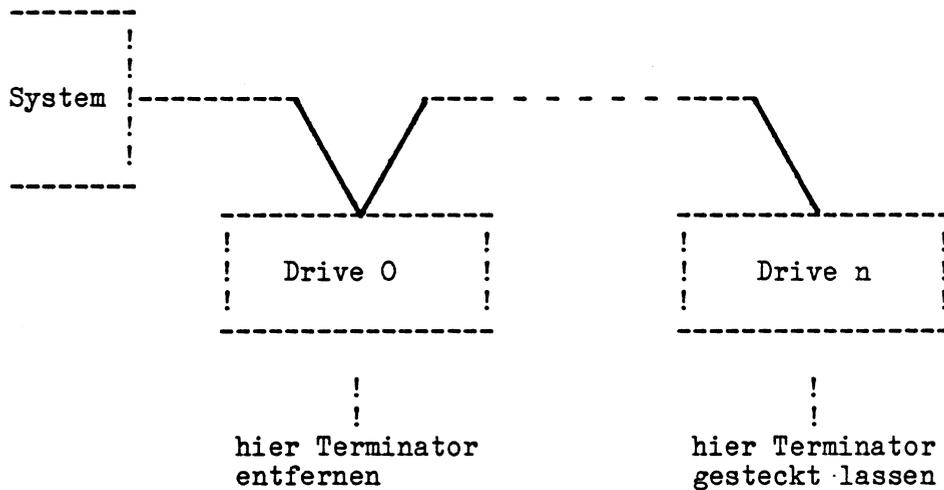
Jumper RE: Dieser Jumper bewirkt ein automatisches Auf-Spur-O-fahren des Kopfes beim Einschalten.

Da diese Funktion nicht benötigt wird, ist die

Voreinstellung: RE nicht gesteckt.

Da die Laufwerke vom System über "Open-Collector"-Treiber mit Signalen versorgt wird, müssen die Leitungen mit Abschlußwiderständen abgeschlossen werden. Diese Abschlußwiderstände befinden sich standardmäßig als gestecktes Widerstandsnetzwerk auf jedem Laufwerk.

Dabei ist zu beachten, daß dieses Array nur bei dem geographisch letzten angeschlossenen Laufwerk gesteckt bleiben darf. Bei allen anderen Laufwerken muß es entfernt werden.



Auf der nächsten Seite ist die Lage aller Jumper sowie die Lage der Abschlußwiderstände ersichtlich.

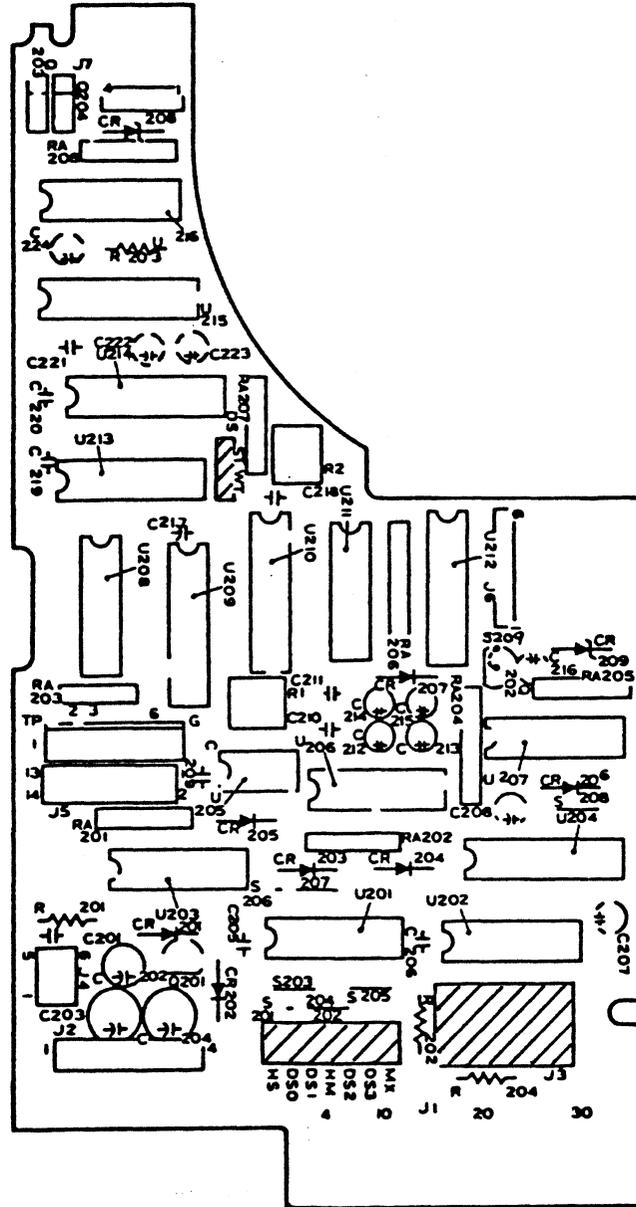
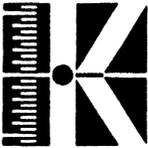


Abb.: Lage aller Jumper und Abschlußwiderstände - Alte Version

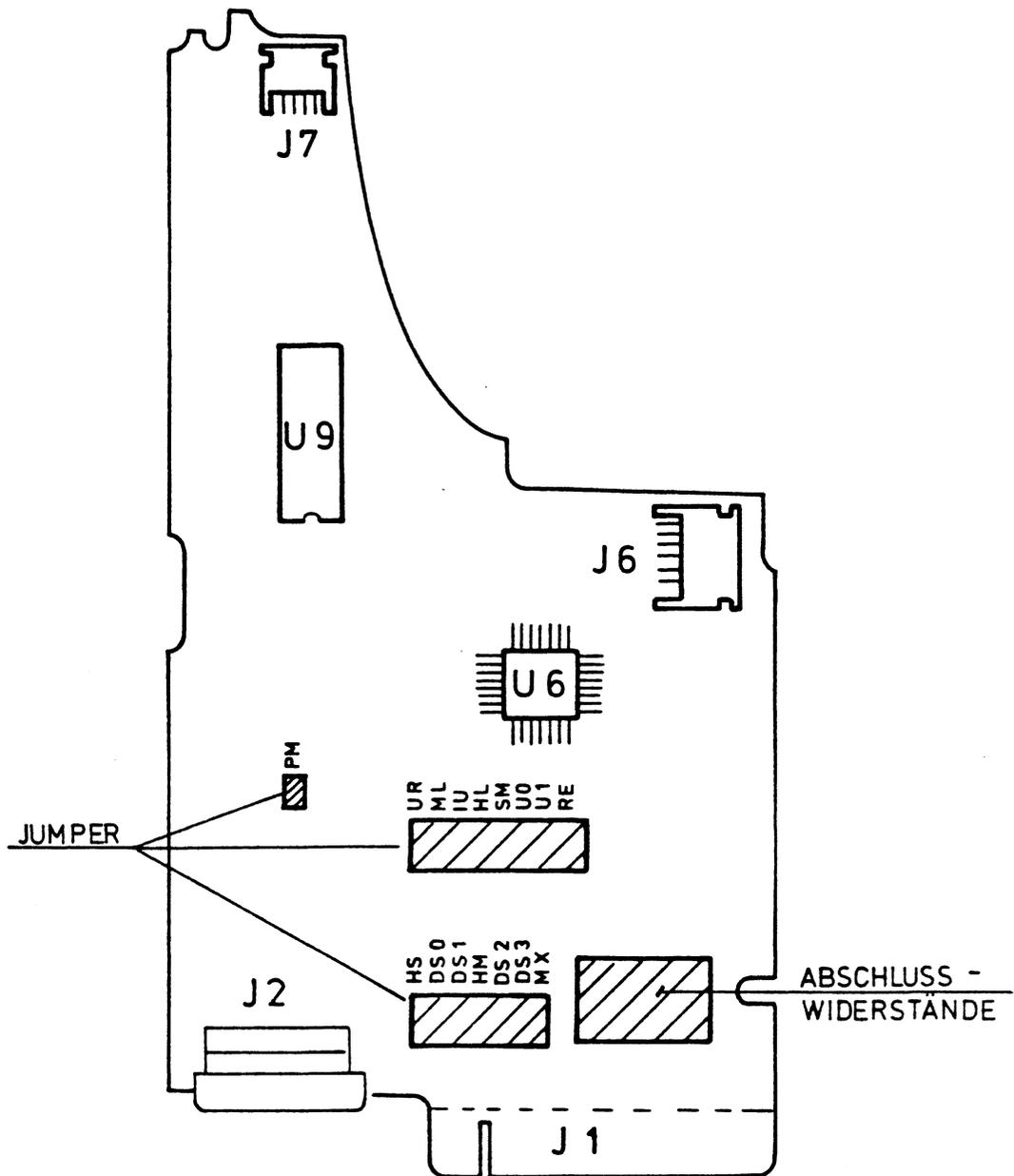
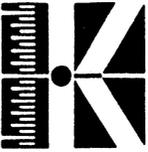


Abb.: Lage aller Jumper und Abschlußwiderstände - Neue Version



5. Beschreibung der Ein-/Ausgangssignale

5.1 Eingangssignale

1. Drive-Select 0 bis 3

Je nach mittels Jumper ausgewähltem Drive Select kann ein entsprechendes Drive 0 bis 3 mit dem gemultiplexten Eingangssignal angesprochen werden. Das Drive wird angesprochen, falls das Eingangssignal 0 ist (neg. Logik).

2. Side one select

Auswahl einer Seite des Drives:

- 0: Seite 1
- 1: Seite 0

beim Umschalten des Side Select-Signals müssen die Zeitbedingungen gem. Abb. 5-5 eingehalten werden. Es sind gewisse Pausen zwischen Umschalten und Schreib-/Lesezugriffen notwendig.

3. Direction Select

Dieses Signal legt die Richtung der Bewegung des Lese-/Schreibkopfes fest, in die dann bei Pulsen des Signals "Step" gefahren wird:

- 1: Bewegung nach außen
- 0: Bewegung nach innen

4. Step

Pulsförmiges Signal zur Steuerung der Schreib-/Leseköpfe in die durch "Direction select" vorgegebene Richtung.

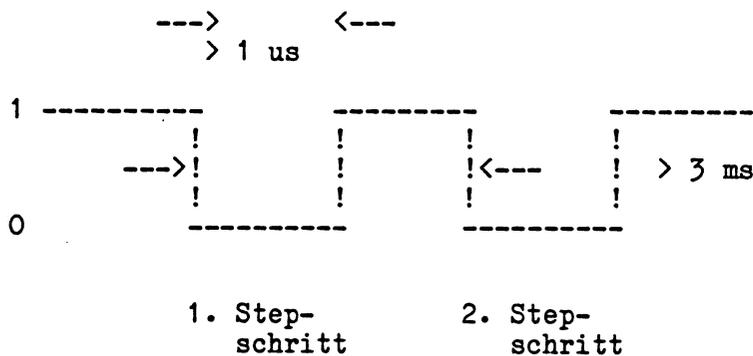


Abb.5-1: "Step"-Signal



5. Write gate

Ist diese Interfaceleitung logisch "0", so wird der Schreibtreiber aktiviert und die über "Write Data" übertragenen Signale werden auf die Diskette geschrieben.

Auch hier müssen die in Abb. 5-5 gezeigten Zeitverhältnisse eingehalten werden, um ein einwandfreies Verhalten sicherzustellen.

6. Write data

Die Information, die auf die Diskette aufgezeichnet werden soll, wird über diese Leitung übertragen.

Diese Leitung ist normalerweise auf logisch "1" und invertiert den Schreibstrom bei jeder 1-->0 Flanke, um Daten-Bits zu schreiben. Diese Leitung ist durchgeschaltet, falls "Write Gate" = 0 ist.

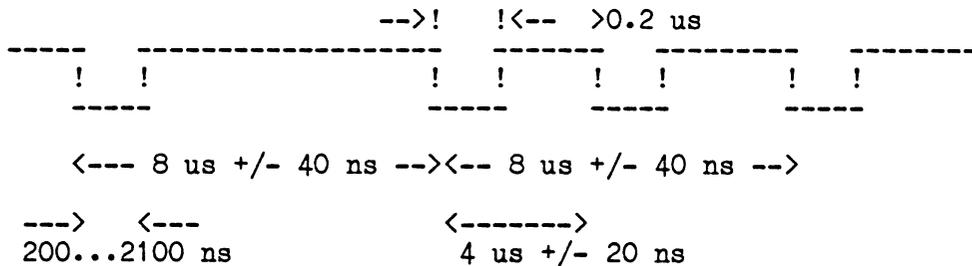


Abb. 5-2: Schreibzeitverhalten

7. IN USE

Dieses Signal bringt die an der Frontplatte des Drives angebrachte LED zum Leuchten (bei "in USE" = 0). Die LED wird ebenso durch das Signal "Drive Select" aktiviert.

8. Motor on

Bei logisch 0 wird der Spindelmotor gestartet. Um dem Motor eine Anlaufzeit zu ermöglichen, darf das Write-Gate-Signal erst 250 ms später gesetzt werden.



5.2 Ausgangssignale

Das TEAC-Laufwerk hat 5 Ausgangssignalleitungen:

1. Index

Dieses Signal bezeichnet den Anfangspunkt einer Spur auf der sich drehenden Diskette (also Sector Nr. 0). Dieses Signal ist normalerweise logisch "1", sendet aber eine 4 ms lange logische "0" bei jeder Diskettenumdrehung (alle 200 ms) des gewählten Drives.

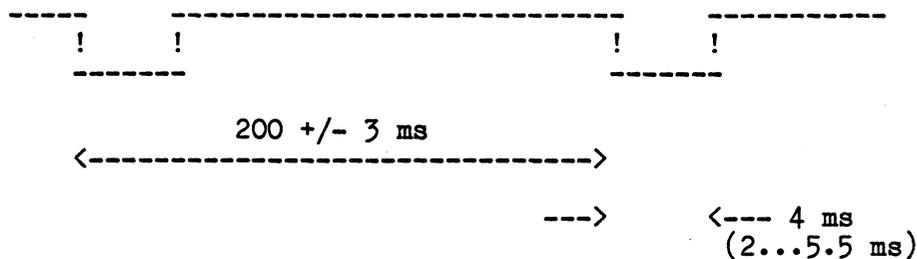


Abb. 5-3: "Index"-Signal

2. Track 00

Falls dieses Signal logisch "0" ist, so stehen die Schreib-/Leseköpfe des gewählten Drives auf Spur 00.

Bei logisch "1" stehen die Köpfe auf einer der übrigen Spuren.

3. Ready

"1": Die Klappe des Laufwerks ist offen oder im Drive befindet sich keine Diskette

"0": Eine Diskette befindet sich im Drive, die Laufwerkstür ist geschlossen, alle anliegenden Spannungen sind in Ordnung. Außerdem wurden bereits zwei Indexpulse korrekt erkannt.

4. Read Data

An diesem Ausgang liegen die vom Lesekopf auf der Diskette erkannten und über eine besondere Schaltung in Pulse umgewandelten Informationen.



In Abb. 5-4 ist der zulässige Toleranzbereich dargestellt:

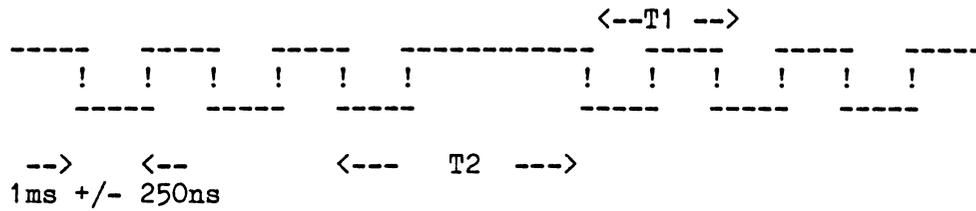


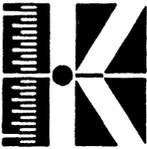
Abb. 5-4: "Read Data"

T1 = 4.00 us +/- 800 ns (Abweichungen aufgrund schwankender Umdrehungsgeschwindigkeit ausgeschlossen).

T2 = 8.00 us +/- 1.6 ms (Abweichungen aufgrund schwankender Umdrehungsgeschwindigkeit ausgeschlossen).

5. Write protect

Diese Leitung teilt dem System mit, ob eine Diskette mit Überschreibschutz eingelegt wurde. Ist dies der Fall (Write protect = "0"), so werden sämtliche Schreibzugriffe unterbunden.



5.3 Zeitverhalten der Signale

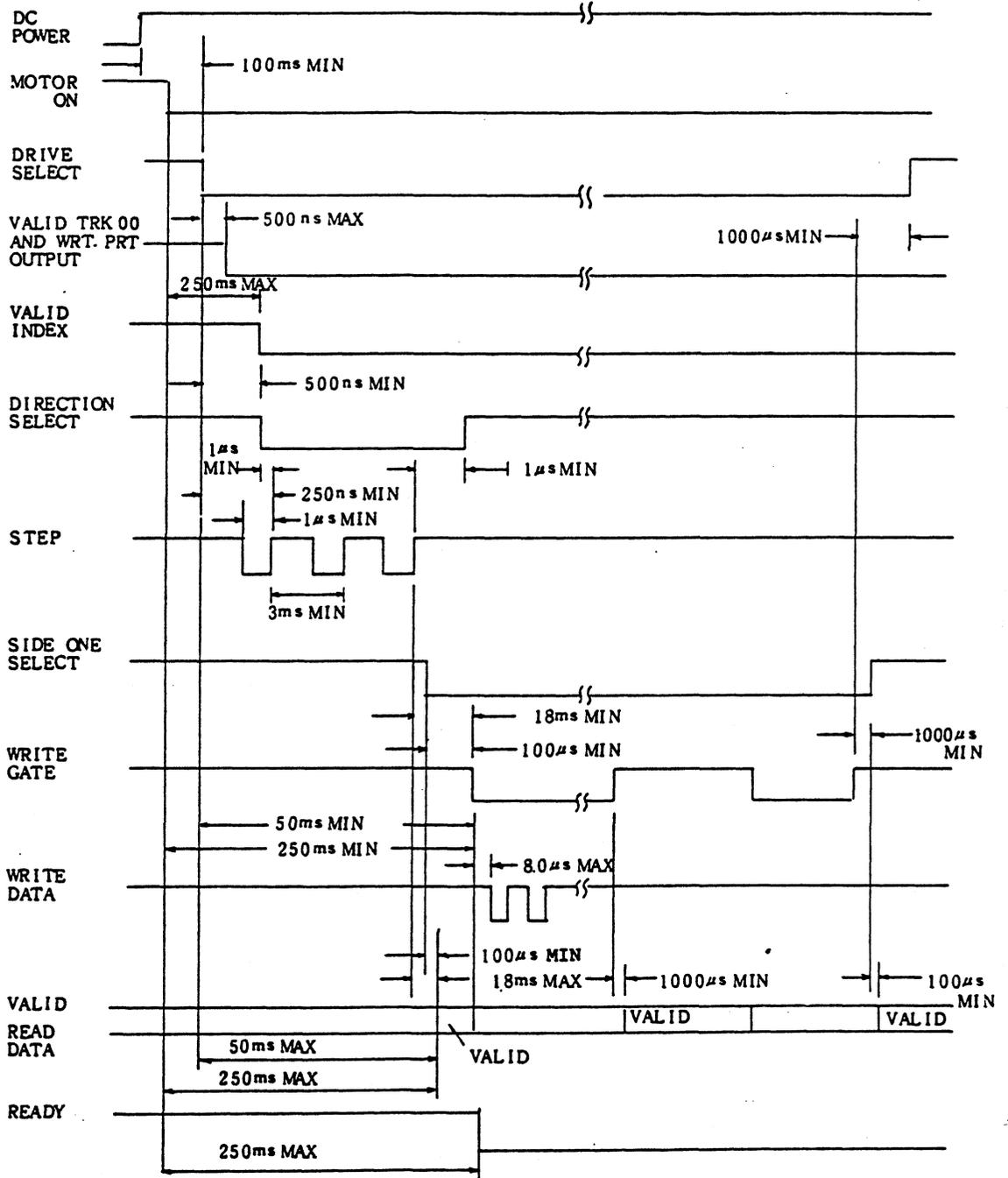


Abb. 5-5: Zusammenstellung aller wichtigen Signale



6. Wartung und Abgleich des Drives

Wenn das Laufwerk unter normalen Umgebungsbedingungen betrieben wird, ist keine regelmäßige Wartung notwendig.

Trotzdem ist es empfehlenswert, um die Lesbarkeit der aufgezeichneten Daten sicherzustellen, die Schreib-/Leseköpfe mit einer Reinigungsdiskette zu säubern. Dies sollte unter normalen Umgebungsbedingungen einmal pro Monat geschehen.

Falls einige Teile des Laufwerks besonders stark beansprucht werden, oder das Laufwerk mehr als 5 Jahre in Betrieb war, ist es empfehlenswert, die beanspruchten Teile laut folgender Tabelle auszutauschen:

Teil	Austauschintervall	Zeitbedarf
Kopfeinheit (Kopfführungen)	7000 Stunden Head load + Motoreinschaltzeit	45 min.
Steppermotoreinheit + Stahlband + Federband	10^7 Zugriffe	30 min.
Spindelmotor	30.000 Stunden Laufzeit	20 min.
Kopfladeeinheit	10^7 Kopfladungen	15 min.



Allgemeine Hinweise

Fehler in der Driveelektronik lassen sich mit herkömmlichen Meßmitteln wie 2-Kanal-Oszillograph und Multimeter erkennen und beseitigen. Ebenso lassen sich damit die meisten Einstelldaten eines Drives überprüfen.

Eine Einstellung der mechanischen Daten erfordert darüberhinaus jedoch eine spezielle Zusatzausrüstung und viel Erfahrung. Insbesondere werden benötigt:

- Alignment-Diskette
- Exerciser

Diese Ausrüstung ist unbedingt zur korrekten Justage des Lesekopfes auf dem Schlitten notwendig.

Einige der übrigen Einstellungen lassen sich auch mit Hilfe einer auf einem exakt justierten Laufwerk formatierten Diskette unter Zuhilfenahme des Testdebuggers vornehmen. Die Kenntnis des Testdebuggers wird vorausgesetzt.

Bei den im Folgenden beschriebenen Wartungs- und Einstellarbeiten wird, wo es sinnvoll erscheint, auf beide Möglichkeiten eingegangen. Selbstverständlich ist beim Arbeiten mit dem Testdebugger eine einwandfreie Elektronik auf dem Zentralboard (KDT6 bzw. TCB) Voraussetzung. Auch wird ein Verlängerungskabel zum Anschluß des Drives außerhalb des Gehäuses benötigt, falls Einstellarbeiten vorgenommen werden sollen.

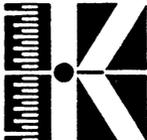
Bemerkungen zu Exerciser und Alignment-Diskette

Die Firma TEAC empfiehlt in ihren Unterlagen einen Exerciser des Typs SKA-G.

Die Verwendung von Exercisern mit abweichenden Stepperraten ist grundsätzlich möglich.

Die zur Justage benötigte Alignmentdiskette unterscheidet sich in folgenden Punkten von "normalen" Disketten:

- Es sind Analogsignale aufgezeichnet (anstelle von digitalen Daten).
- Eine Zentrierung der Spuren ist 100%-ig gewährleistet.
- Die Lage der Sektoren ist ebenfalls exakt in Bezug zum Indexloch.



Alignment-Disketten eignen sich somit hervorragend zum Abgleich von Floppy-Laufwerken; sie sind aber aufgrund ihrer Genauigkeit auch teuer.

Als Alignment-Diskette wird ein Typ Double Sided/96/100 tpi benötigt, wie z.B. DYMEK 502-1D Standard Diskette. Auch hier können ähnliche Disketten verwendet werden, da die Signale zur Erzeugung der Cat-Eyes stets auf derselben Spur zu finden sind.

Bei der Verwendung anderer Alignment-Disketten kann es allerdings zu Unterschieden bei den Bildern der Azimuth-Einstellung kommen. Dies liegt daran, daß bei manchen anderen Laufwerktypen der Kopf einen bestimmten Winkel zur Spur einnehmen muß, also das Analogsignal auch "schräg" zur Spur liegt (z.B. im Winkel von + 30'). Wird mit einer solchen Diskette abgeglichen, so ist die Azimuth-Einstellung dann korrekt, wenn ein Winkel von 30' angezeigt wird.

Sollten Sie weiterführende Informationen über Exerciser und Alignmentdisketten wünschen, so bitten wir Sie, sich selbst mit den entsprechenden Herstellern in Verbindung zu setzen. Um Ihnen einen Anhaltspunkt über die Kosten einer Alignment-Ausrüstung zu geben, sind die ca.-Preise (Stand Juli 1983) aufgeführt.

Alignment-Diskette: ab 150 DM
Exerciser: ab 1.000 DM bis über 10.000 DM

Grundsätzliches

1. Bei Wartung oder Abgleich darauf achten, daß kein Schmutz in das Laufwerk eindringen kann.
2. Vor der Wartung Gerät spannungslos machen.
3. Ausbau der gedruckten Schaltung nur in spannungslosem Zustand um die Halbleiter und IC's zu schützen.
4. Diskettenoberfläche und Schreib-/Leseköpfe nicht berühren.
5. Beim Arbeiten mit der Alignment-Diskette darauf achten, daß auf ihr keine Signale zerstört werden (also Vorsicht mit Write-Modus! Am Exerciser: "DC-Erase" stets auf "off"!)
6. Stepperband nicht berühren und dazugehörigen Mechanismus nicht verstellen.
7. Keine Gewalt auf die Kopfaufnahme ausüben, da sie genau justiert wurde. Nur an den in der Abgleichanleitung beschriebenen Stellen justieren.



Funktionsprüfung (hier mit Micropolis-Exerciser):

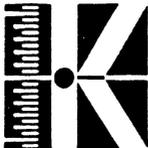
Eine Funktionsprüfung des Laufwerkes kann mit dem Exerciser durchgeführt werden. Sie sieht folgendermaßen aus:

1. Select: Stimmt die Einstellung am Exerciser mit der Selektierung am Drive überein, so muß die LW-LED rot leuchten.
2. Headload: Wird der Headload-Schalter am Exerciser auf Normal gelegt, muß der Magnet anziehen und der Ladearm auf den Kopf drücken.
3. MTRN: In der Stellung Spindel Motor Run läuft der Drivemotor.
4. Spur 0: Bei Betätigung der Restore Taste muß der Steppermotor auf Spur 0 zurückfahren und die LED am Exerciser aufleuchten.
Es wird nun überprüft, ob der mechanische Anschlag ebenfalls auf Spur 0 steht. Dazu wird der Kopf mit dem Finger nach außen bis zum Anschlag geschoben. Kehrt er in seine Ursprungslage zurück, ist die Einstellung in Ordnung. Der Schiebeweg sollte ca. 1/2 Spurbreite betragen.
5. RDY: Werden Headload auf Normal und MTRN auf RUN gelegt und eine Taste betätigt, muß die LED für die Ready Status Meldung aufleuchten, falls sich eine Diskette im Laufwerk befindet.
6. Index: Die Index LED leuchtet auf, wenn keine Diskette im Laufwerk ist. Ansonsten pulst sie bei jeder Umdrehung.
7. File protect: Ist die Diskette schreibgeschützt, wird dies durch Aufleuchten der WPT-LED angezeigt.
8. Schlitten-Vor- und Rücklauf: Dieser Teil zeigt, ob die elektrischen Anweisungen auch mechanisch ausgeführt werden. Man geht dazu folgendermaßen vor:

Exerciser ---> Drive funktionsbereit machen
COMMAND SEQUENCE-Schalter auf SK stellen,
Programmschalter auf Continuous stellen,
Restore ---> Schlitten auf Spur 0 fahren.

Einstellen der obersten Spur: 64 + 8 + 4
LOAD M-Taste betätigen,
Einstellung zurücknehmen,
EXECUTE-Taste betätigen.

Nun wird der Kopf fortlaufend zwischen Spur 0 und 76 hin- und herfahren.



6.1 Vorbeugende Wartungsarbeiten

Reinigung des Magnetkopfes

Unter normalen Umgebungsbedingungen wird eine Reinigung pro Monat empfohlen. Die Reinigung sollte nur mit einer handelsüblichen Reinigungsdiskette durchgeführt werden.

Hinweis: 1. Vergewissern Sie sich, daß sich die Reinigungsdiskette in einwandfreiem Zustand befindet.

Verwenden Sie für dieses doppelseitige Laufwerk nur doppelseitige Reinigungsdisketten.

Dehnen Sie den Reinigungsvorgang nicht zu lange aus, da sonst die Köpfe in Mitleidenschaft gezogen werden könnten.

2. Der Reinigungsvorgang sollte entsprechend den Hinweisen des Diskettenherstellers erfolgen.
3. Damit die Reinigungsdiskette gleichmäßig abgenutzt wird, sollten während eines Reinigungsvorganges alle Spuren durchfahren werden.



6.2 Überprüfung und Abgleich

6.2.1 Justage der Ladearmpositionierung

Benötigte Ausrüstung: - Kreuzschlitzschraubenzieher
- Sicherungslack

Vorgehensweise:

1. Die zwei Halteschrauben des Ladearms lösen, damit der Arm von Hand bewegt werden kann.
2. Durch Drehen des Fronthebels das Laufwerk verriegeln (= Ladearm senken).
3. Jetzt den Ladearm so justieren, daß die Hülse in die Mitte des Ladearmloches zu liegen kommt.
4. Die gelösten Schrauben wieder anziehen und mit Sicherungslack sichern.
5. Vergewissern Sie sich durch Öffnen und Schließen des Ladearms, daß dieser Vorgang ohne zu haken durchgeführt werden kann.

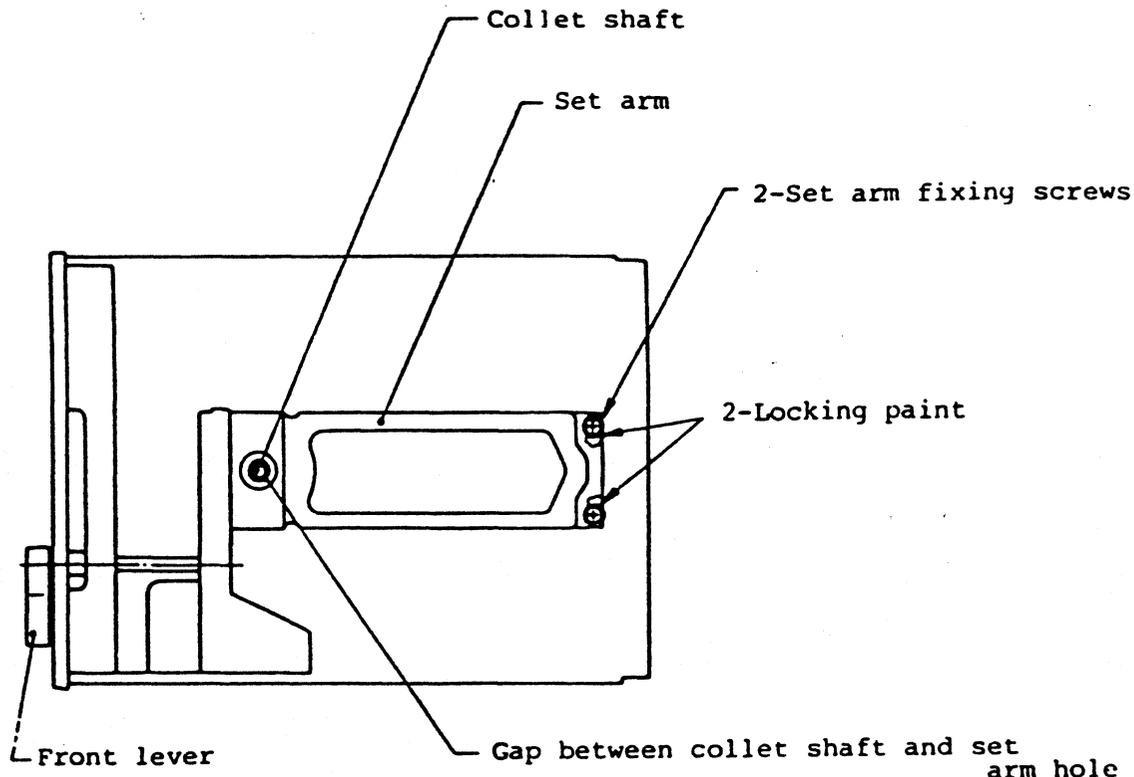
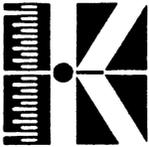


Abb.: Justage der Ladearmpositionierung



6.2.2 Einstellung des Klemmarmes

- Ausrüstung:**
- Kreuzschlitzschraubenzieher
 - Exerciser oder Benutzersystem
 - Arbeitsdiskette

Vorgehensweise:

1. Die vier Halteschrauben lt. Abbildung lösen.
2. Haltearm verriegeln.
3. Halter herunterdrücken, bis zwischen dem Sicherungsring auf der Hülse und dem Ladearm ein enger Spalt bleibt. Die gelösten Schrauben festziehen.
4. Arbeitsdiskette einlegen.
5. Spindelmotor starten und den weichen Lauf der Diskette beobachten.
6. Diskettenende, das aus dem Frontpanel herauschaut, leicht mit den Fingern zusammenkneifen. Der Spindelmotor muß bis zum Stillstand abgebremst werden können.
7. Falls dies nicht der Fall ist, muß der Halter weiter abgesenkt werden, wobei die Einstellhinweise 1 bis 6 wiederholt werden müssen.

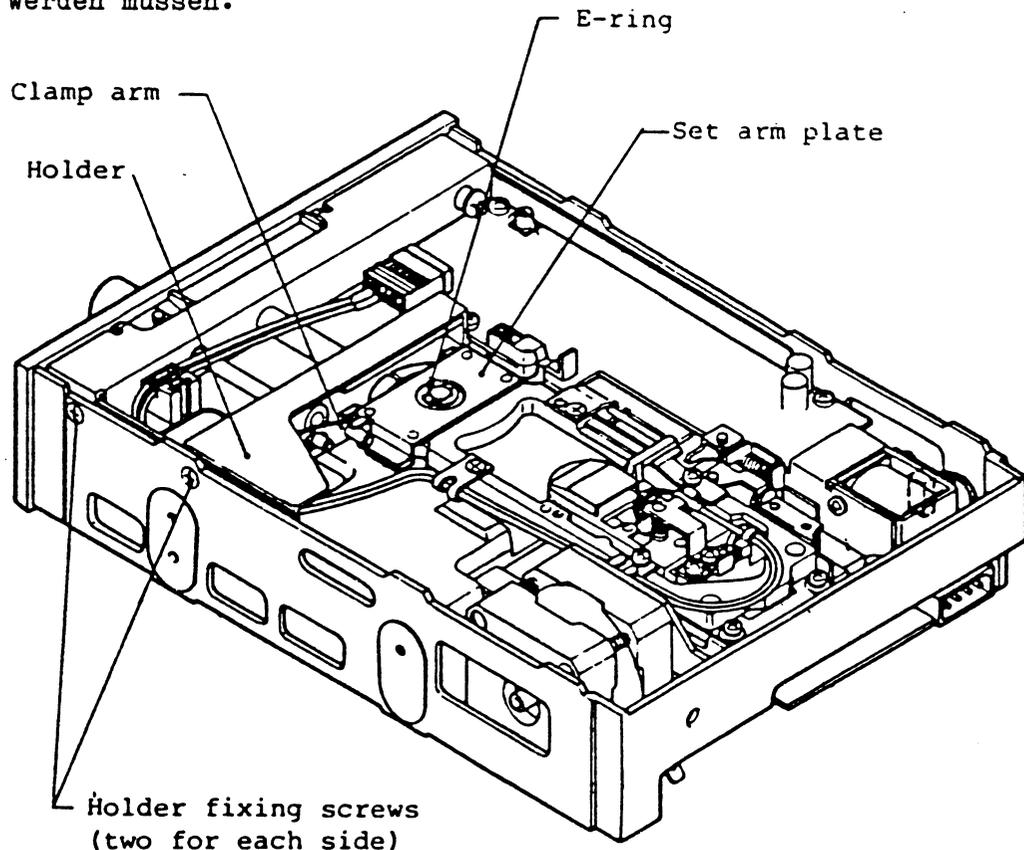
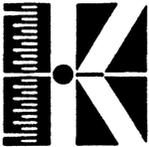


Abb: Einstellung der Klemmarmposition



6.2.3 Einstellung der Umdrehungsgeschwindigkeit

- Ausrüstung:**
- Schmäler Schraubenzieher
 - Exerciser oder Benutzersystem
 - Frequenzzähler (oder Oszillograph)
 - Softsektorierte Arbeitsdiskette

Vorgehensweise:

1. Zähler (oder Oszillograph) am Testpunkt TP4 (Index) anschließen.
2. Diskette einlegen und Motor starten.
3. Auf Spur 00 fahren (z.B. mit Testdebugger >FC 1 0 oder Exerciser).
4. Pulsintervall muß 200 +/- 3 msec betragen.
5. Falls nicht:
Auf der Rückseite der Motorsteuerplatine befindet sich ein Trimpoti R1, mit dem die Umdrehungsgeschwindigkeit in weiten Grenzen eingestellt werden kann.

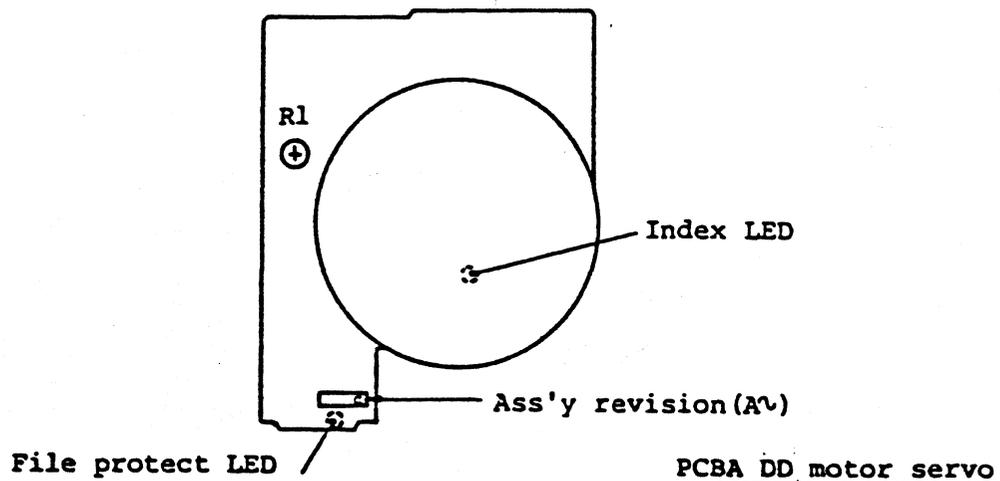


Abb.: Einstellung der Umdrehungsgeschwindigkeit



6.2.4 Abgleich der Löschtorverzögerung

- Ausrüstung:**
- schmaler Schraubenzieher
 - Arbeitsdiskette
 - Exerciser oder Benutzersystem
 - Oszilloskop

An Testpunkt 2 kann der Ausgang des Löschtors gemessen werden. Wenn das Signal "High" ist, fließt der Löschstrom durch den Löschkopf.

Mit dem Trimpoti R1 auf der Steuerlogikplatine müssen folgende Zeitbedingungen in Bezug auf das Schreibtorsignal eingestellt werden.

Einschaltverzögerung: 260 +/- 60 us
Ausschaltverzögerung: 890 + 60 - 30 us

Anschluß des Oszilloskops:

Triggerkanal: WRITE GATE
Kanal 2: TP2 (Löschtorverzögerung)

Einschaltverzögerung:

- Write Gate: TRUE
- negativer Trigger

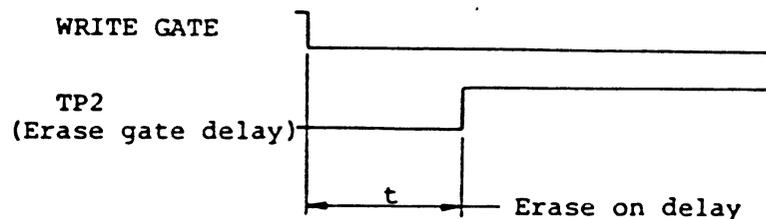
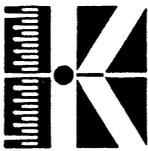


Abb: Einschaltverzögerung



6.2.5 Überprüfung und Abgleich des Schreibabschlußwiderstandes

Dieser Punkt betrifft nur die Laufwerke, auf denen das Trimpoti R5 sowie der Testpunkt TP11 auf der Schreib-/Leseverstärkerplatine vorhanden sind. Falls R5 und TP11 nicht vorhanden sind, braucht diesem Kapitel keine Beachtung geschenkt werden.

- Ausrüstung:**
- Arbeitsdiskette
 - Exerciser oder Benutzersystem
 - Oszilloskop

Überprüfung und Abgleich:

- Oszilloskop an Testpunkt 11 auf der Schreib-/Leseverstärkerplatine anschließen (AC-Modus, 0.5V, 0.5...2usec).
- Drive mit eingelegter Arbeitsdiskette starten.
- Diskette mit Testmuster 2F beschreiben.
- Beobachten der Kurvenform. Ein kleiner Überschwinger ist erlaubt. Dieser Vorgang muß für beide Seiten durchgeführt werden. Mit Poti R5 kann der optimale Verlauf eingestellt werden.

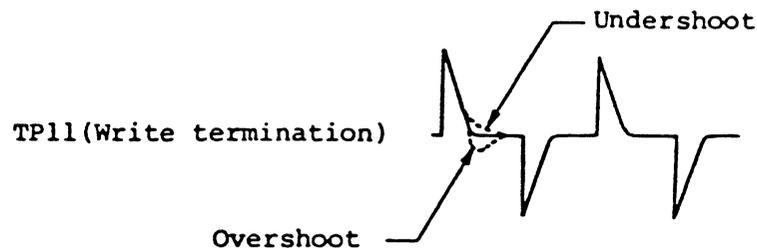


Abb.: Schreibsignal



6.2.6 Asymmetrieeinstellung

Dieser Punkt betrifft nur Laufwerke, bei denen das Trimpoti R4 auf der Schreib-/Leseverstärkerplatine vorhanden ist.

- Ausrüstung:**
- Arbeitsdiskette
 - Exerciser oder Benutzersystem
 - Oszilloskop

Überprüfung und Abgleich:

- Oszilloskop an TP5 auf der Schreib-/Leseverstärkerplatine oder an der "Read Data"-Leitung anschließen.
Einstelldaten: DC-Mode 2V, 1 usec
- Spindelmotor starten, Arbeitsdiskette einlegen, auf die innerste Spur fahren und Kopf laden.
- Spur mit 1F beschreiben.
- Asymmetrie gemäß Abb. messen.

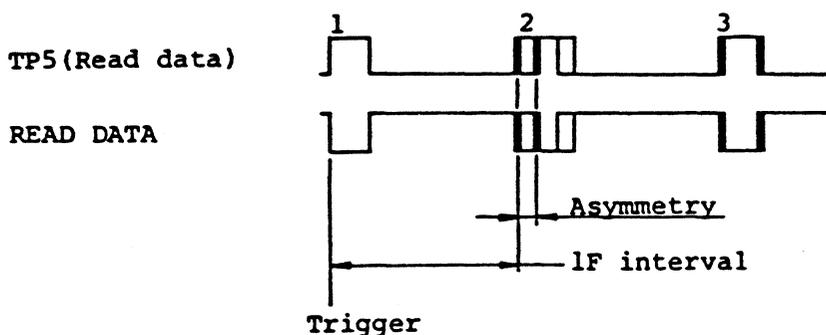
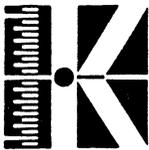


Abb: Asymmetrie

Achtung: Das Oszilloskop sollte so eingestellt werden, daß 3 "Read Data"-Pulse beobachtet werden können. Die Asymmetriebreite wird am zweiten "Read Data"-Puls nach dem Triggerpuls gemessen.



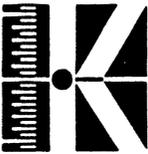
Die Asymmetrie sollte max. 0.6 usec betragen.

- Falls dieser Wert größer ist, sollte mittels R4 bei abwechselnden 1F Lese- und Schreibzugriffen ein minimaler Asymmetriewert eingestellt werden.

Diese Einstellungen müssen für beide Seiten getätigt werden.

Falls sich der angegebene Wert nicht erreichen läßt, kommen folgende Ursachen in Betracht:

- | | | | |
|------------------------------------|-----|---|---------------|
| - Schlechte Arbeitsdiskette | --- | > | austauschen |
| - beschädigte Köpfe | --- | > | austauschen |
| - defekter Schreib-/Leseverstärker | --- | > | instandsetzen |

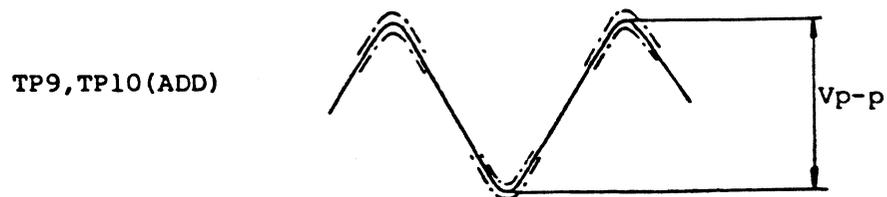


6.2.7 Überprüfung des Lesepegels

Der Lesepegel sollte auf der innersten Spur auf beiden Diskettenseiten mindestens 0.6 Vp-p betragen.

Dazu werden die Testpunkte TP9 und TP10 benutzt.

Oszilloskopeinstellung: AC-Mode, 0.2 V



6.2.8 Überprüfung und Einstellung der Spurlage (Track Alignment)

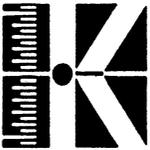
- Ausrüstung:**
- Kreuzschlitzschraubenzieher M3
 - Alignment-Diskette
 - Abgleichsschlüssel oder 15 mm lange M3-Schraube
 - Exerciser
 - Oszilloskop
 - Hygrometer
 - Sicherungslack

Achtung: Die Überprüfung und der Abgleich der Spurlage sollten unter normalen Betriebsumgebungsbedingungen (Temperatur, Feuchte) durchgeführt werden. Extreme Temperatur- und Feuchtwerte sind zu vermeiden.

Das Laufwerk sollte diesen Bedingungen mindestens 2 Stunden lang ausgesetzt sein, bevor eine Überprüfung erfolgen kann.

Während des Abgleichs sollte sich das Laufwerk in derselben Lage wie im eingebauten Zustand befinden.

- Abgleich:**
- Zweikanaloszilloskop an den Testpunkten TP9 und TP10 auf der Schreib-/Leseverstärkerplatine anschließen.
 - AC-Mode, 0.2V, 20 msec
(für beide Kanäle; einen Kanal invertieren und beide Kanäle addieren).
 - Alignmentdiskette einlegen und auf Spur 36 fahren.
Es sollte nun ein der Abb. entsprechendes Bild zu erkennen sein. Dabei ist es noch nicht notwendig, daß die beiden Testmuster V_A und V_B gleich groß sind.



Falls auf dieser Spur nur ein Pattern oder kein entsprechendes Muster zu erkennen ist, befindet sich der Kopf nicht auf der Alignment-Spur. Der Kopf muß dann soweit nach innen bzw. außen gefahren werden, bis ein entsprechendes Muster zu erkennen ist.

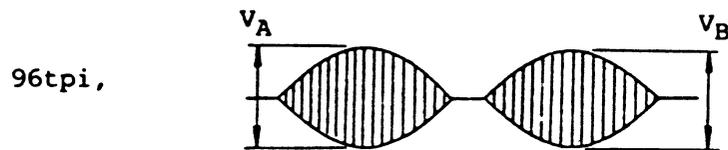
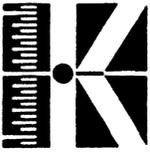


Abb.: Testmuster



Die maximale Abweichung der Amplituden V_A und V_B zueinander ergibt sich ungefähr zu:

$$\frac{V_A - V_B}{\text{Max}(V_A, V_B)} \times 100 \quad (\%)$$

Dieser Wert darf max. 30 % betragen und ist für beide Oberflächenseiten zu überprüfen.

Falls dieser Wert nicht erreicht wird, muß die Spurlageneinstellung folgendermaßen eingestellt werden:

- Lösen Sie die 2 Halteschrauben des Stepermotors ein wenig.
- Abgleichwerkzeug oder M3-Schraube gemäß Abb. einschrauben.
- Auf diese Weise läßt sich der Stepermotor soweit verschieben, bis das Oszillographenbild für beide Oberflächen ein optimales Aussehen zeigt.
- Sicherungsschrauben des Stepermotors wieder festziehen und mit Sicherungslack sichern.
- Nun müssen Spur 00-Sensor und der Spur 00-Anschlag wie in Kapitel 6.2.9 beschrieben eingestellt werden.

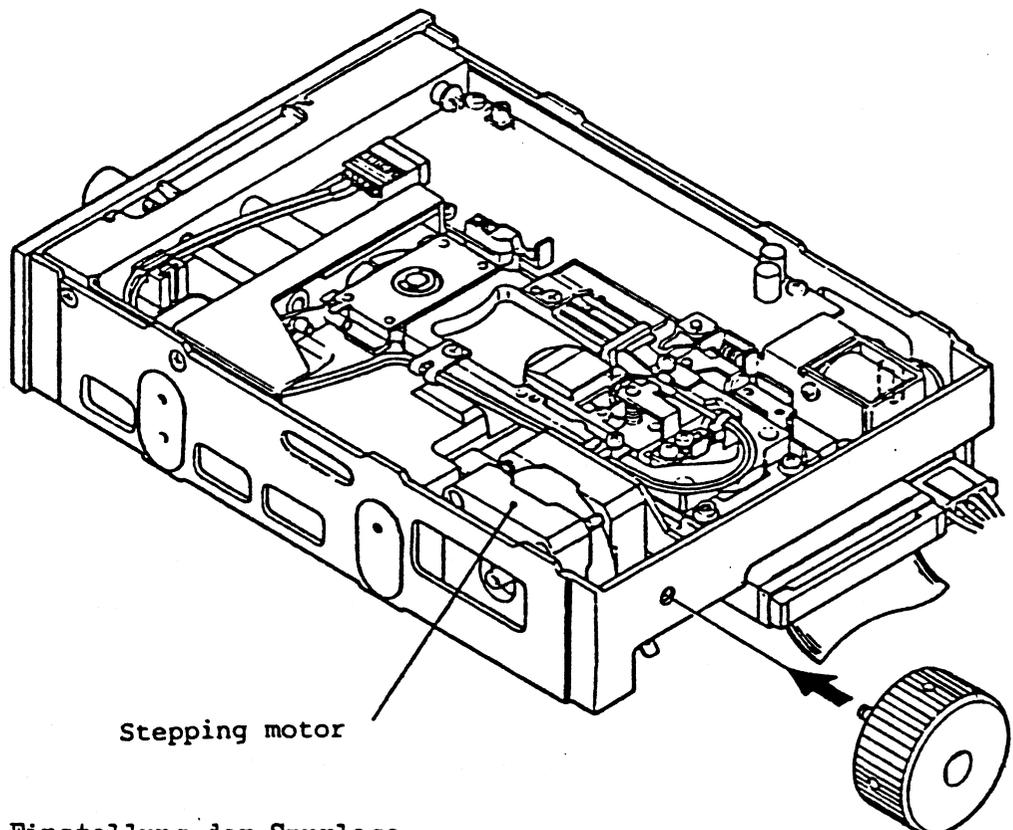
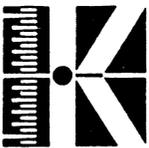


Abb: Einstellung der Spurlage



6.2.9 Überprüfung und Abgleich des Spur 00-Sensors

- Ausrüstung:**
- Kreuzschlitzschraubenzieher M3
 - Arbeitsdiskette
 - Alignmentdiskette
 - Exerciser oder Benutzersystem
 - Oszilloskop oder Digitalvoltmeter
 - Sicherungslack

Abgleichanleitung:

1. Digitalvoltmeter oder Oszilloskop (DC, 1V) am Spur 00-Sensor (Testpunkt TP1) auf der Schreib-/Leseverstärkerplatine anschließen.
2. Arbeitsdiskette einlegen, Motor starten und Kopf senken.
3. Wenn der Kopf auf Spur 00 steht muß am TP1 eine Spannung von mindestens 3 Volt zu messen sein.
4. Das Laufwerk kurz spannungslos machen. Beim Wiedereinschalten darf sich die Kopflage nicht verstellen. Dies bedeutet, daß sich der Steppermotor in der 0-Lage befindet.
5. Kopf auf Spur 04 fahren. Die Spannung an TP1 darf maximal 0.5 Volt betragen.

Falls die Werte der Punkte 3...5 nicht erreicht werden, muß der Spur 00-Sensor verstellt werden:

- Als erstes muß sichergestellt werden, daß die Head-Alignment-Einstellung (Kap. 6.2.8) korrekt ist.
- Oszilloskop an TP1 anschließen (DC, 1V).
- Kopf auf Spur 02 fahren.
- Mit eingelegter Arbeitsdiskette wird der Spur 00-Sensor nach Lösen seiner Halteschraube soweit verschoben, bis sich folgender Spannungswert einstellt:

Spur 02: 1 Volt +/- 0.2 Volt

- Sensor festschrauben und Schraube mit Sicherungslack sichern.

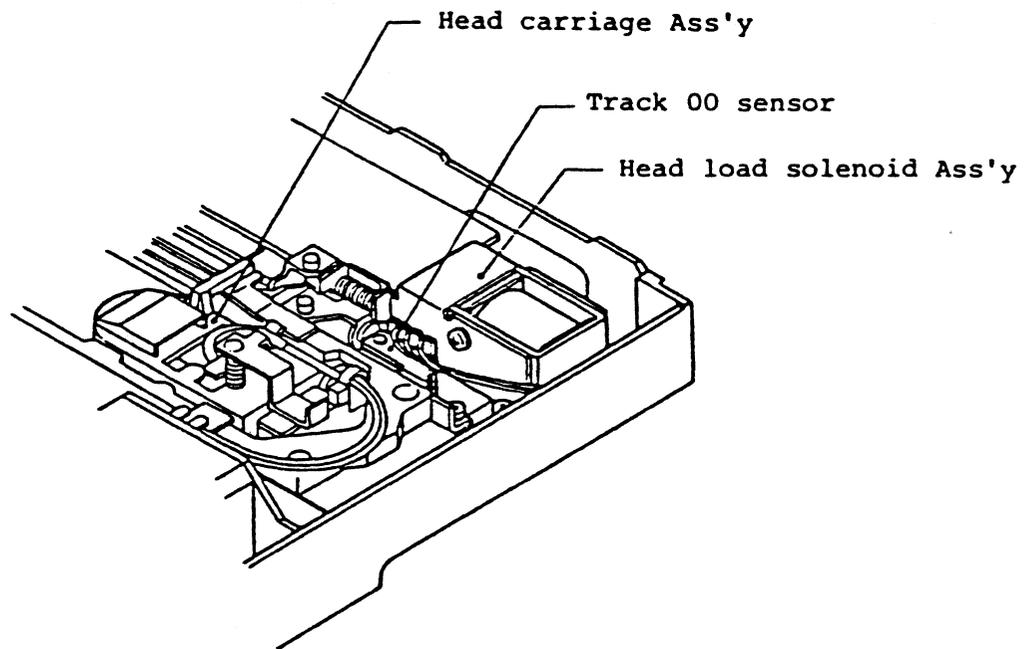


Abb.: Justieren des Spur-00-Sensors



6.2.10 Einstellung und Abgleich des Spur 00-Anschlages

- Ausrüstung:**
- Kreuzschlitzschraubenzieher M3
 - Exerciser oder Benutzersystem
 - Sicherungslack

Vorgehensweise:

- Kopf auf Spur 00 fahren.
- Eine weitere Spur nach außen fahren; es darf zwischen Kopf-Aufnahme und Anschlag kein Abstand vorhanden sein.

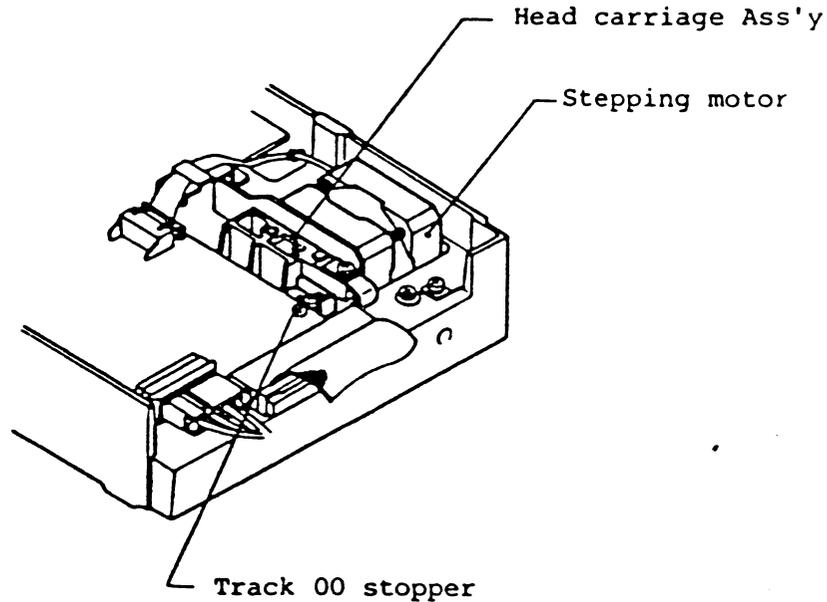


Abb.: Einstellung des Spur-00-Anschlages



6.2.11 Index-Sensor-Einstellung

Das Index-Signal bezeichnet bekannterweise den Anfang einer Spur auf der Diskette. Der Index-Sensor muß deshalb so justiert werden, daß der Kopf am Anfang einer Spur steht, wenn das Indexloch der Diskette beim Passieren des Index-Sensors einen Impuls erzeugt.

- Benötigte Ausrüstung:**
- Inbusschlüssel 1,5 mm
 - Alignment-Diskette
 - Exerciser oder Benutzersystem
 - Oszilloskop
 - Sicherungslack

Vorgehensweise:

- Oszilloskop aus Laufwerk anschließen.
Kanal 1: TP4 (Index) + Trigger (DC, 2V, 50 us)
Kanal 2: TP7 oder TP8 (Vorverstärker) (AC, 0.5V, 50 us)
- Spindelmotor starten, Alignment-Diskette einlegen, Kopf laden und auf Spur 05 fahren.
- Zeit entsprechend Abb. messen. Sie muß 200 +/- 200 us betragen.

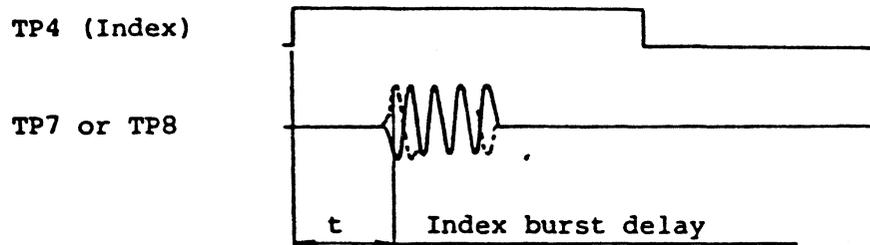


Abb.: Zeitdiagramme zur Index-Sensor-Einstellung



- Falls die Zeit außerhalb des vorgegebenen Rahmens liegt, muß die Indexsensorhalterung justiert werden:
- Halteschraube des Sensors lt. Abb. lösen und ihn entsprechend verstellen.
- Festgezogene Schraube mit Sicherungslack sichern.

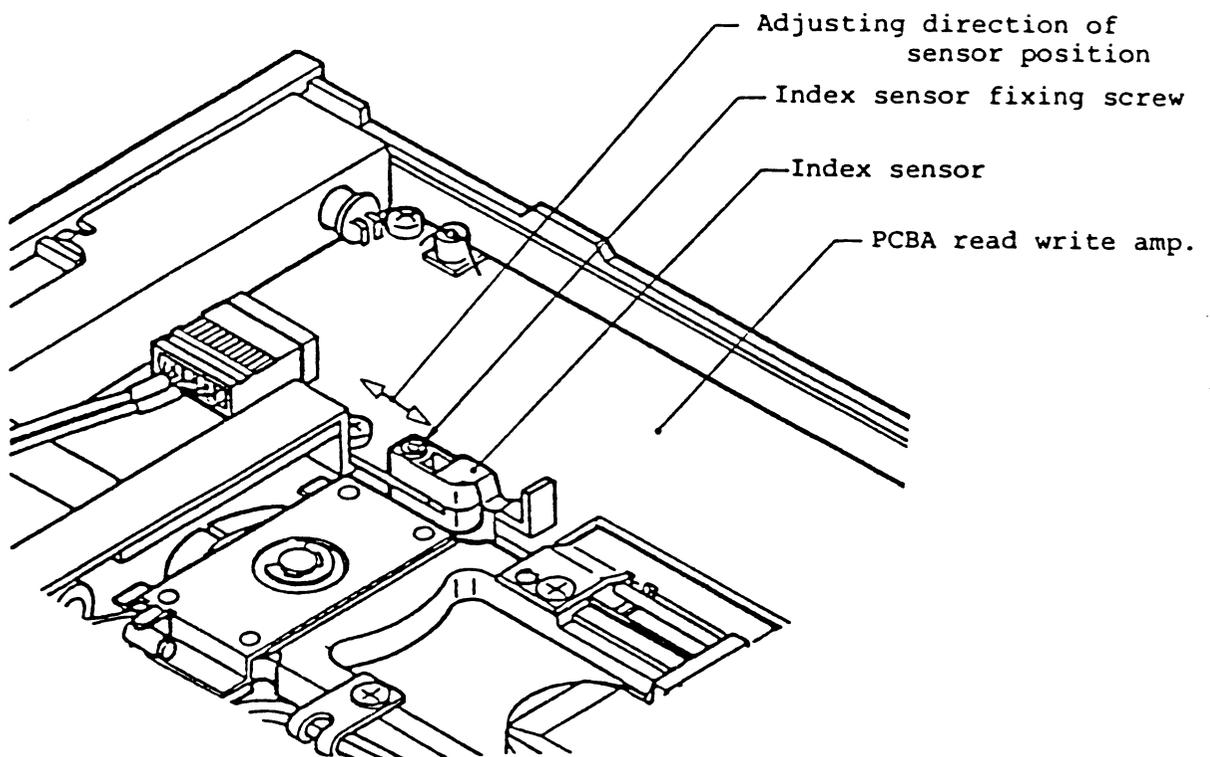
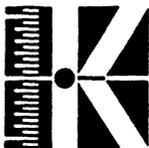


Abb.: Justage des Indexsensors



6.2.12 Azimuth-Überprüfung

Die Kontrolle der folgenden Signale ermöglicht eine Aussage darüber, ob der Kopf richtig im Schlitten montiert ist, d.h. es wird angezeigt, ob der Lesespalt genau parallel zur Spurrichtung steht.

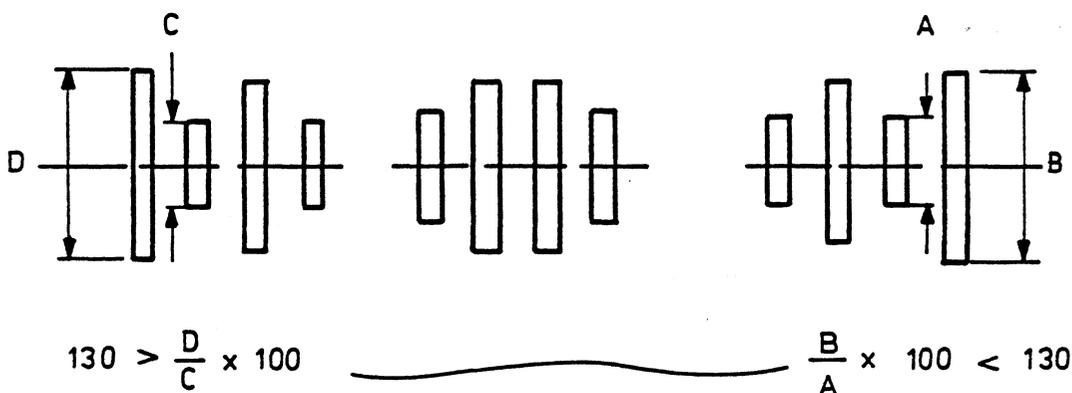
- Ausrüstung:**
- Exerciser
 - Alignment-Diskette
 - Oszilloskop

Vorgehensweise:

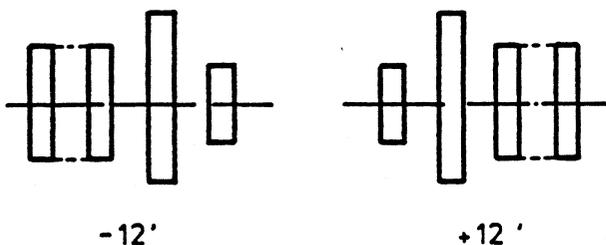
1. Exerciser am Drive anschließen und einschalten
2. Alignment-Diskette laden
3. Motor einschalten und Drive auswählen
4. Spur 68 anwählen
5. Kurvenform ablesen

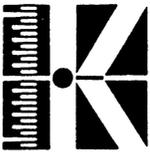
Trigger	EXT	- Index	(DC,-)	0.5 ms/div	} ADD
	CH1	- TPB9	(AC)	50 mV/div	
	CH2	- TPB10	(AC,INV)	50 mV/div	

6. Die Einstellung stimmt, wenn sich die Kurven im angegebenen Bereich befinden.



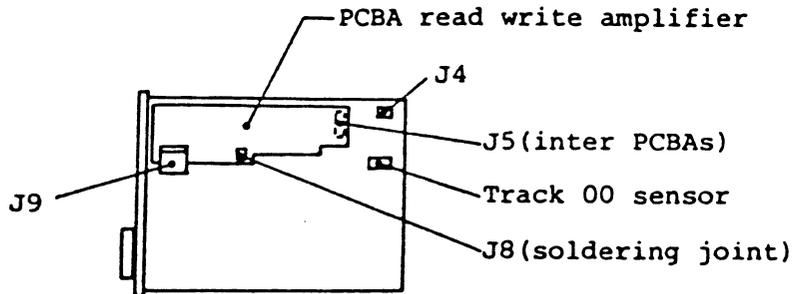
REFERENCE ACCEPTANCE RANGE



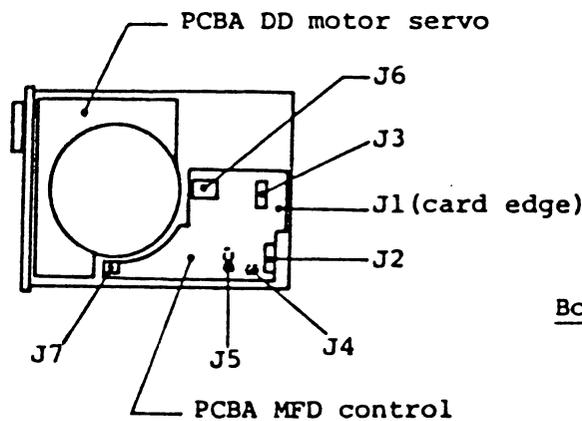


7. Zusammenstellung aller Anschlüsse, Testpunkte und Einstellregler

7.1 Anschlüsse - Alte Version

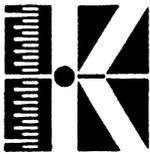


Top view of the FDD

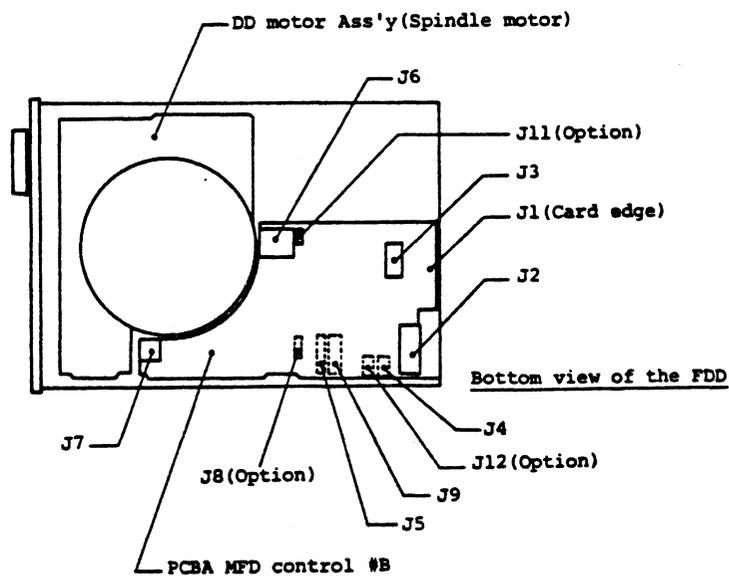
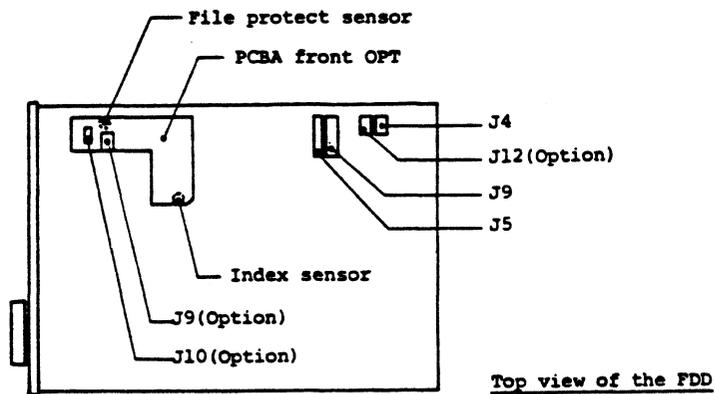


Bottom view of the FDD

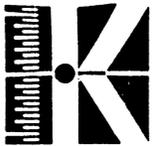
- J1: Interface-Anschluß
- J2: Stromversorgungsanschluß
- J3: IC-Sockel für Terminator
- J4: Kopfladeeinheit und Spur 00-Anschluß
- J5: Verbindung zwischen den Platinen
- J6: Anschluß für Steppermotor
- J7: Anschluß für Spindelmotor
- J8: Index-Sensor-Anschluß
- J9: Kopf-Anschluß



Anschlüsse - Neue Version



- J1: Interface-Anschluß
- J2: Stromversorgungsanschluß
- J3: IC-Sockel für Terminator
- J4: Kopfladeeinheit und Spur 00-Anschluß
- J5: Verbindung zwischen den Platinen
- J6: Anschluß für Steppermotor
- J7: Anschluß für Spindelmotor
- J8: Index-Sensor-Anschluß (Option)
- J9: Kopf-Anschluß
- J10: Front-LED-Anschluß (Option)
- J11: HD-Sensor-Anschluß (Option)
- J12: PCBA VFO OPT Anschluß (Option)
- J13: Frontverschlußmagnet-Anschluß (Option)



7.1.1 Interfacestecker

Passender Stecker:

3M, Scotchflex ribbon connector
PIN 3463-0001
oder
AMP P/N 583717-5
und P/N 1-563616-1
oder ähnliche

Maximallänge des Interface-Kabels: 3 m

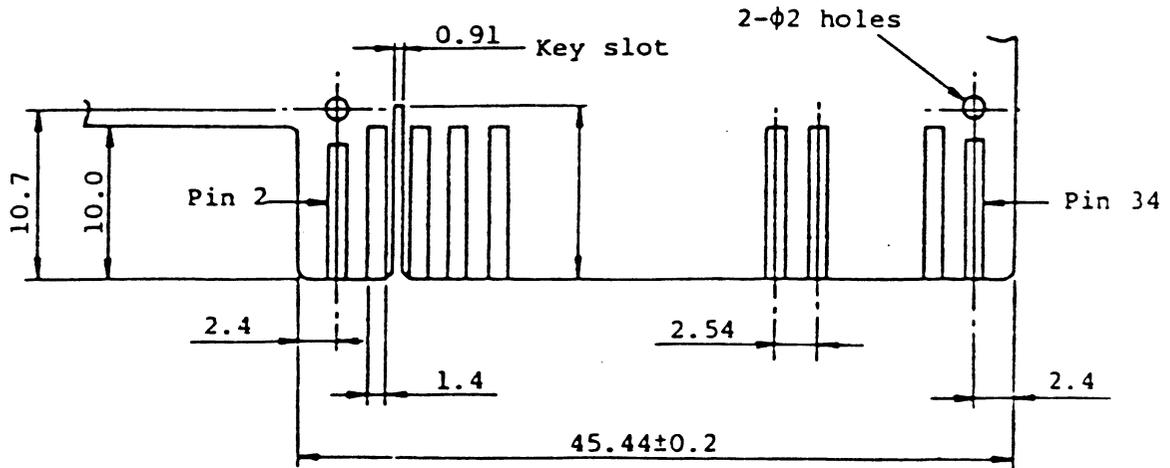
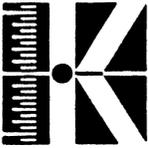
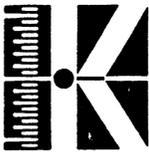


Abb: Interfacestecker



Floppy-Laufwerk Teac FD-55 F

Signal	Richtung	Pin-Nummern	
		Signal-Leitung	OV-Rückführung
SPARE	INPUT	2	1
IN USE	INPUT	4	3
DRIVE SELECT 3	INPUT	6	5
INDEX/SECTOR	OUTPUT	8	7
DRIVE SELECT 0	INPUT	10	9
DRIVE SELECT 1	INPUT	12	11
DRIVE SELECT 2	INPUT	14	13
MOTOR ON	INPUT	16	15
DIRECTION SELECT	INPUT	18	17
STEP	INPUT	20	19
WRITE DATA	INPUT	22	21
WRITE GATE	INPUT	24	23
TRACK 00	OUTPUT	26	25
WRITE PROTECT	OUTPUT	28	27
READ DATA	OUTPUT	30	29
SIDE ONE SELECT	INPUT	32	31
READ	OUTPUT	34	33



7.1.2 Stromversorgungsanschluß

Passender Stecker: AMP, P/N 1-480424-0
und pins 60617-1
oder 60619-1
oder ähnliche

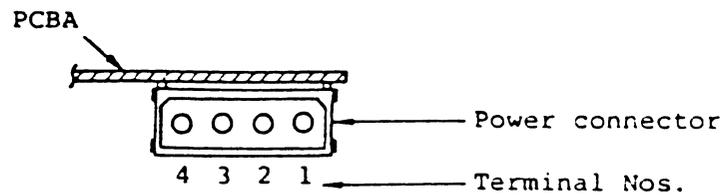


Abb.: Stromversorgungsanschluß

Anschlußbelegung:

Spannung	Anschluß Nr.
DC + 12V	1
0V	2
0V	3
DC + 5V	4



Floppy-Laufwerk Teac FD-55 F

Die Versorgungsspannungen müssen folgende Bedingungen erfüllen:

12V DC: 1. Toleranzen:

während einer Schreib-/Leseoperation: +/- 5%
sonst: +/- 10%

2. Überlagerte Wechselspannung:

maximal 200mV_{p-p}

3. Stromaufnahme (für altes Laufwerk):

bei normal leichtgängiger Diskette: typ 0.25A
bei schwergängiger Diskette : max 0.60A
beim Einschalten (für 0.4 sec): typ 0.90A
Standby-Betrieb: typ 0.05A
max 0.08A

5V DC: 1. Toleranzen:

Unter allen Betriebsbedingungen max +/- 5%

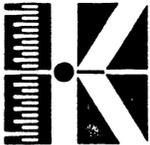
2. Überlagerte Wechselspannung:

maximal 100mV_{p-p}

3. Stromaufnahme:

unter normalen Betriebsbedingungen typ 0.50A
maximaler Mittelwert: max 0.65A
kurzzeitige Spitzen: max 0.80A
Standby-Betrieb: typ 0.40A
max 0.50A

Besonderheiten: Da das Laufwerk mit einer "Power-Reset" Schaltung ausgerüstet ist, führt das Anlegen und Abschalten der Versorgungsspannungen zu keinem Datenverlust.



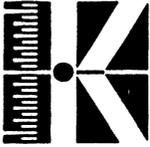
7.1.3 Schreib-/Lesekopf-Anschluß

PIN	Signal
J9 - 4	Side 0 - Abschirmung
J9 - 12	R/W Start
J9 - 2	R/W Finish
J9 - 10	Masse
J9 - 8	Löschen
J9 - 3	Side 1 - Abschirmung
J9 - 11	R/W Start
J9 - 1	R/W Finish
J9 - 9	Masse
J9 - 7	Löschen

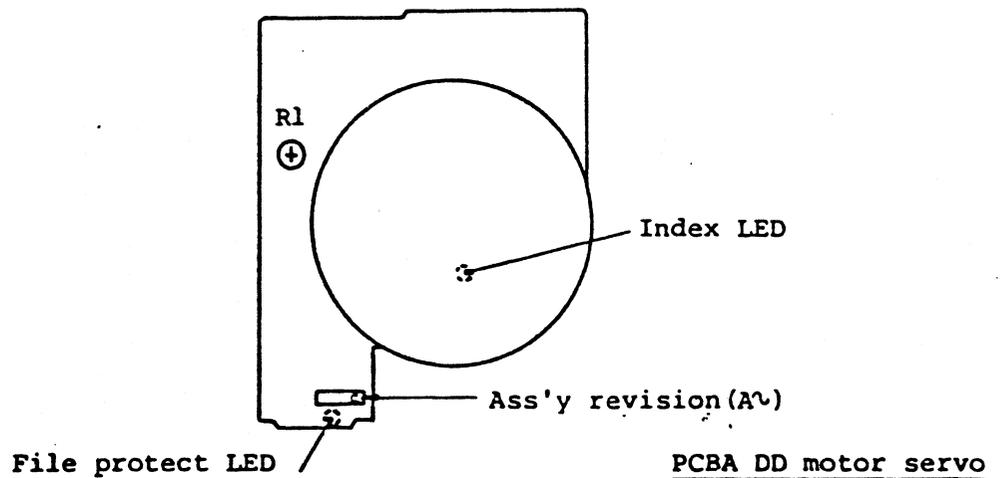
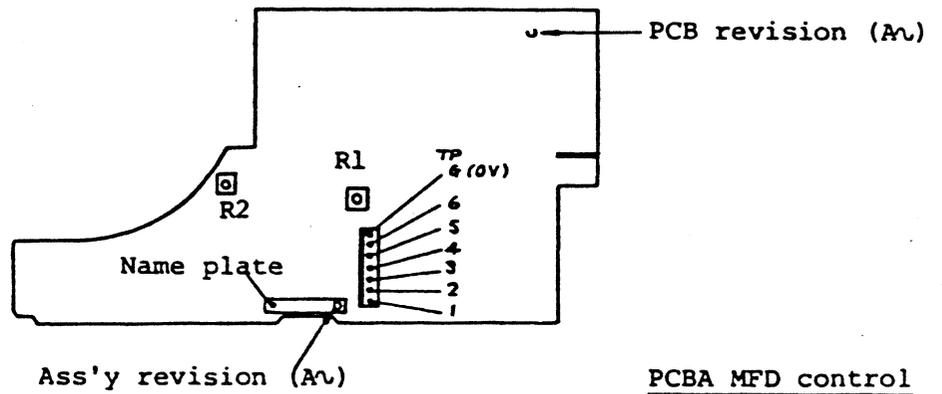
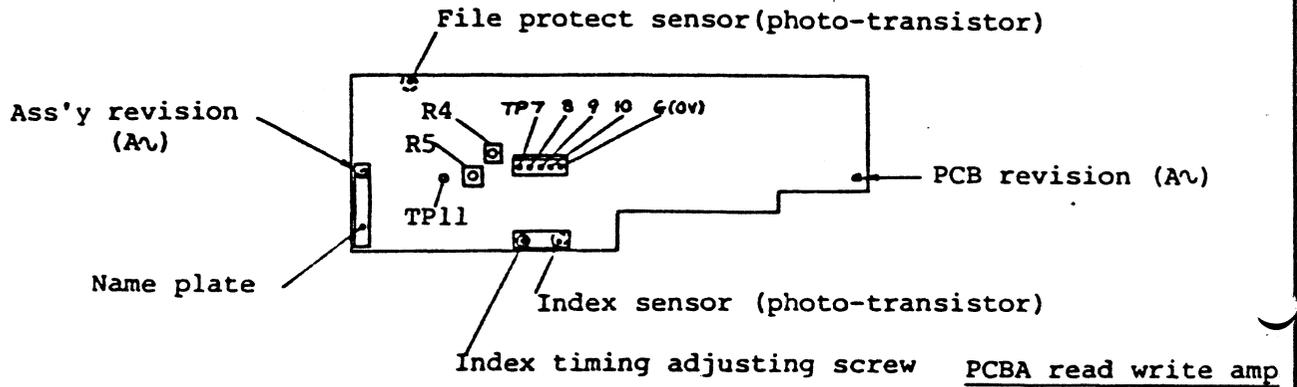
7.1.4 Interne Anschlüsse

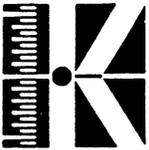
(Kopf laden, Spindelmotor, Activity-LED, Spur 00-Sensor)

PIN	Signal
J4 - 4	Spur 00 Sensor LED
J4 - 5	Spur 00 Sensor
J4 - 6	Spur 00 Sensor OV
J4 - 1	Kopf laden Masse
J4 - 2	Kopf laden Versorgung
J6 - 1	Stepper-Motor Phase A
J6 - 3	Phase A
J6 - 2	Phase B
J6 - 4	Phase B
J6 - 5	Common A
J6 - 6	Common B
J7 - 3	DC Motor ein
J2 - 2	OV
J7 - 4	+ 5V
J7 - 1	+ 12 V

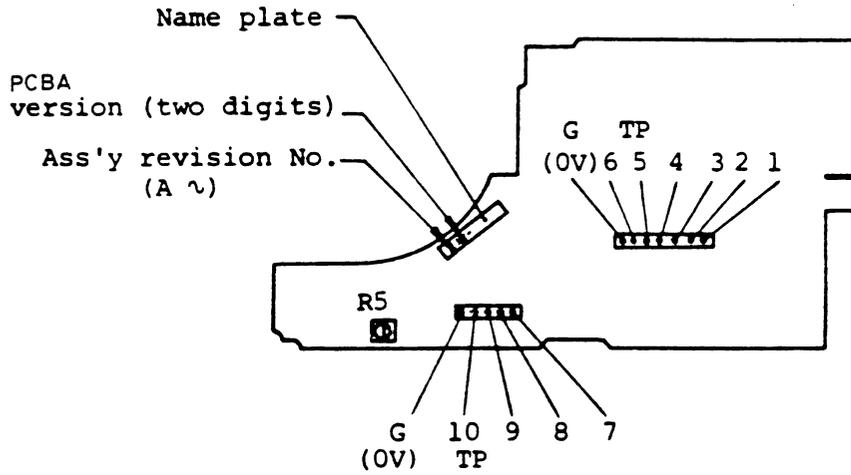


7.2 Lage der Testpunkte und Einstellwiderstände - Alte Version

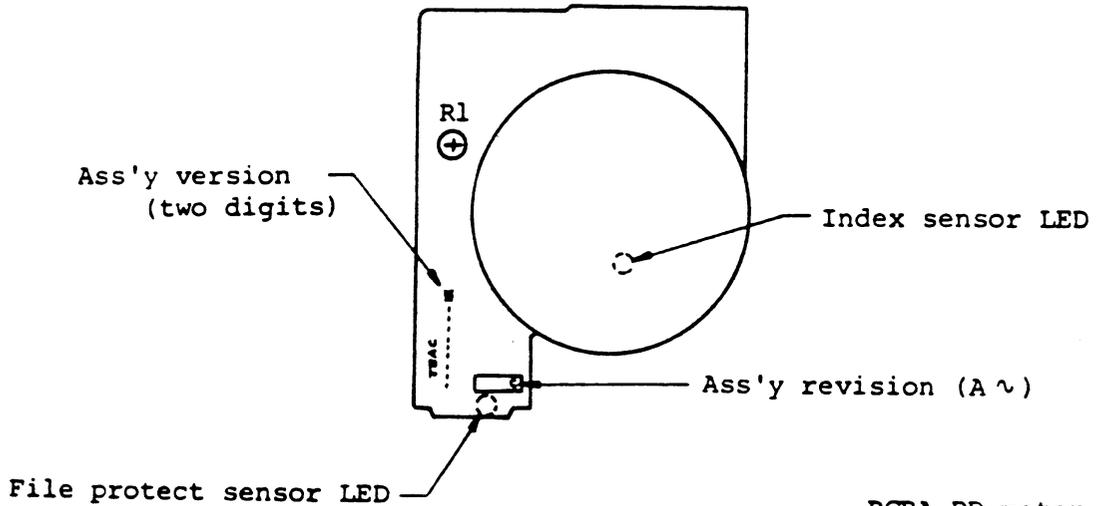




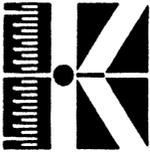
Lage der Testpunkte und Einstellwiderstände - Neue Version



PCBA MFD control #B



PCBA DD motor servo



Testpunkte:

TP1: Spur 00-Sensor
TP2: Löschtorverzögerung
TP3: Bei 96 tpi stets LOW
TP4: Index
TP5: "Read Data"
TP6: "File Protect Sensor"
TP7,8: Vorverstärker
TP9,10: Differentiationsverstärker
TP11: Schreib-Abschluß
TP G: Masse OV

Einstellregler:

R1 auf Motorplatine: Umdrehungsgeschwindigkeit (beide Versionen)

Alte Version:

R1 auf Kontrollplatine: Löschtorverzögerung
R2 nicht belegt
R4 auf Verstärkerplatine: Asymmetrieabgleich
R5 Schreibabschlußabgleich

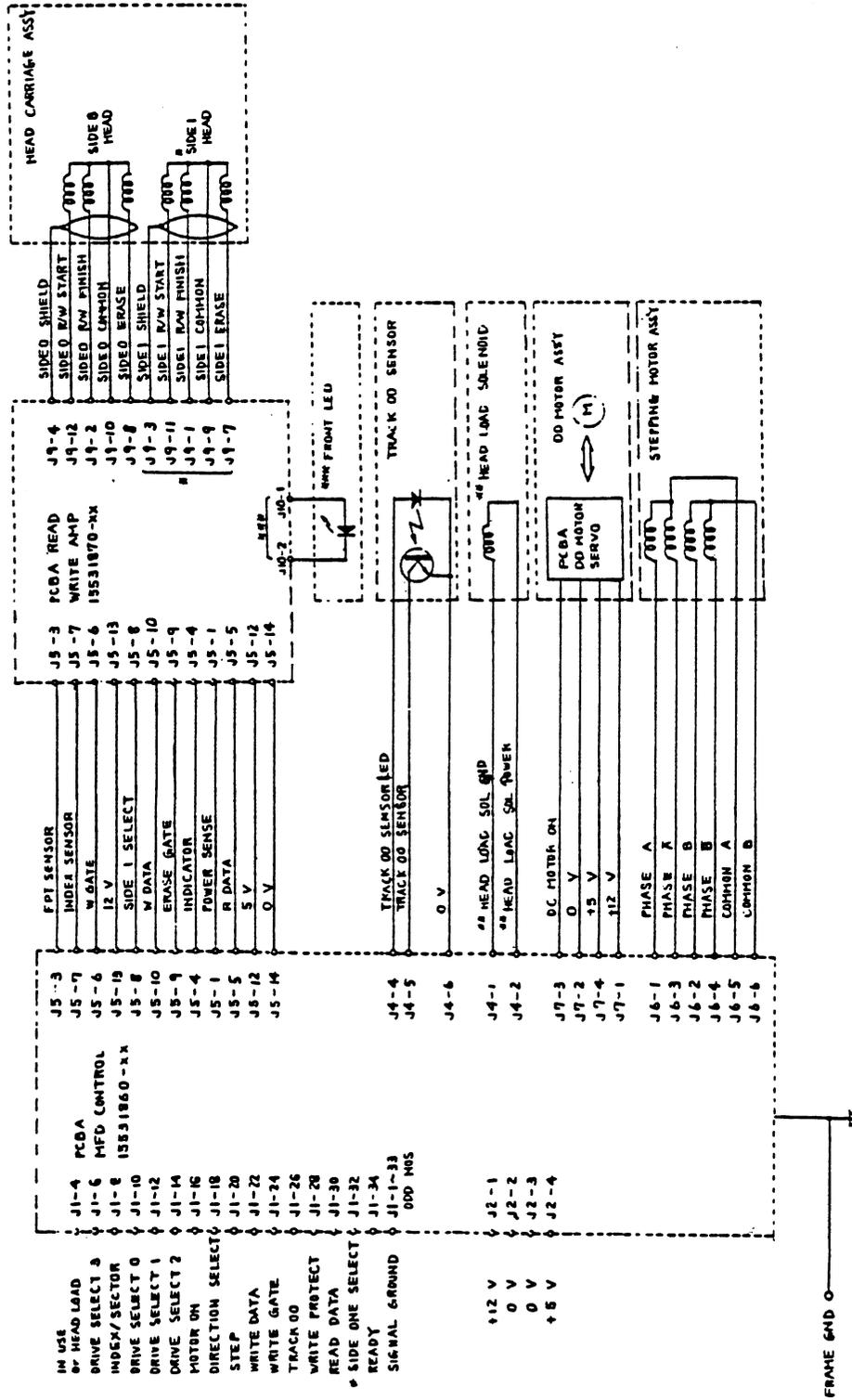
Neue Version:

R5 auf großer Platine: Asymmetrieabgleich

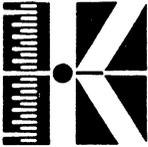


8. Pläne

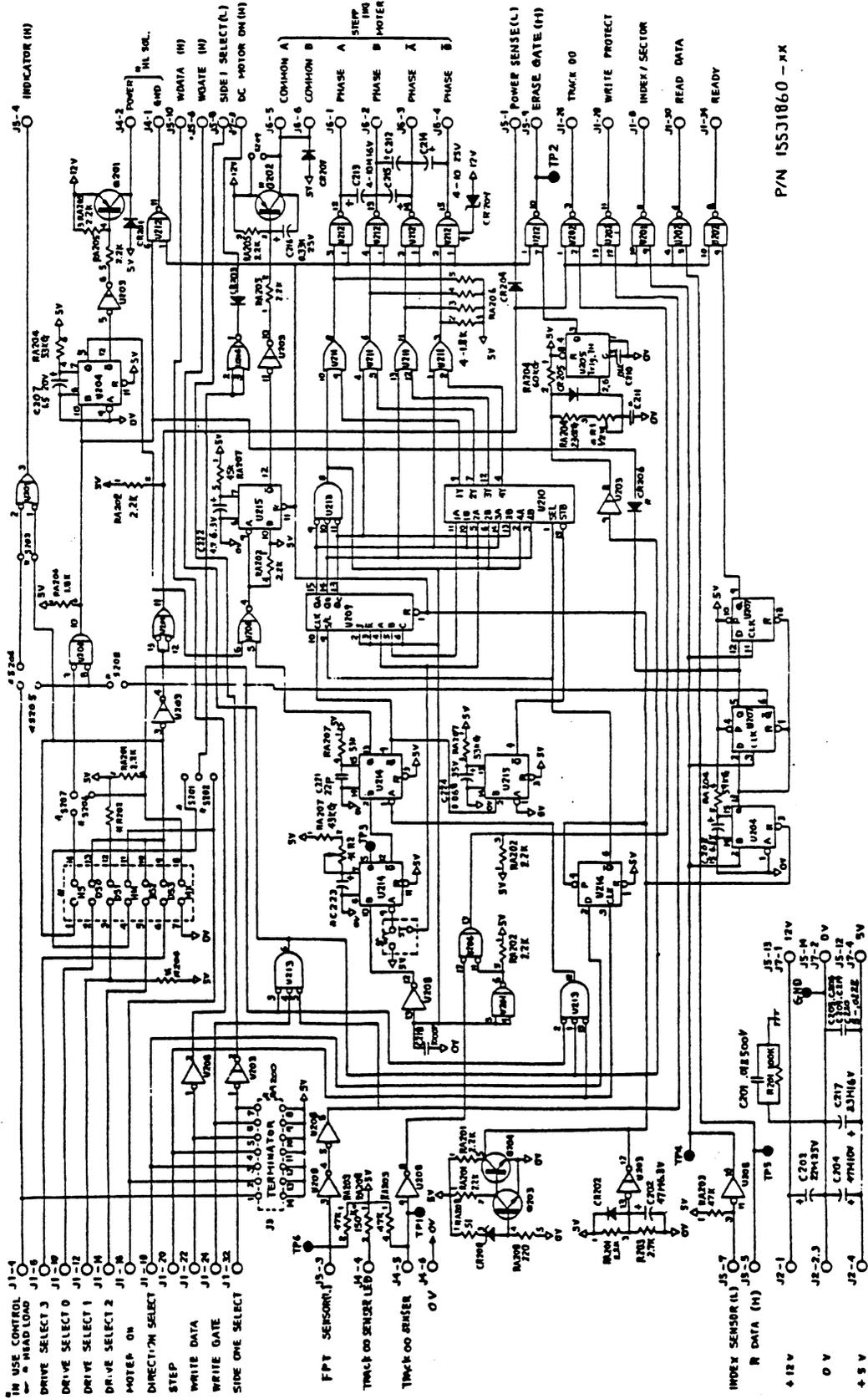
8.1 Schaltpläne - Alte Version



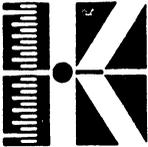
- NOTES:
1. PARTS AND SIGNALS WITH # MARK ARE USED ONLY FOR THE DOUBLE SIDED MODELS.
 2. PARTS AND SIGNALS WITH @ MARK ARE NOT USED FOR THE CS3 MODELS.
 3. PARTS AND SIGNALS WITH * MARK ARE USED ONLY FOR THE 1/1 FRONT SIDE MODELS. THEY ARE MOUNTED ON THE PCBA R/W AMP. FOR THE OTHER MODELS.



Alte Version

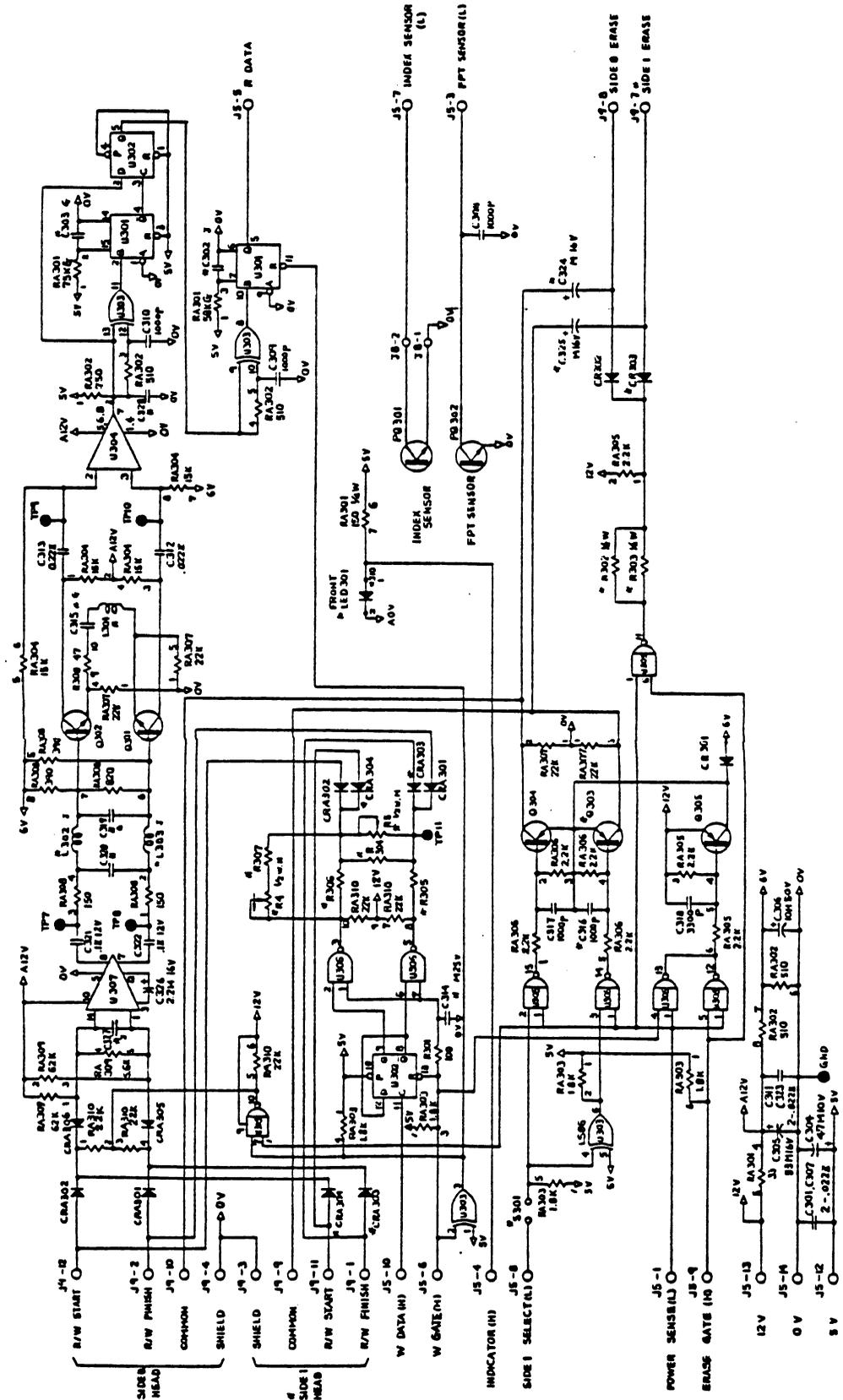


P/N J55J1860 -PK



Floppy-Laufwerk Teac FD-55 F

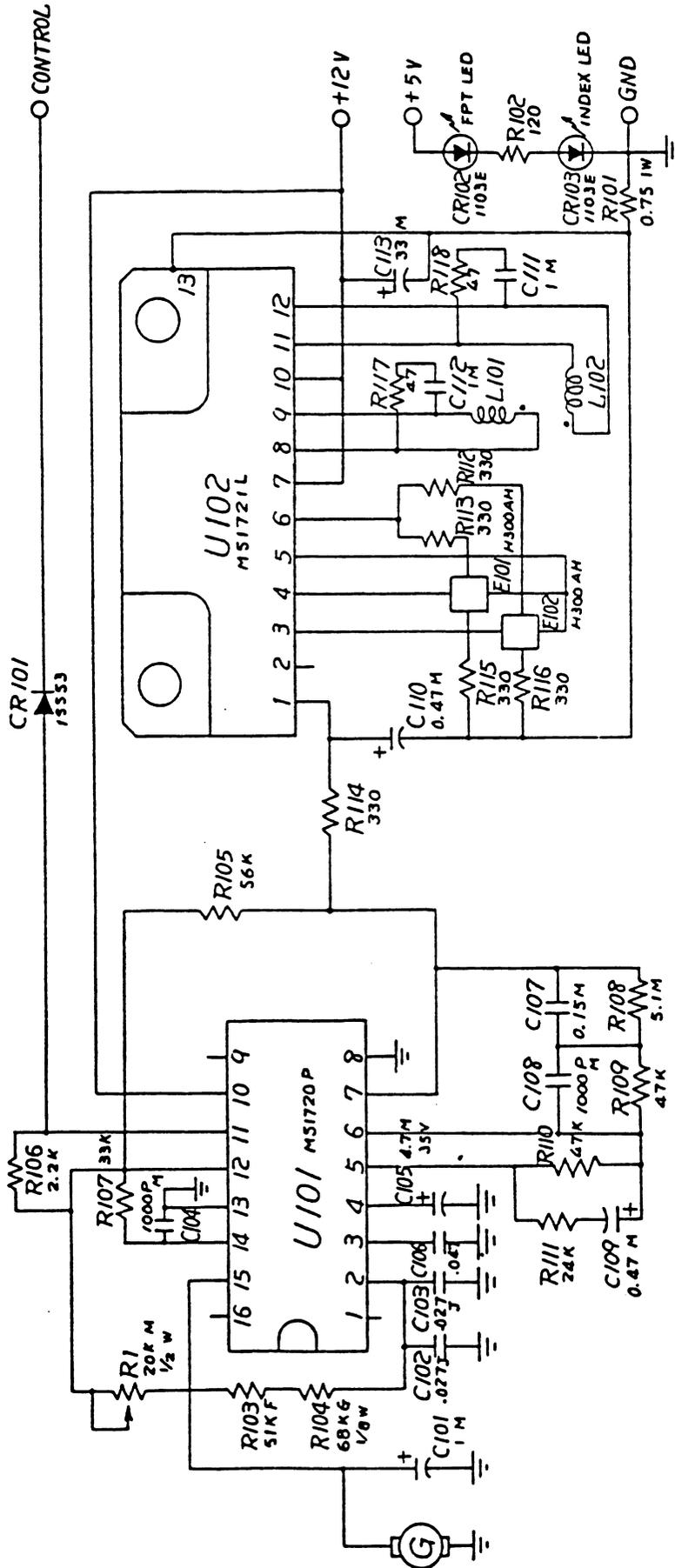
Alte Version



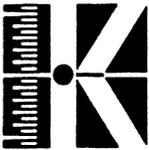


Floppy-Laufwerk Teac FD-55 F

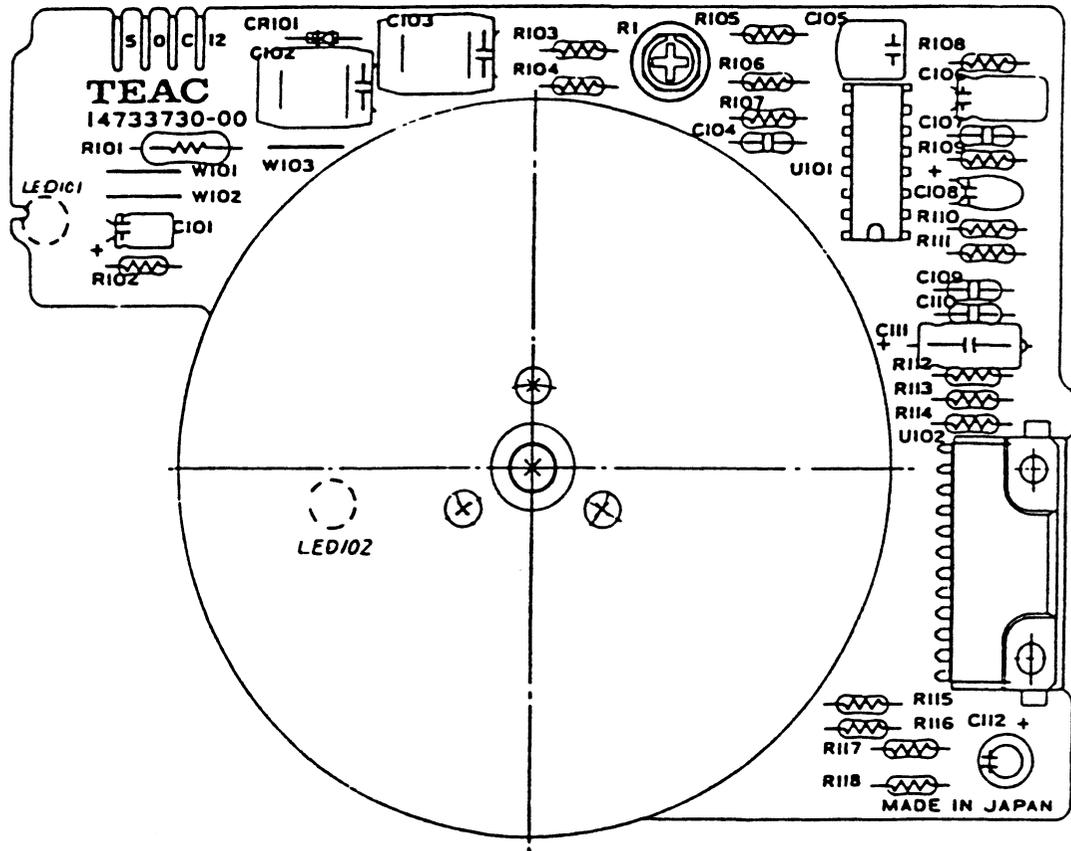
Beide Versionen



PCBA DD MOTOR SERVO, SCHEMATIC



8.2 Bestückungspläne - Beide Versionen

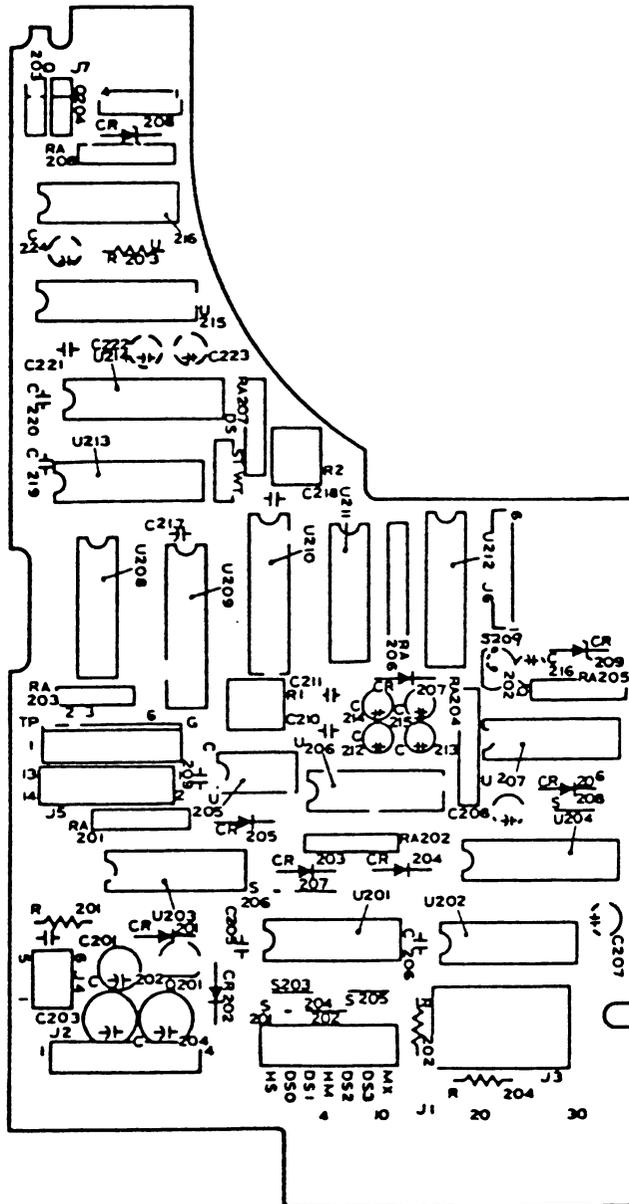


PCBA DD MOTOR SERVO, PARTS LOCATION

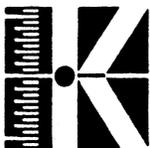


Floppy-Laufwerk Teac FD-55 F

Alte Version

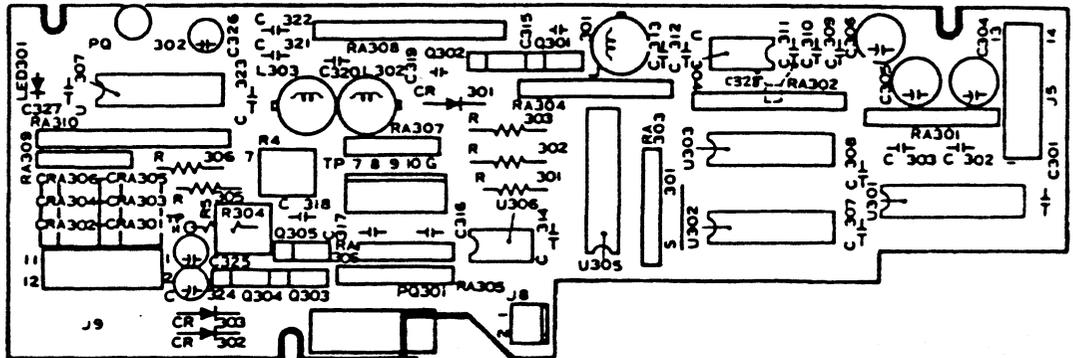


PCBA MFD CONTROL, PARTS LOCATION



Floppy-Laufwerk Teac FD-55 F

Alte Version

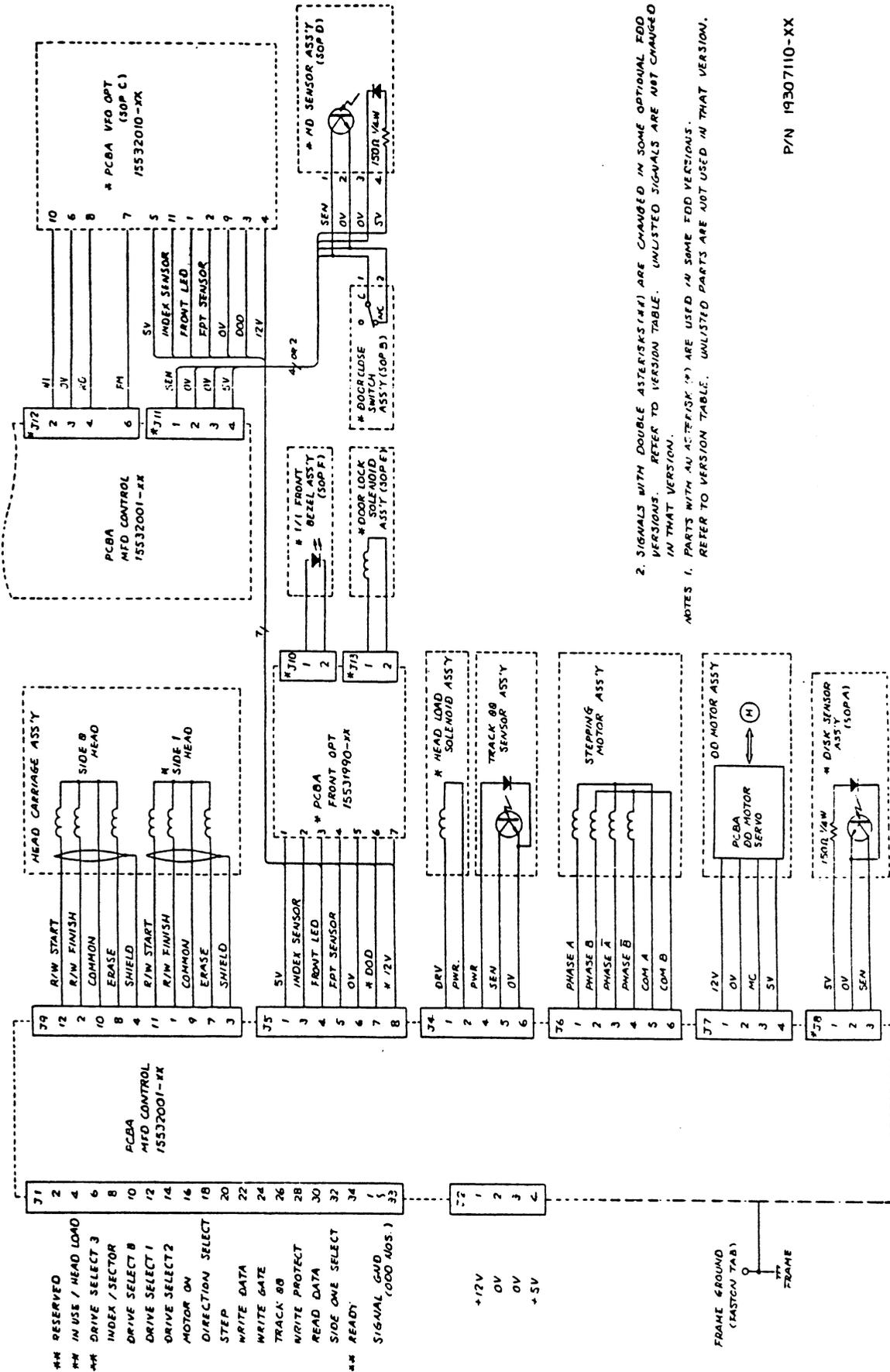


PCBA R/W AMP. PARTS LOCATION

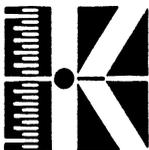


Floppy-Laufwerk Teac FD-55 F

Neue Version

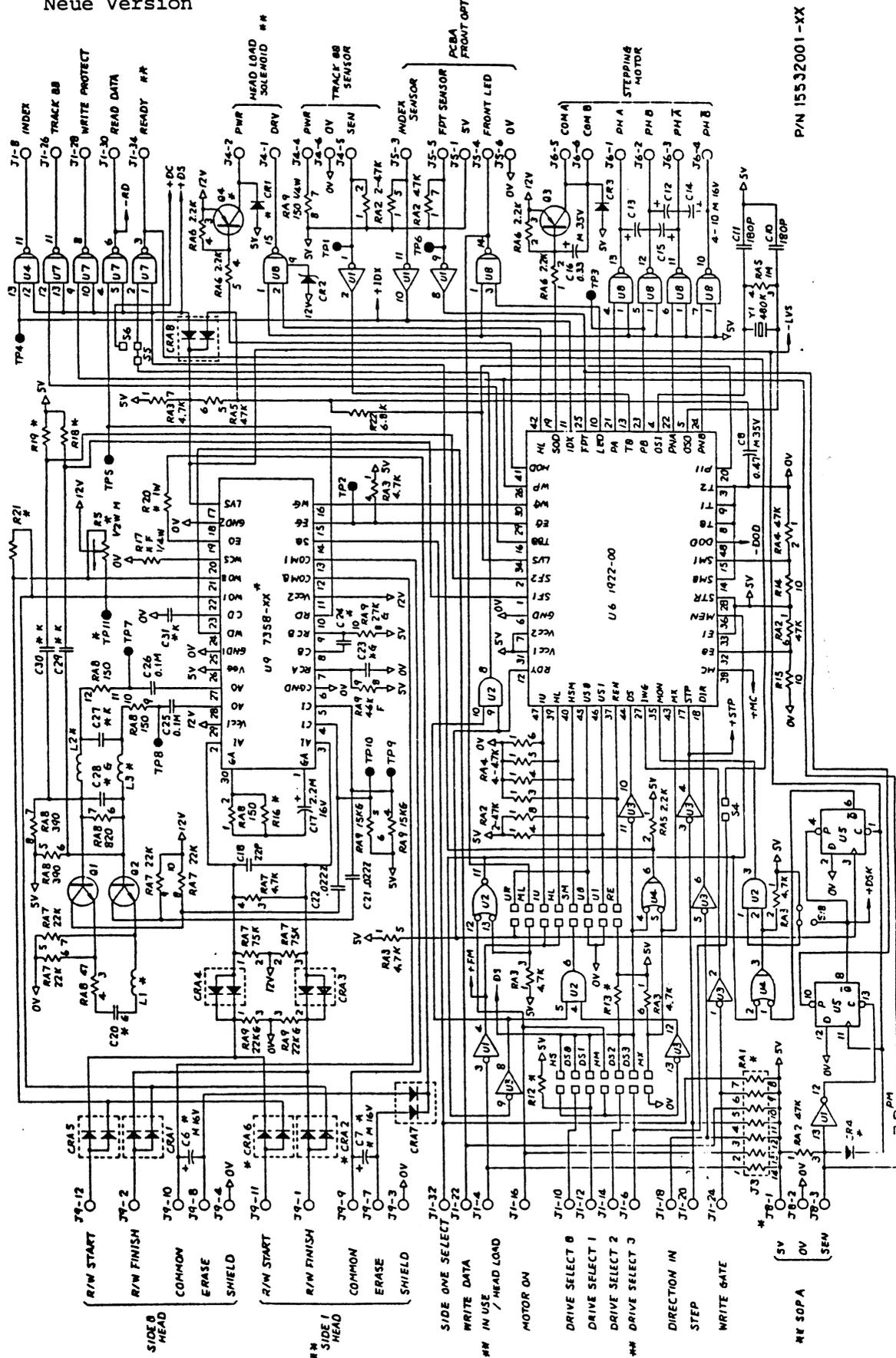


Total Diagram



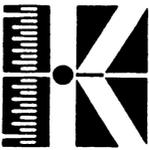
Floppy-Laufwerk Teac FD-55 F

Neue Version



P/N 15532001-XX

PCBA MFD Control

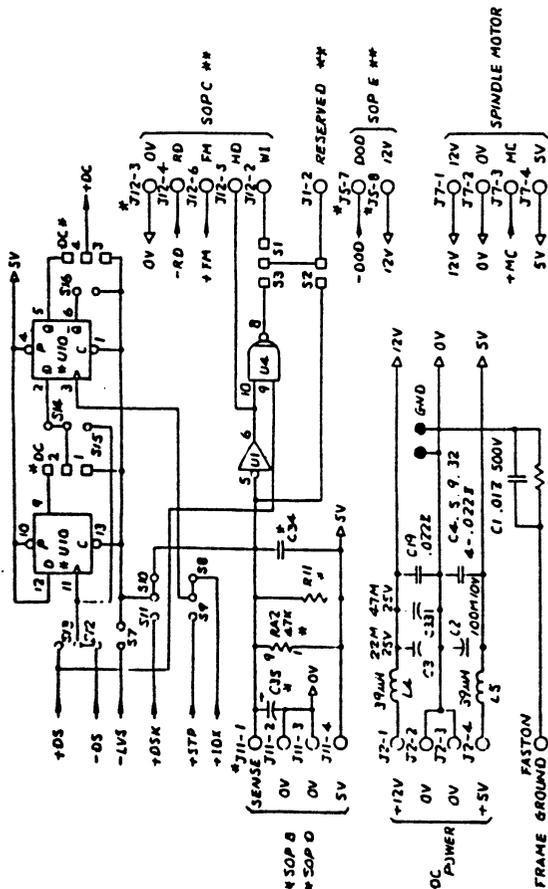


Floppy-Laufwerk Teac FD-55 F

Neue Version

PCBA VERSIONS	MAIN SPEC.	# PARTS
-00	48P4 D. 5148 A. STD.	Q4. CR1. RA1(330), R13(330), R14(10), R17(1.24K), R20(120), R21(2.2K), RS(70K), C6(4.7), C20(1500P), C23(100P), C24(56P), C27(1000P), C28(2200P), C31(7200P), L1-L3(330uH), U9(735B-00)
-01	48P4 D. 5148 B. STD.	Q4. CR1. CRA2. CRA6. RA1(330), R13(330), R14(10), R17(1.24K), R20(240), R21(2.2K), C6(4.7), C20(1500P), C23(100P), C24(56P), C27(1000P), C28(2200P), C31(7200P), L1-L3(330uH), U9(735B-00)
-02	48P4 D. 5148 E. STD.	Q4. CR1. RA1(330), R13(330), R16(10), R17(1.69K), R20(240), R21(4.7K), RS(70K), C6(4.7), C20(1500P), C23(100P), C24(56P), C27(1000P), C28(2200P), C31(7200P), L1-L3(330uH), U9(735B-00)
-03	48P4 D. 5148 F. STD.	Q4. CR1. CRA2. CRA6. RA1(330), R13(330), R16(10), R17(1.69K), R20(240), R21(4.7K), C6-C7(4.7), C20(1500P), C23(100P), C24(56P), C27(1000P), C28(2200P), C31(7200P), L1-L3(330uH), U9(735B-00)
-04	48P4 D. 5148 G. STD.	Q4. CR1. CRA2. CRA6. RA1(330), R13(330), R15(10), R16(10), R17(768), R18-R19(4.7K), R20(150), R21(2.2K), RS(70K), C6-C7(2.2), C70(560P), C31(27P), C24(24P), C27(470P), C28(150P), C29-C30(2200P), C31(1200P), L1(120uH), L2 L3(150uH), U9(735B-01)
-05	48P4 D. 5148 MNA	RA1(1K), R12(1K), R13(470). THE OTHERS ARE THE SAME AS -01.
-06	48P4 D. 5148 NEB	THE OTHERS ARE THE SAME AS -00.
-07	F. AMF	C12-C15 (CHANGE TO 33 K/6V). THE OTHERS ARE THE SAME AS -03.
-08	B. DL	J5 (CHANGE TO BP). THE OTHERS ARE THE SAME AS -01.
-09	F. DL	J5 (CHANGE TO BP). THE OTHERS ARE THE SAME AS -03.
-10	G. DL	J5 (CHANGE TO BP). THE OTHERS ARE THE SAME AS -04.
-11	B. DC	J11. 55 CUT. 56 JUMPER. U10. R11(1K), C15(4.7M/4V). STRAP POST DC1-4 THE OTHERS ARE THE SAME AS -01.
-12	F. DC	J11. 55 CUT. 56 JUMPER. U10. R11(1K), C15(4.7M/4V). STRAP POST DC1-4 THE OTHERS ARE THE SAME AS -03.
-13	F. R0Y6	54 JUMPER. THE OTHERS ARE THE SAME AS -03.
-14	A. VFO MASTER	S1 JUMPER. C24(8P), J12(6P). THE OTHERS ARE THE SAME AS -00.
-15	B. VFO MASTER	S1 JUMPER. C24(8P), J12(6P). THE OTHERS ARE THE SAME AS -01.
-16	F. MASTER	S1 JUMPER. C24(8P), J12(6P). THE OTHERS ARE THE SAME AS -02.
-17	F. MASTER	S1 JUMPER. C24(8P), J12(6P). THE OTHERS ARE THE SAME AS -03.
-18	G. VFO MASTER	S1 JUMPER. C24(8P), J12(6P). THE OTHERS ARE THE SAME AS -04.
-19	NEF	RA1(1K), R12(1K), R13(470), C28(3000P), C29(1000P), C30(1000P) THE OTHERS ARE THE SAME AS -03.

VERSION TABLE



PCBA MFD CONTROL

7. SIGNALS WITH DOUBLE ASTERISKS (**) ARE USED OR CHANGED IN SOME OPTIONAL FDD VERSIONS. REFER TO FD-55 TOTAL DIAGRAM AND ITS VERSION TABLE

8. POLARIZING KEY POSITIONS FOR CONNECTOR (3) ARE:

31: BETWEEN PIN4 AND6 J4: PIN3 J5: PIN2 J9: PIN6 J12: PIN1

9. REFER TO SHORT BAR SELECTION TABLE (HS-MX, UR-RE, PM) AS TO THE SIPPING POSITIONS AND THEIR FUNCTIONS.

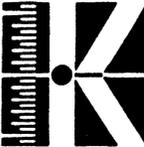
10. TOLERANCE SYMBOLS FOR R, RA, AND C ARE:

F: ±1% G: ±2% J: ±5% K: ±10% M: ±20% Z: ±80-20%

11. CAPACITOR (C) VALUES ARE IN MICROFARADS, 50V OR HIGHER, ±5% (J), UNLESS OTHERWISE SPECIFIED.

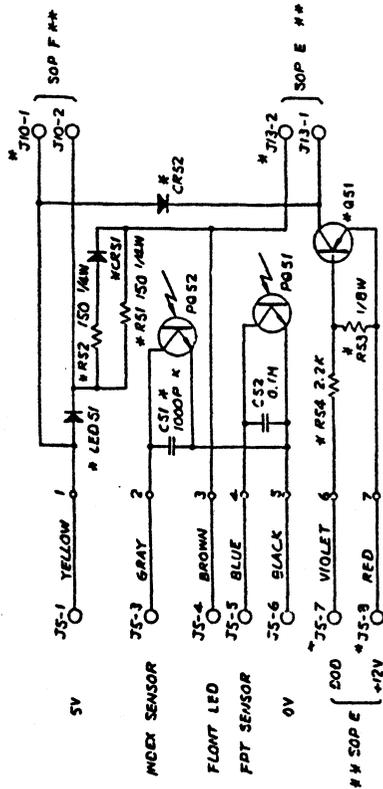
12. RESISTOR (R) AND RESISTOR ARRAY (RA) VALUES ARE IN OHMS, 1/8W OR GREATER, ±5% (J), UNLESS OTHERWISE SPECIFIED.

NOTES: 1. PARTS WITH AN ASTERISK (*) ARE DIFFERENT IN EACH FDD VERSION. REFER TO VERSION TABLE, UNLISTED PARTS ARE NOT USED IN THAT VERSION.



Neue Version

PCBA VERSIONS	MAIN SPEC	* PARTS
-00	STD	LED S1 (RED), R51, C52, J5 (SP)
-01	GREEN LED	LED S1 (GREEN), R51, C52, J5 (SP)
-02	1/1 SIZE	R51, C52, J5 (SP), J10
-03	DOOR LOCK	LED S1 (RED), Q51, CR51, CR52, R52, R53, R54, C52, J13, J5 (CHANGE TO 8P)



PCBA Front OPT (kleine Platine)

5. SIGNALS WITH DOUBLE ASTERISKS (***) ARE USED IN SOME OPTIONAL FDD VERSIONS. REFER TO FD-55 TOTAL DIAGRAM AND ITS VERSION TABLE.

4. POLARIZING KEY POSITION FOR CONNECTOR J5 IS 12.

3. CAPACITOR (C) VALUES ARE IN MICROFARADS, 50V OR HIGHER, ±5% (C), UNLESS OTHERWISE SPECIFIED.

2. RESISTOR (R) VALUES ARE IN OHMS, 1/8W OR GREATER, ±5% (R), UNLESS OTHERWISE SPECIFIED.

NOTES 1. PARTS WITH AN ASTERISK (*) ARE DIFFERENT IN EACH PCBA VERSION. REFER TO VERSION TABLE. UNLISTED PARTS ARE NOT USED IN THAT VERSION.



Inhaltsverzeichnis

1. Spezifikationen
 2. Allgemeines
 3. Schaltungsbeschreibung
 4. Unterschiede zwischen Laufwerk 0/1
 5. Beschreibung der Ein-/Ausgangssignale
 - 5.1 Eingangssignale
 - 5.2 Ausgangssignale
 - 5.3 Zeitverhalten der Signale
 6. Wartung und Abgleich des Drives
 - 6.1 Kopfreinigung
 - 6.2 Einstellung der Spindelmotordrehzahl
 - 6.3 Spur-0-Einstellung
 - 6.4 Index-Sensor
 - 6.5 Kopfeinstellung
 - 6.6 Azimuth-Überprüfung
 7. Anschlußbelegung und Testpunkte
 - 7.1 Drive-Elektronik
 - 7.2 Zusammenstellung der Testpunkte
 - 7.3 Steckerbezeichnungen mit Pinbelegungsplan
 - 7.3.1 Signalanschluß
 - 7.3.2 Spannungszuführung
 - 7.3.3 Schreib-/Lesekopf-Anschluß
 - 7.3.4 Interne Anschlüsse
- Anhang: Schaltplan
 Bestückungsplan



1. Spezifikationen

Mitsubishi M4853

Abmessungen:

Höhe	42 mm
Breite	148 mm
Tiefe	203 mm
Gewicht	1.3 kg

Betriebsbedingungen:

Temperaturbereich	5...43 Grad C
Feuchtigkeitsbereich	20...80 % nicht kondensierend

Leistungsaufnahme:

Betrieb	11.4 Watt
Standby	9 Watt
Motor aus	5.6 Watt

Kapazität: (2-seitig, doppelte Schreibdichte)

unformatiert	1000 Kilobytes
formatiert	655.4 Kilobytes

Laufwerkdaten:

Umdrehungsgeschwindigkeit	300 U/min
Latenzzeit	100 ms (Durchschnitt)
Kopfladezeit	50 ms
Motorstartzeit	250 ms

Zugriffszeiten:

Spur-zu-Spur	3 ms
mittl. Positionierzeit	94 ms (eingeschlossen 3 ms Schritt- und Beruhigungszeit)



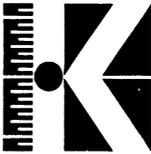
Serviceanleitung Mitsubishi M4853

<u>Übertragungsrate:</u>	250 Kilobit/sec.
<u>Aufzeichnungsdichte:</u>	5922 bits/inch
<u>Spurdichte:</u>	96 Spuren/inch
<u>Spurenzahl/Seite</u>	80

<u>Mediengröße/Spezifikation:</u>	Double-Sided, 96 TPI Standard 5 1/4 inches Diskette
-----------------------------------	---

Zuverlässigkeit:

MTBF	10.000 Stunden Einschaltzeit
MTRR	30 Minuten
Lebensdauer Unit	> 5 Jahre oder 20.000 Std. Einschaltzeit
Lebensdauer Diskette	> 3.5×10^6 Zugriffe/Spur
Soft Error Rate	1 pro 10^9
Hard Error Rate	1 pro 10^{12}
Seek Error Rate	1 pro 10^6



2. Allgemeines

Um eine Fehlersuche am Floppy-Drive (FD) vorzunehmen, muß man sich vorher mit der Wirkungsweise der magnetischen Aufzeichnungen sowie der Schaltungsfunktion vertraut machen. Ferner sind zur Fehlersuche und Justage spezielle Meßmittel nötig.

Die benötigte Technik zur Aufzeichnung und für das Rücklesen von Daten kann man in 3 Bereiche gliedern:

- | | |
|----------------------|------------------|
| - intelligente Logik | Zentralplatine |
| - Drive-Elektronik | FD-Laufwerkboard |
| - Mechanik | FD |

Die intelligente Steuerung der Drives befindet sich auf der Zentralplatine. Das Laufwerk ist mit dieser Platine über ein Flachbandkabel verbunden und erhält auf diesem Wege Steuersignale und Daten.

Die Elektronik auf dem Laufwerksboard beschränkt sich darauf, diese Signale auszuwerten um die elektromechanischen Teile zu steuern, sie zu überwachen und Rückmeldungen an die Zentralplatine zu liefern. Außerdem werden die Schreib- und Lesevorgänge durchgeführt - es müssen also TTL-Pegel in Schreibströme umgewandelt werden bzw. Leseströme in TTL-Pegel.

Den empfindlichsten und stör anfälligsten Teil des Laufwerkes stellt die Mechanik dar.

Um ein fehlerfreies Schreiben und Lesen zu gewährleisten, müssen auch die Disketten dementsprechend behandelt werden:

- Disketten nur mit Filzstift nur auf dem Klebeetikett beschriften. Kugelschreiber o.ä. hinterlassen Druckspuren auf der Diskettenoberfläche und verursachen Lesefehler.
- Disketten nicht knicken
- Disketten vor magnetischen Einflüssen fernhalten
- Disketten vor Feuchtigkeit und Staub schützen
- Lagertemperatur von Disketten: 10 - 52 Grad C.
- Starke Sonnenbestrahlung vermeiden
- Nach Gebrauch in die Diskettenhülle zurücklegen
- Disketten vorsichtig in das Laufwerk einführen und vor dem Abschalten entnehmen
- Diskettenoberfläche nicht berühren.



Funktionsübersicht des Laufwerkes

Folgende Abbildung zeigt einen funktionalen Überblick für ein Laufwerk mit seinen mechanischen und elektrischen Funktionsgruppen.

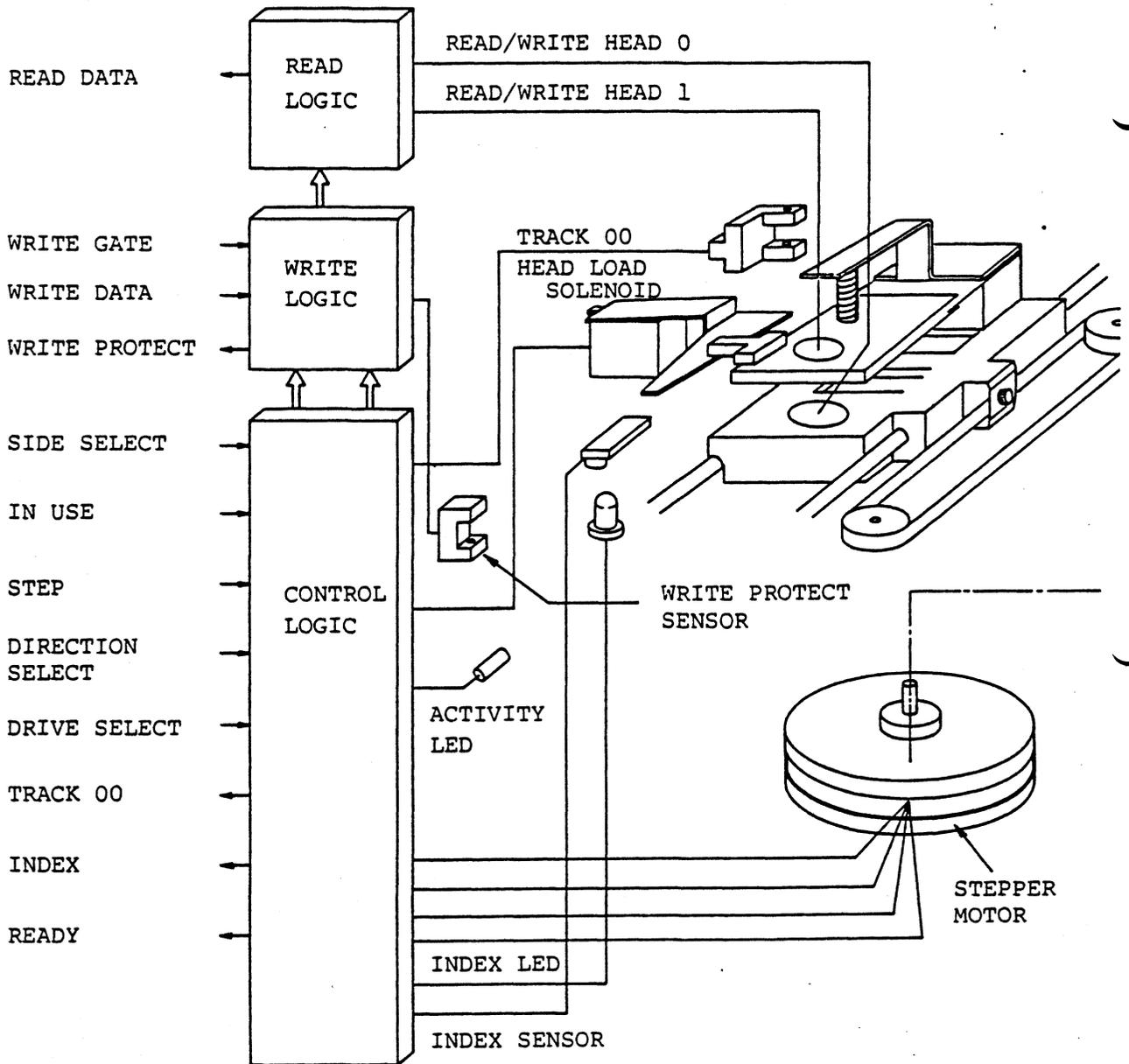


Abb. 2-1: M4853 Funktionsübersicht



Auf der elektronischen Seite läßt sich das Laufwerk in folgende Baugruppen unterteilen:

- Ein-/Ausgabetreiber zum Anschluß an den Floppy-Treiber des Zentralboards (Line Driver)
- Drive-Erkennungsschaltung (Drive Selection)
- Index-Erkennung (Index-Detection)
- Kopf-Positionierung (Head positioning)
- Kopf Ladeschaltung (Head loading)
- Schreib-/Lese-Schaltung (Read/Write)
- Schreibschutz-Schaltung (Write protect)
- Spur-0-Erkennung (Track 0 detection)
- Drive-Freigabe (drive ready detection)
- Kopfauswahl (Head selection)
- Busy-LED-Steuerung

Auf der mechanischen Seite sind zu erwähnen:

- bürstenloser direktgetriebener Spindelmotor mit 300 upm
- Positioniermechanismus:
Die Kopfaufnahme wird durch ein am zwei-phasen Steppermotor befestigtes Stahlband bewegt. Eine 1.8-Grad-Drehung des Steppermotors bewirkt ein Weiterschalten um eine Spur. Dieser Antrieb ist temperaturkompensiert, um stets den Kopf auf der Spurmitte zu halten.
- Schreib-/Lese-Köpfe
Sie bestehen aus MnZn.
Jeder Kopf besteht aus drei Einzelementen: der Schreib-/Lese-Einheit in der Mitte und zwei Löscheinheiten daneben, um den Zwischenraum zwischen zwei Spuren zu löschen. Beide Köpfe stehen sich direkt gegenüber mit der Diskette dazwischen, auf die sie mit Federkraft gepreßt werden. Dank besonderer Aufhängung der Köpfe wird die Diskette weitmöglichst geschont und so eine lange Lebensdauer erreicht.

Achtung: Zur Schonung der Köpfe sollte unbedingt während der Lagerung bzw. des Transportes des Gerätes das sog. "Head protecton sheet" verwendet werden. Es wird statt einer Diskette in das Gerät eingeführt und verhindert ein Aufeinanderschlagen der Köpfe durch Erschütterungen.



3. Schaltungsbeschreibung

Die Elektronik des Laufwerkes ist auf zwei Platinen untergebracht.

Die Platine auf der Oberseite des Gerätes ist für alle Funktionen bis auf die Spindelmotorsteuerung zuständig.

Es soll nun die Hauptplatine genauer betrachtet werden.

Die eigentliche Schreib-/Leseschaltung ist rund um die IC's L5 (Schreib-/Leseverstärker), L6 (Löschsignale) und H5 (Lesesignalummwandlung) aufgebaut. An Testpunkt 9 und 10 kann das gelesene Analogsignal abgenommen werden.

Die Ansteuerschaltung für den Steppermotor ist hauptsächlich durch die IC's A3, E1, F1 und G1 gegeben. Hier erfolgt die Auswertung der Signale "Direction Select/" und "Step/".

Zur Erzeugung der Ready-Signals sind unter anderem mindestens zwei Index-Pulse notwendig. Diese Erkennung führt der Detektor bestehend aus den IC's K1 und K2 durch.

Die restliche noch vorhandene Schaltung ist hauptsächlich für die Motorsteuerung, die Funktion Kopfsenken sowie die Bereitstellung der Ausgangssignale und Verarbeitung der Eingangssignale (Index-LED, Write-protect-Sensor, TK00-Sensor) zuständig.

Auf der Unterseite des Laufwerkes befindet sich die Elektronik zur Steuerung des Spindelmotors. Diese Platine ist durch drei Kabel (Versorgungsspannung, Masse und Signal "Motor On") mit der Hauptplatine auf der Oberseite verbunden.

Die Spindelmotorsteuerung ist rund um zwei IC's aufgebaut:

IC1 ist zusammen mit dem daneben angebrachten Trimpoti für die Drehzahlkontrolle zuständig.

IC2 versorgt den Spindelmotor mit den nötigen Signalen.

Auf dieser Platine befinden sich keine Testpunkte.

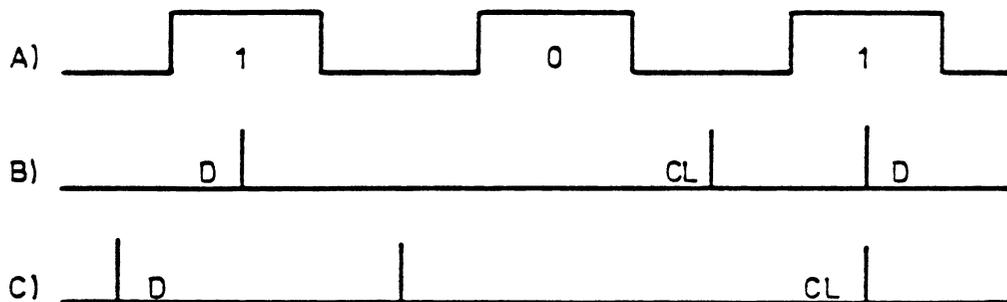


Allgemeines zum Aufzeichnungsverfahren

Das Laufwerk beschreibt die Disketten auf beiden Seiten mit doppelter Schreibdichte (Double Sided, Double Density).

Das Double Density Aufzeichnungs-Verfahren bietet gegenüber dem Single Density-Verfahren den Vorteil der doppelten Schreibdichte.

Zur Erklärung dieser Aufzeichnungsverfahren mögen die folgenden Kurvenverläufe dienen:



- A) = WINDOW
- B) = DATA
- C) = DATA

Kurvenzug A stellt das Fenster dar, das eine Pulsbreite von 2 us besitzt. Dies entspricht einer Frequenz von 250 KHz. Wird ein Datenbit gesendet, so steht es in der Mitte des Fensters und wird als magnetischer Fluß auf die Diskette aufgezeichnet.

Nach genau 4 us wird das nächste Datenbit wieder genau in der Mitte des nächsten Fensters gesetzt. Ist kein Datenbit vorhanden (d.h. "0" wird gesendet), so wird ein Taktpuls generiert und in die Mitte des nächsten negativen Fenster gesetzt.



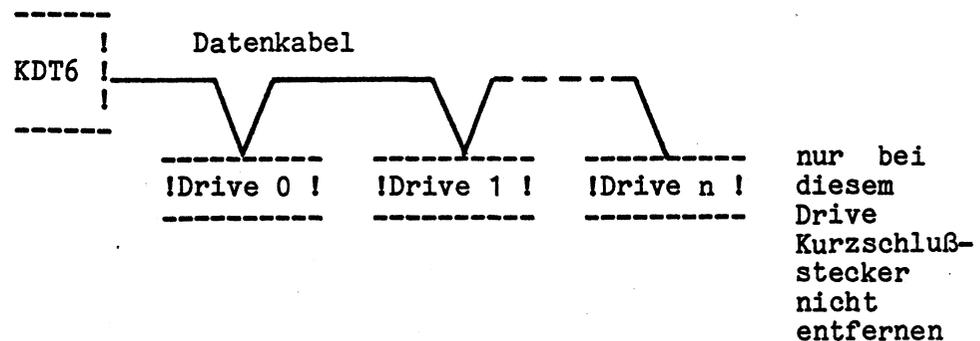
4. Unterschiede zwischen Laufwerk 0 und Laufwerk 1

Da beide Floppy Disk Laufwerke über ein 34-poliges Datenkabel parallel mit der KDT verbunden sind, muß eine Unterscheidungs-möglichkeit innerhalb der Drives gegeben sein.

Die Unterscheidung wird durch Stecken bestimmter Jumper auf der Floppy-Platine gewährleistet (Drive Select):

Laufwerk 0: Jumper DS0 gesteckt
Laufwerk 1: Jumper DS1 gesteckt
Laufwerk n: Jumper DSn gesteckt (n max. 3)

Achtung: Bei allen bis auf das geographisch letzte angeschlossene Laufwerk müssen die Kurzschlußstecker J2 entfernt werden.



Wird nur ein Laufwerk an das System angeschlossen, kann Jumper MX gesteckt werden.

Die Jumper HS und HM steuern das Kopfladen. Es darf nur entweder HS oder HM gesteckt werden.

HS: Die Köpfe werden geladen, wenn das Drive mit "Drive Select" angesprochen wird.

HM: Die Köpfe werden geladen, wenn der Motor gestartet wird.

Die Lage der Jumper ist auf der nächsten Seite ersichtlich.

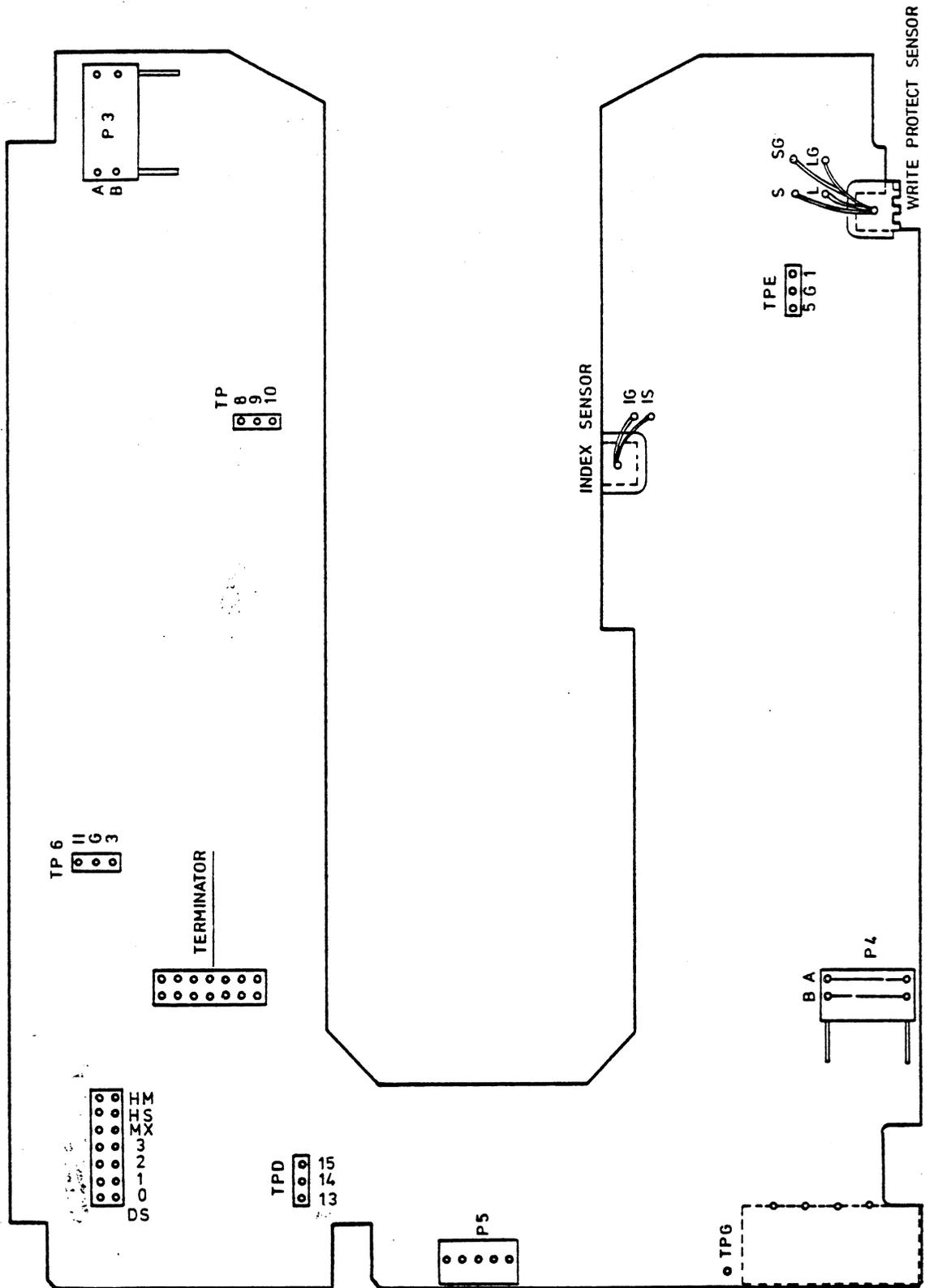


Abb. 4-1: Lage aller Jumper und Testpunkte auf der Laufwerksplatine



5. Beschreibung der Ein-/Ausgangssignale

5.1 Eingangssignale

1. Drive-Select 0 bis 3

je nach mittels Jumper ausgewähltem Drive Select kann ein entsprechendes Drive 0 bis 3 mit dem gemultiplexten Eingangssignal angesprochen werden. Das Drive wird angesprochen, falls das Eingangssignal 0 ist (neg. Logik).

2. Side one select

Auswahl einer Seite des Drives:

- 0: Seite 1
- 1: Seite 0

beim Umschalten des Side Select-Signals müssen die Zeitbedingungen gem. Abb. 5-5 eingehalten werden. Es sind gewisse Pausen zwischen Umschalten und Schreib-/Lesezugriffen notwendig.

3. Direction Select

Dieses Signal legt die Richtung der Bewegung des Lese-/Schreibkopfes fest, in die dann bei Pulsen des Signals "Step" gefahren wird:

- 1: Bewegung nach außen
- 0: Bewegung nach innen

4. Step

Pulsförmiges Signal zur Steuerung der Schreib-/Leseköpfe in die durch "Direction select" vorgegebene Richtung.

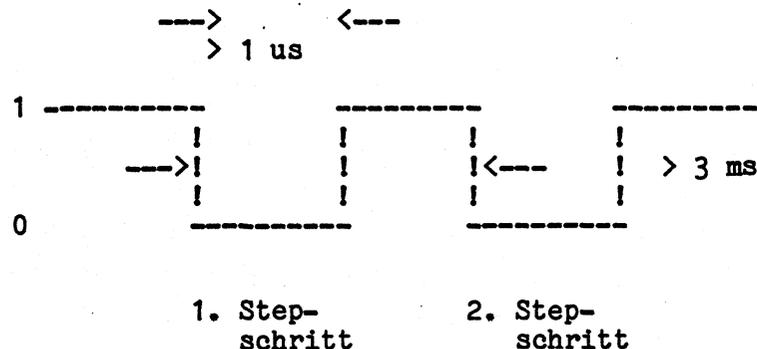


Abb. 5-1: "Step"-Signal



5. Write gate

Ist diese Interfaceleitung logisch "0", so wird der Schreiber aktiviert und die über "write Data" übertragenen Signale werden auf die Diskette geschrieben.

Auch hier müssen die in Abb. 5-5 gezeigten Zeitverhältnisse eingehalten werden, um ein einwandfreies Verhalten sicherzustellen.

6. Write data

Die Information, die auf die Diskette aufgezeichnet werden soll, wird über diese Leitung übertragen.

Diese Leitung ist normalerweise auf logisch "1" und invertiert den Schreibstrom bei jeder 1-->0 Flanke, um Daten-Bits zu schreiben. Diese Leitung ist durchgeschaltet, falls "Write Gate" = 0 ist.

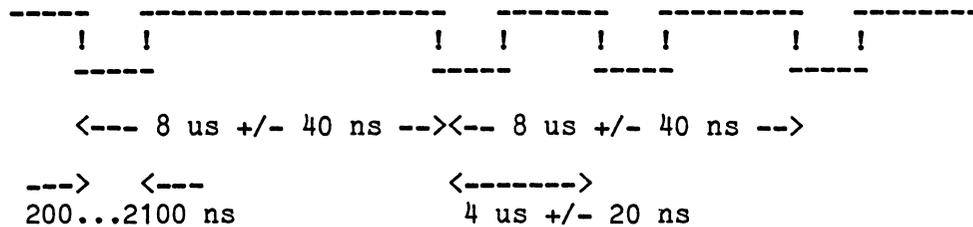


Abb. 5-2: Schreibzeitverhalten

7. IN USE

Dieses Signal bringt die an der Frontplatte des Drives angebrachte LED zum Leuchten (bei "in USE" = 0). Die LED wird ebenso durch das Signal "Drive Selekt" aktiviert.

8. Motor on

Bei logisch 0 wird der Spindelmotor gestartet. Um dem Motor eine Anlaufzeit zu ermöglichen, darf das Write-Gate-Signal erst 250 ms später gesetzt werden.



5.2 Ausgangssignale

Das M4853-Laufwerk hat 5 Ausgangssignalleitungen:

1. Index

Dieses Signal bezeichnet den Anfangspunkt einer Spur auf der sich drehenden Diskette (also Sector # 0). Dieses Signal ist normalerweise logisch "1", sendet aber eine 4 ms lange logische "0" bei jeder Diskettenumdrehung (alle 200 ms) des gewählten Drives.

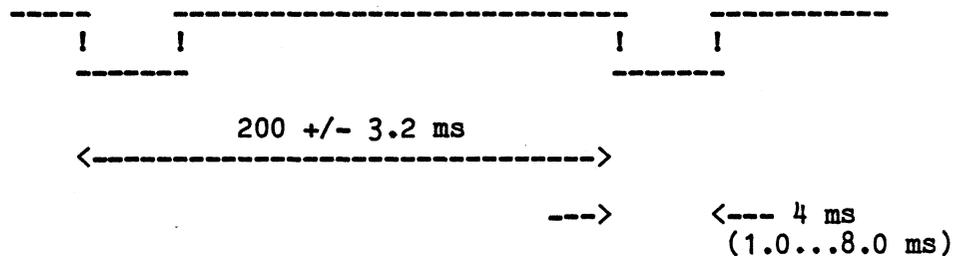


Abb. 5-3: "Index"-Signal

2. Track 00

Falls dieses Signal logisch "0" ist, so stehen die Schreib-/Leseköpfe des gewählten Drives auf Spur 00.

Bei logisch "1" stehen die Köpfe auf einer der übrigen Spuren.

3. Ready

"1": Die Klappe des Laufwerks ist offen oder im Drive befindet sich keine Diskette

"0": Eine Diskette befindet sich im Drive, die Laufwerkstür ist geschlossen, alle anliegenden Spannungen sind in Ordnung. Außerdem wurden bereits zwei Indexpulse korrekt erkannt.

4. Read Data

An diesem Ausgang liegen die vom Lesekopf auf der Diskette erkannten und über eine besondere Schaltung in Pulse umgewandelten Informationen. Sie setzen sich zusammen aus Daten und Taktimpulsen.



In Abb. 5-4 ist der zulässige Toleranzbereich dargestellt:

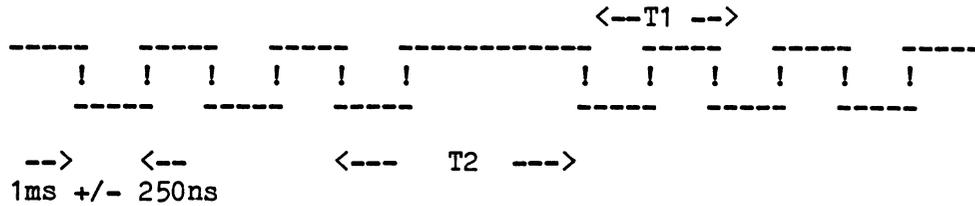


Abb. 5-4: "Read Data"

T1 = 4.00 us +/- 800 ns (Abweichungen aufgrund schwankender Umdrehungsgeschwindigkeit ausgeschlossen).

T2 = 8.00 us +/- 1.6 ms (Abweichungen aufgrund schwankender Umdrehungsgeschwindigkeit ausgeschlossen).

5. Write protect

Diese Leitung teilt dem System mit, ob eine Diskette mit Überschreibschutz eingelegt wurde. Ist dies der Fall (Write protect = "0"), so werden sämtliche Schreibzugriffe unterbunden.



5.3 Zeitverhalten der Signale

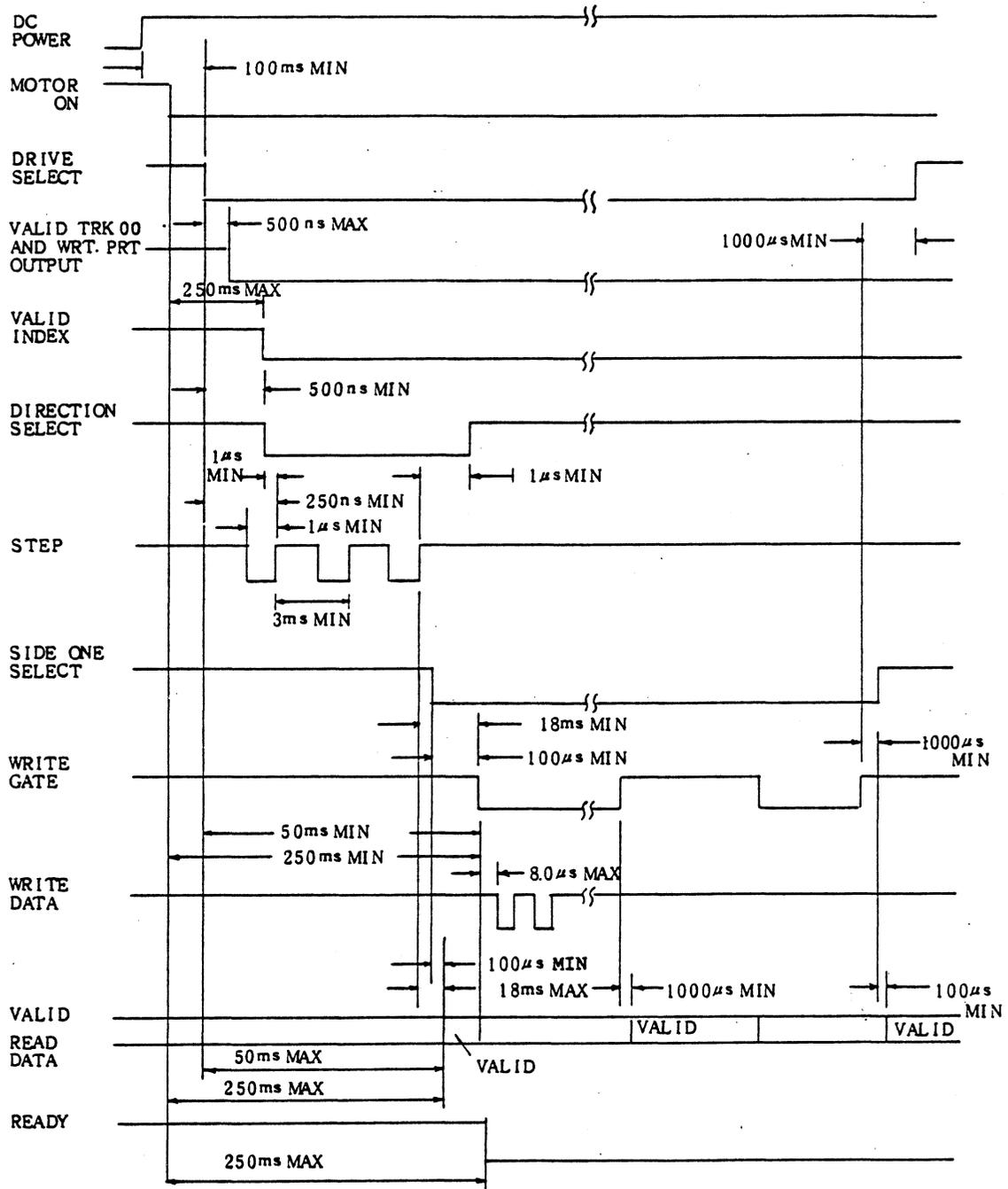
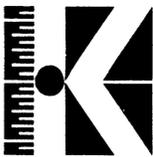


Abb. 5-5: Zusammenstellung aller wichtigen Signale



6. Wartung und Abgleich des Drives

Bei einer normalen Beanspruchung (8 Stunden pro Tag) sollte das Laufwerk einmal pro Jahr gewartet werden.

Wichtig: Fehler in der Driveelektronik lassen sich mit herkömmlichen Meßmitteln wie 2-Kanal-Oszillograph und Multimeter erkennen und beseitigen. Ebenso lassen sich damit die meisten Einstelldaten eines Drives überprüfen.

Eine Einstellung der mechanischen Daten erfordert darüberhinaus jedoch eine spezielle Zusatzausrüstung und viel Erfahrung. Insbesondere werden benötigt:

- Alignment-Diskette
- Exerciser

Diese Ausrüstung ist unbedingt zur korrekten Justage des Lesekopfes auf dem Schlitten notwendig.

Einige der übrigen Einstellungen lassen sich auch mit Hilfe einer auf einem exakt justierten Laufwerk formatierten Diskette unter Zuhilfenahme des Testdebuggers vornehmen.

Bei den im Folgenden beschriebenen Wartungs- und Einstellarbeiten wird, wo es sinnvoll erscheint, auf beide Möglichkeiten eingegangen. Selbstverständlich ist beim Arbeiten mit dem Testdebugger eine einwandfreie Elektronik auf der KDT6 Voraussetzung. Auch wird ein Verlängerungskabel zum Anschluß des Drives außerhalb des Gehäuses benötigt, falls Einstellarbeiten vorgenommen werden sollen.

Bemerkungen zu Exerciser und Alignment-Diskette

Die Firma Mitsubishi macht in ihren Unterlagen keine Angaben darüber, welcher Exerciser zu bevorzugen ist. Generell kann bei den Einstellarbeiten jeder Exerciser verwendet werden, dessen Ausgangssignal mit dem Laufwerk übereinstimmt. Insbesondere ist darauf zu achten, daß die Stepperrate des Exercisers auf 3 ms eingestellt werden kann.

Die Verwendung von Exercisern mit abweichenden Stepperraten ist grundsätzlich möglich, jedoch können dann die Oszillographenbilder ein anderes Aussehen annehmen, als im Folgenden beschrieben. So werden bei der Spur-00-Einstellung (Kap. 6.3) andere Werte erreicht.

Die zur Justage benötigte Alignmentdiskette unterscheidet sich in folgenden Punkten von "normalen" Disketten:

- Es sind Analogsignale aufgezeichnet (anstelle von digitalen Daten).
- Eine Zentrierung der Spuren ist 100%-ig gewährleistet.
- Die Lage der Sektoren ist ebenfalls exakt in Bezug zum Indexloch.



Alignment-Disketten eignen sich somit hervorragend zum Abgleich von Floppy-Laufwerken; sie sind aber aufgrund ihrer Genauigkeit auch teuer.

Als Alignment-Diskette wird der Typ DYMEK 502-1D STANDARD DISKETTE vorgeschrieben. Auch hier können ähnliche Disketten verwendet werden, da die Signale zur Erzeugung der Cat-Eyes stets auf derselben Spur zu finden sind.

Bei der Verwendung anderer Alignment-Disketten kann es allerdings zu Unterschieden bei den Bildern der Azimuth-Einstellung (Kap. 6.6) kommen. Dies liegt daran, daß bei manchen anderen Laufwerktypen der Kopf einen bestimmten Winkel zur Spur einnehmen muß, also das Analogsignal auch "schräg" zur Spur liegt (z.B. im Winkel von + 30'). Wird mit einer solchen Diskette abgeglichen, so ist die Azimuth-Einstellung dann korrekt, wenn ein Winkel von 30' angezeigt wird.

Sollten Sie weiterführende Informationen über Exerciser und Alignmentdisketten wünschen, so bitten wir Sie, sich selbst mit den entsprechenden Herstellern in Verbindung zu setzen. Um Ihnen einen Anhaltspunkt über die Kosten einer Alignment-Ausrüstung zu geben, sind die ca.-Preise (Stand Juli 1983) aufgeführt.

Alignment-Diskette: ab 150 DM
Exerciser: ab 1.000 DM bis über 10.000 DM

Grundsätzliches

1. Bei Wartung oder Abgleich darauf achten, daß kein Schmutz in das Laufwerk eindringen kann.
2. Vor der Wartung Gerät spannungslos machen
3. Ausbau der gedruckten Schaltung nur in spannungslosem Zustand um die Halbleiter und IC's zu schützen.
4. Diskettenoberfläche und Schreib-/Leseköpfe nicht berühren
5. Beim Arbeiten mit der Alignment-Diskette darauf achten, daß auf ihr keine Signale zerstört werden (also Vorsicht mit Write-Modus! Am Exerciser: "DC-Erase" stets auf "off"!).
6. Stepperband nicht berühren und dazugehörigen Mechanismus nicht verstellen.
7. Keine Gewalt auf die Kopfaufnahme ausüben, da sie genau justiert wurde. Nur an den in der Abgleichanleitung beschriebenen Stellen justieren.



Funktionsprüfung (hier mit Micropolis-Exerciser):

Eine Funktionsprüfung des Laufwerkes kann mit dem Exerciser durchgeführt werden. Sie sieht folgendermaßen aus:

1. Select: Stimmt die Einstellung am Exerciser mit der Selektierung am Drive überein, so muß die LW-LED rot leuchten.
2. Headload: Wird der Headload-Schalter am Exerciser auf Normal gelegt, muß der Magnet anziehen und der Ladearm auf den Kopf drücken.
3. MTRN: In der Stellung Spindel Motor Run läuft der Drivemotor.
4. Spur 0: Bei Betätigung der Restore Taste muß der Steppermotor auf Spur 0 zurückfahren und die LED am Exerciser aufleuchten. Es wird nun überprüft, ob der mechanische Anschlag ebenfalls auf Spur 0 steht. Dazu wird der Kopf mit dem Finger nach außen bis zum Anschlag geschoben. Kehrt er in seine Ursprungslage zurück, ist die Einstellung in Ordnung. Der Schiebeweg sollte ca. 1/2 Spurbreite betragen.
5. RDY: Werden Headload auf Normal und MTRN auf RUN gelegt und eine Taste betätigt, muß die LED für die Ready Status Meldung aufleuchten, falls sich eine Diskette im Laufwerk befindet.
6. Index: Die Index LED leuchtet auf, wenn keine Diskette im Laufwerk ist. Ansonsten pulst sie bei jeder Umdrehung.
7. File protect: Ist die Diskette schreibgeschützt, wird dies durch Aufleuchten der WPT-LED angezeigt.
8. Schlitten-Vor- und Rücklauf: Dieser Teil zeigt, ob die elektrischen Anweisungen auch mechanisch ausgeführt werden. Man geht dazu folgendermaßen vor:

Exerciser --- Drive funktionsbereit machen
COMMAND SEQUENCE-Schalter auf SK stellen
Programmschalter auf Continuous stellen
Restore ---> Schlitten auf Spur 0 fahren

Einstellen der obersten Spur: 64 + 8 + 4
LOAD M-Taste betätigen
Einstellung zurücknehmen
EXECUTE-Taste betätigen

Nun wird der Kopf fortlaufend zwischen Spur 0 und 76 hin- und herfahren.



6.1 Kopfreinigung

Notwendig wenn:

- regelmäßige Lesefehler auftreten,
- Kratzer auf der Diskettenoberfläche bemerkt werden.

Benötigte Ausrüstung:

- Exerciser
- Reinigungsdiskette

Vorgehensweise:

1. Exerciser an Laufwerk anschließen, Geräte einschalten
2. Reinigungsdiskette einführen, Laufwerk auswählen
3. Reinigungsdauer nach Empfehlung des Reinigungsdiskettenherstellers

Achtung:

1. Zur Erhöhung der Reinigungswirkung während des Reinigungsvorgangs alle Spuren durchfahren
2. Reinigungsvorgang laut Gebrauchsanleitung der Reinigungsdiskette



6.2 Einstellung der Drehzahl des Spindelmotors

Diese Einstellung ist stets als Erstes vorzunehmen, da von der korrekten Drehzahl des Spindelmotors andere Einstelldaten abhängig sind (z.B. Index-Sensor).

Benötigte Ausrüstung:

- Exerciser
- Diskette
- Zähler (bzw. Oszillograph)
- Abgleichschraubenzieher

Vorgehensweise:

1. Exerciser anschließen und Geräte einschalten
2. Diskette einlegen und Motor mit "Drive-select" einschalten
3. HLMG ON (Köpfe geladen)
4. auf Spur 00 fahren
5. Zähler an INDEX anschließen (TP 14 oder Pin 6 IC B5)
6. nach Abb. 6-1 so abgleichen, daß $198.6 \text{ ms} < T < 201.4 \text{ ms}$ ist
7. Trimpoti mit Lack sichern

Mit Testdebugger und formatierter Diskette:

1. auf Spur 00 fahren: TD >FC 1 0
2. Zähler anschließen und Abgleich wie oben

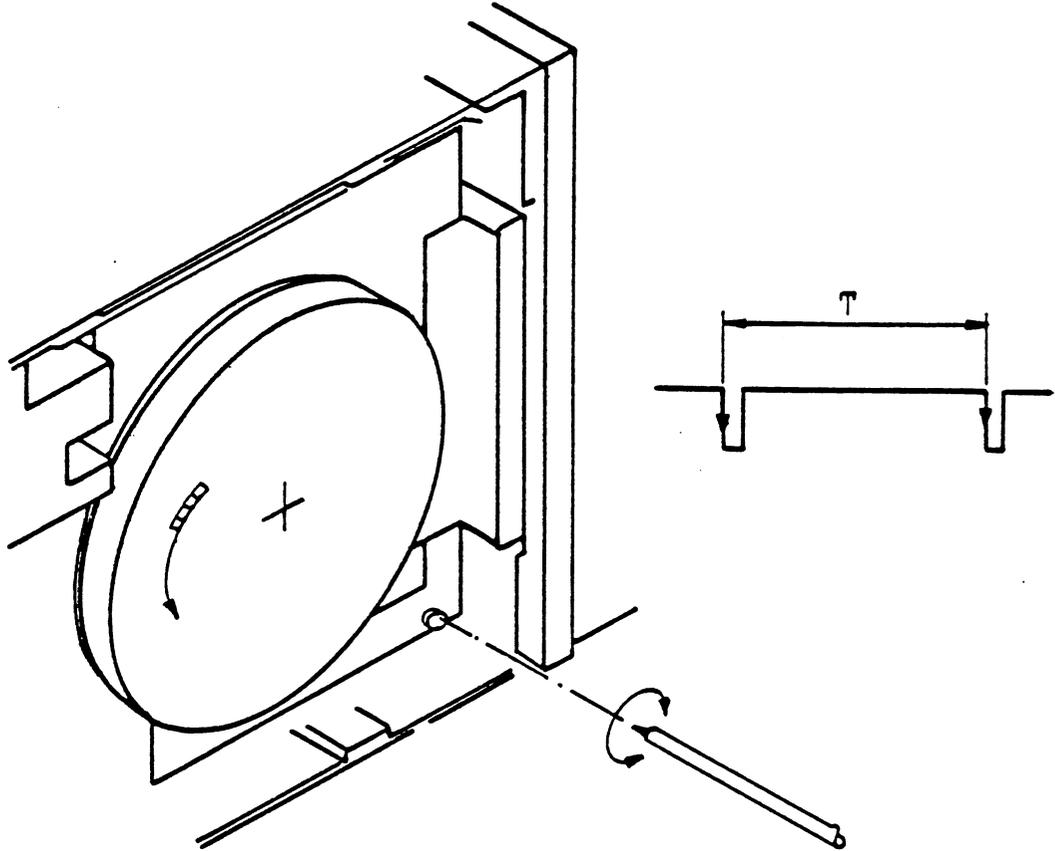


Abb. 6-1: Spindel-Adjustment



6.3 Spur 00-Einstellung

Die Spur 00-Einstellung dient einer Grobjustage. Sie soll verhindern, daß der Kopf am Chassis aufläuft. Eine genaue Positionierung des Kopfes auf die einzelnen Spuren erfolgt über die Eye-Pattern.

Benötigte Ausrüstung:

- Exerciser
- Diskette
- Kreuzschlitzschraubenzieher
- 2-Kanal-Oszilloskop
- 1,5 mm Inbusschlüssel

Vorgehensweise:

1. Exerciser anschließen, einschalten und Diskette einlegen
2. Motor einschalten
3. Wiederholte Suche nach Spur 00 und Spur 02
4. Kurvenform bei Spur 00 beobachten
 - Trigger CH1: - Step (DC) interface (IC D5, Pin 11)
ab Rev. E:TP 15
 - Signal CH2: - TK00 (DC) Signal (IC B5, Pin 8)
ab Rev. E:TP 13
5. Schraube gemäß Abb. 6-2 lösen und TK00 Sensor verschieben, bis die beschriebenen Zeitverhältnisse erreicht werden.
6. Schraube festziehen

Diese Einstellung ist mit dem Testdebugger **nicht** möglich, da dieser als Rückmeldung Daten-Signale benötigt, die auf der Alignment-Diskette nicht vorhanden sind.

- Achtung:**
1. Stepperrate mit Exerciser auf 3 ms festlegen
 2. Sicherstellen, daß auf dem Steppersignal 2 Pulse vorhanden sind.

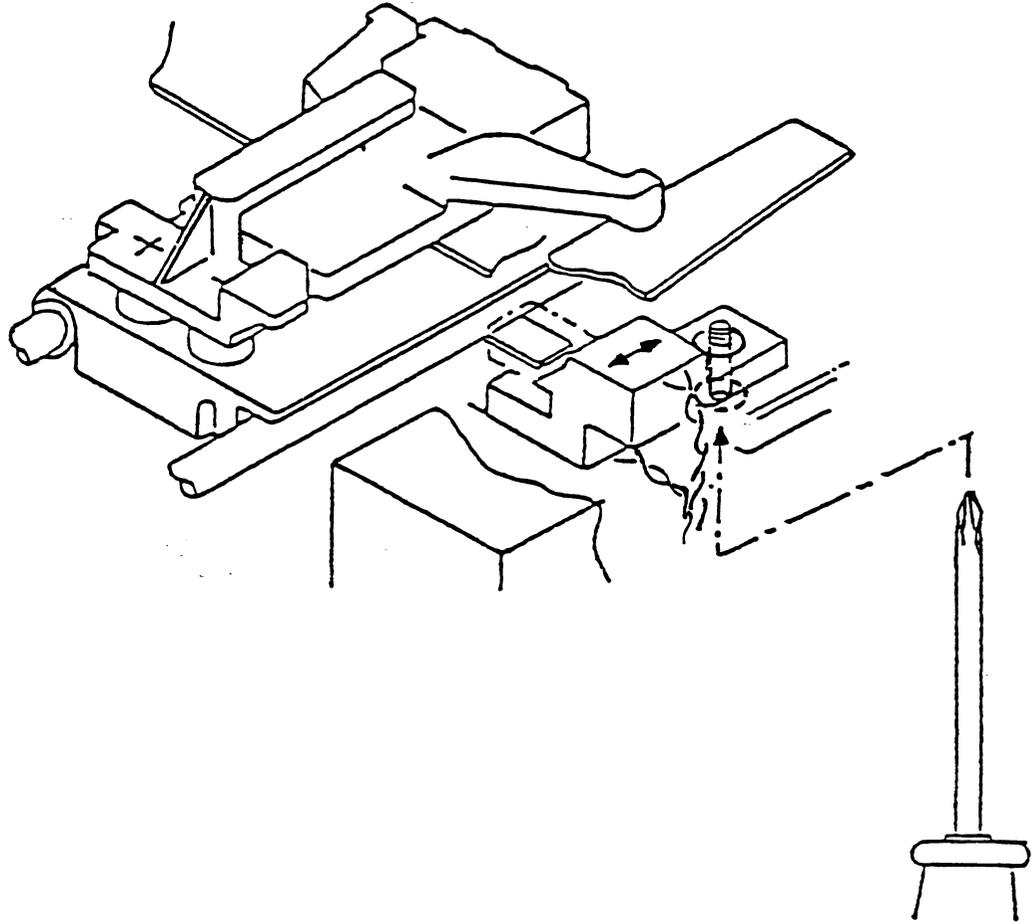
Diese Spur 00-Einstellung kann außerdem auch auf folgende Weise einfacher vorgenommen werden, wobei nur der Exerciser nötig ist:

1. Mit dem Exerciser den Kopf auf Spur 00 fahren.
2. Mit dem Finger die Kopfaufnahme nach außen schieben.

Es soll ein Spiel von etwa einer halben Spurbreite (ca. 0.1 mm) zwischen Spur 00 und Anschlag verbleiben. Gegebenenfalls muß der Spur00-Sensor neu justiert werden.

Diese Einstellung kann auch mit einer formatierten Diskette und dem Testdebugger vorgenommen werden: TD>FC 1 0. Sonst wie unter 1. und 2. beschrieben.

Abb. 6-2 erläutert diese Einstellhinweise.



Trigger (CH 1)

- STEP

Signal (CH 2)

TK 00

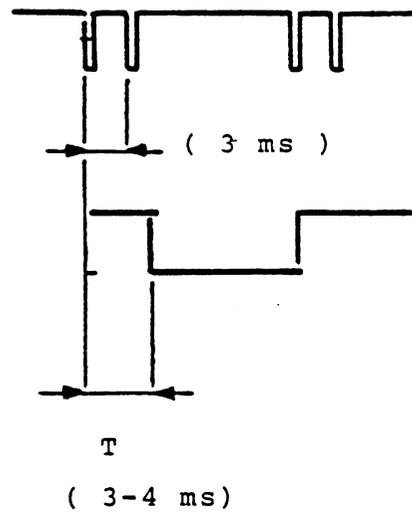


Abb. 6-2: Spur 00-Einstellung



6.4 Index-Sensor einstellen

Das Index-Signal bezeichnet bekannterweise den Anfang einer Spur auf der Diskette. Der Index-Sensor muß deshalb so justiert werden, daß der Kopf am Anfang einer Spur steht, wenn das Index-Loch der Diskette beim Passieren des Index-Sensors einen Impuls erzeugt.

Benötigte Ausrüstung:

- Exerciser
- Alignment-Diskette
- Kreuzschlitzschraubenzieher
- 2-Kanal-Oszilloskop

Vorgehensweise:

1. Exerciser ans Laufwerk anschließen
(vorher Netzspannung abschalten)
2. Diskette einlegen
3. Einschalten
4. Select-Drive wählen
5. an Testpunkt TPB 9 und 10 im Lesemodus auf Spur 02 und Spur 68 gemäß Abb. 6-3 durch Verschieben der Schaltung einstellen. Eventuell müssen die Bohrungen der Platine vergrößert werden.

Trigger: ext - Index (DC,-) 20 ms/div IC B5- Pin 6
ab Rev. E:TP 14

Signal: CH1 - TPB9 (AC) 50 mV/div)
CH2 - TPB10 (AC,INV) 50 mV/div) Add

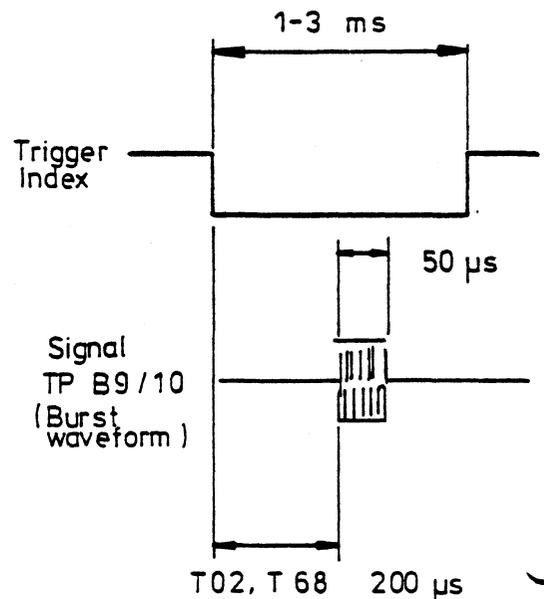
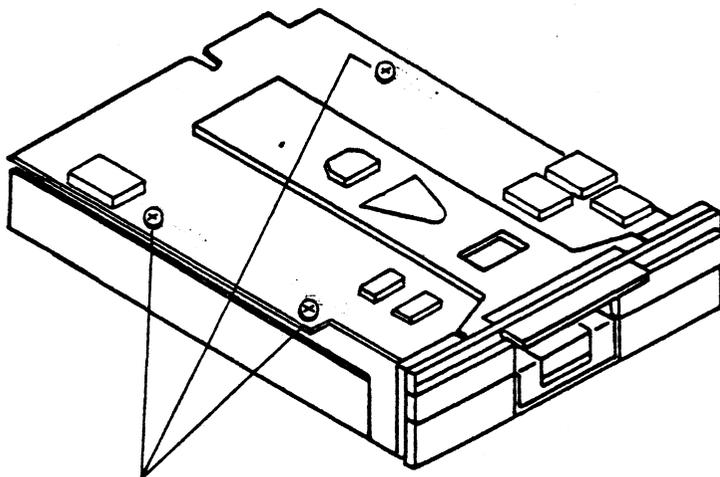


Abb. 6-3: Index-Sensor-Einstellung



6.5 Kopf-Einstellung

Diese Einstellung dient der genauen Positionierung des Kopfes über der Spur.

Benötigte Ausrüstung:

- Exerciser
- Alignment Diskette
- 2-Kanal-Oszillograph

Vorgehensweise:

1. Tester an Drive anschließen (Power off) und einschalten
2. Motor ein und Drive selektieren
3. Spur 00 bis 32 abtasten; an Testpunkt TPB9 und TPB10 im Read-Modus wie in Abb. 6-4 ablesen.

Einstelldaten: wenn $A > B$ $B/A > 0.75$
 $A < B$ $A/B < 0.75$

6. Zum Einstellen Schrauben lt. Abb. 6-4 lösen und den Steppermotor so verdrehen, bis die Soll-Daten erreicht werden.

Achtung: Die Head Alignment-Einstellungen sollten unter folgenden Umgebungs-Bedingungen durchgeführt werden:

Temperatur: 23 Grad C (über 2 Stunden)
50 % rel. Feuchte

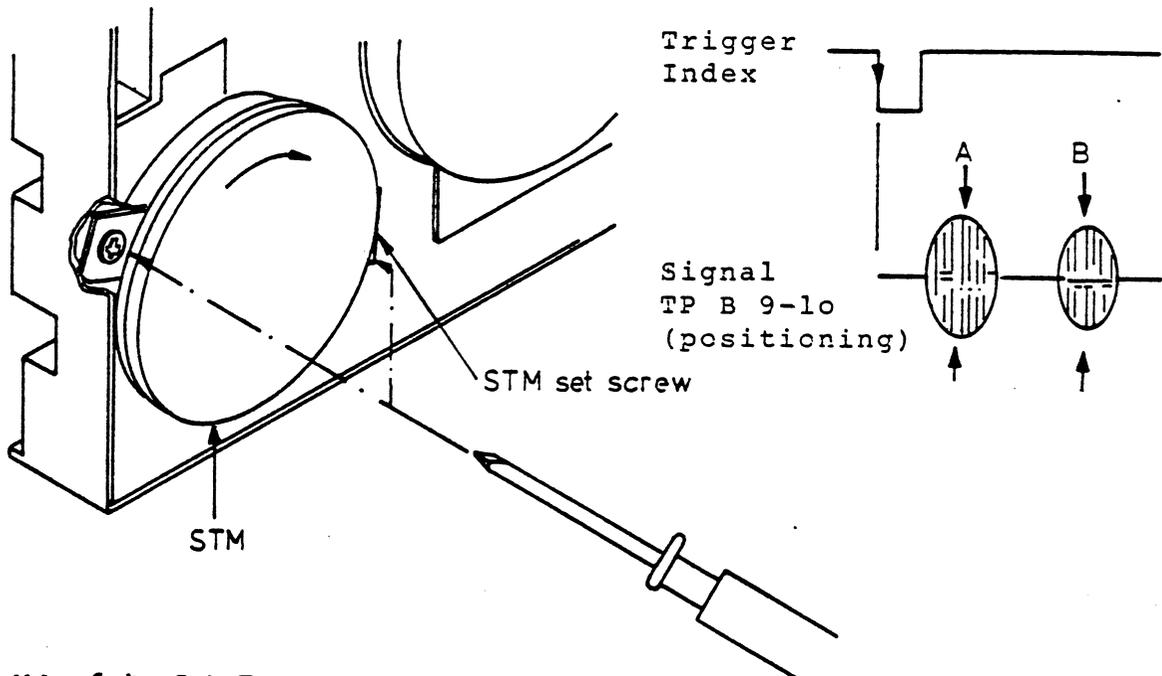


Abb. 6-4: Cat Eyes



6.6 Azimuth-Überprüfung

Die Kontrolle der folgenden Signale ermöglicht eine Aussage darüber, ob der Kopf richtig im Schlitten montiert ist, d.h. es wird angezeigt, ob der Lesespalt genau parallel zur Spurrichtung steht.

Ausrüstung:

- Exerciser
- Alignment-Diskette
- Oszilloskop

Vorgehensweise:

1. Exerciser am Drive anschließen und einschalten
2. Alignment-Diskette laden
3. Motor einschalten und Drive auswählen
4. Spur 68 anwählen
5. Kurvenform ablesen

Trigger EXT - Index (DC,-) 0.5 ms/div
CH1 - TPB9 (AC) 50 mV/div) ADD
CH2 - TPB10 (AC,INV) 50 mV/div)

6. Die Einstellung stimmt, wenn sich die Kurven im angegebenen Bereich befinden.

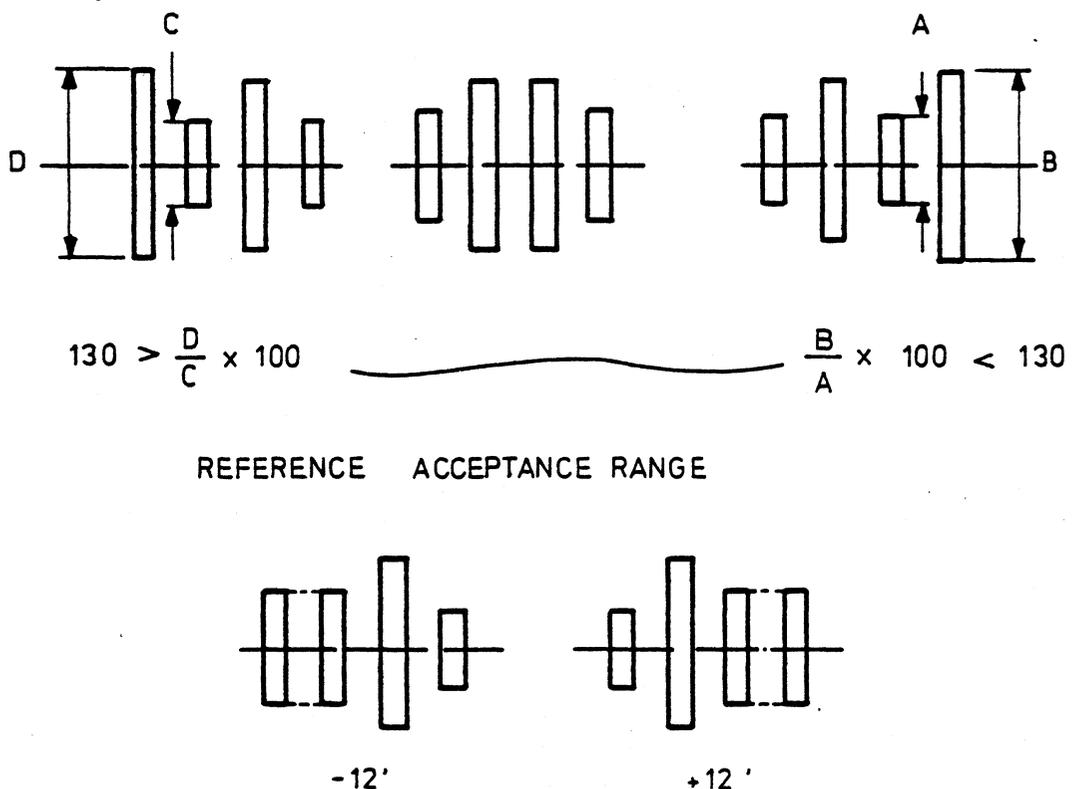


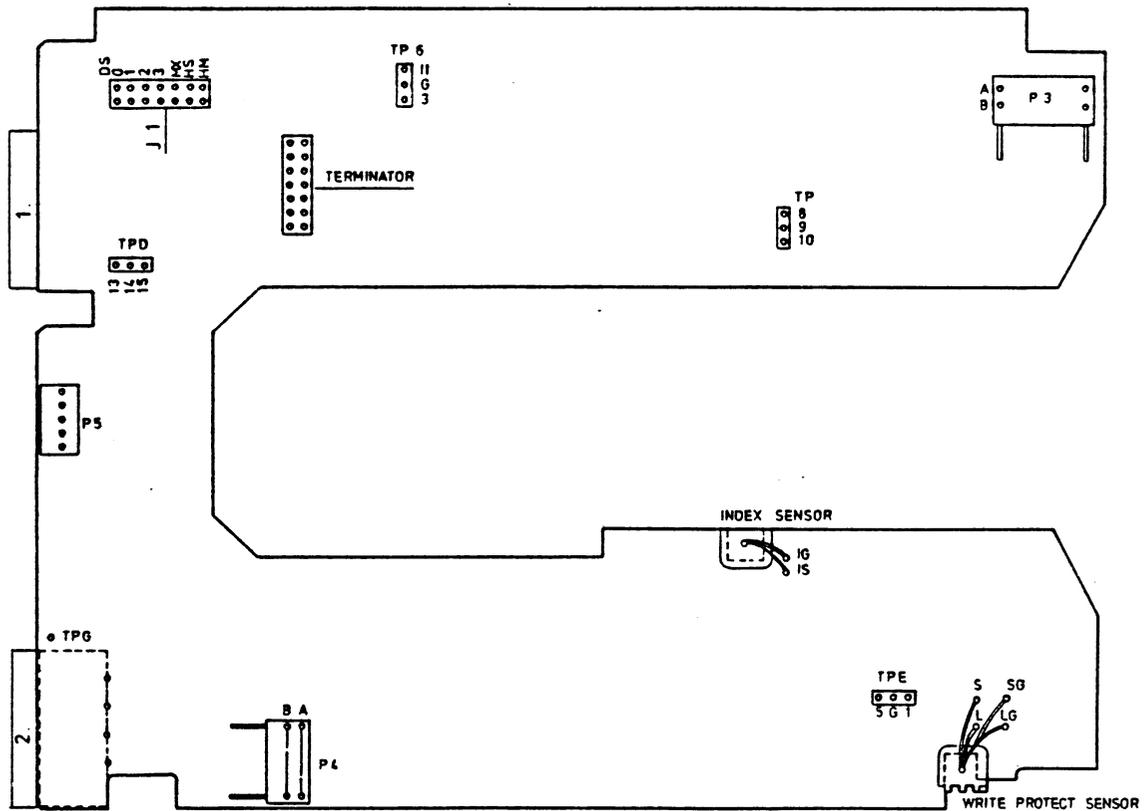
Abb. 6-5: Azimuth-Signale



7. Anschlußbelegungen und Testpunkte

7.1 Drive-Elektronik

Folgende Abbildung zeigt ein Bild der Platine mit ihren Steckverbindungen und Jumpern.



M 4853
LOGIC DIAGRAM

IS: INDEX-Sensor
WPS: WRITE-PROTECT-Sensor
J1: Jumper für Drive Select, HM, HS
J2: Nur bei letztem Laufwerk einer Reihe gesteckt lassen

1. Signalanschluß
2. Spannungszuführung
3. Kopf-Anschluß
4. Kopflademagnet etc.
5. Masse

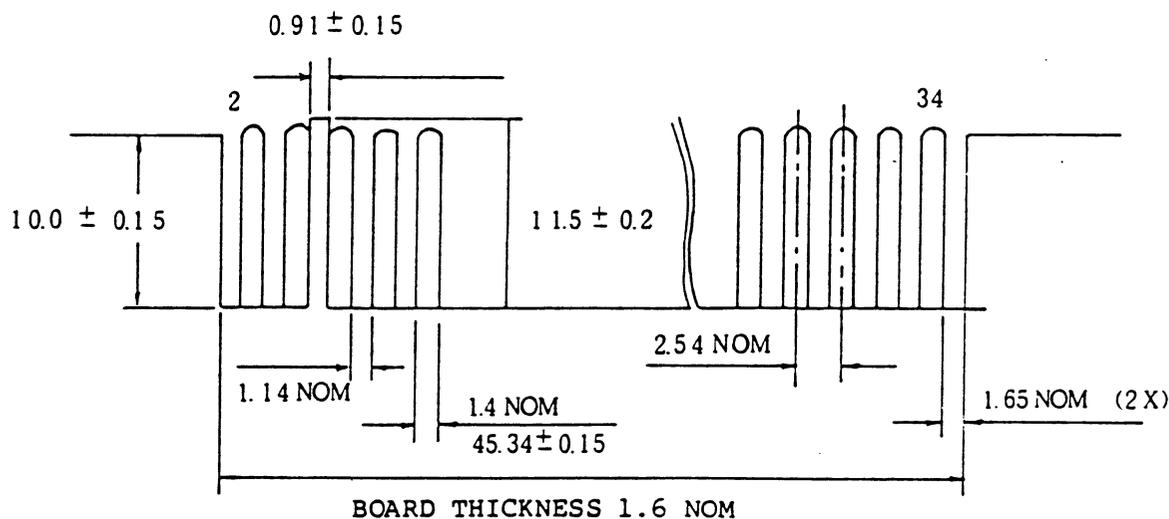


7.3 Steckerbezeichnung und PIN-Belegungsplan

7.3.1 Signalanschluß

Signal	PIN	Masse-Rückführung PIN
SPARE	2	1
IN USE	4	3
DRIVE SELECT 3	6	5
INDEX	8	7
DRIVE SELECT 0	10	9
DRIVE SELECT 1	12	11
DRIVE SELECT 2	14	13
MOTOR ON	16	15
DIRECTION SELECT	18	17
STEP	20	19
WRITE DATA	22	21
WRITE GATE	24	23
TRACK 00	26	25
WRITE PROTECT	28	27
READ DATA	30	29
SIDE ON SELECT	32	31
READY	34	33

Bestückungsseite:



Auf Bestückungsseite geradzahlige Pin's,
auf Lötseite ungeradzahlige PIN's.

Passende Stecker:

- Scotch Flex P/N 3365/34
- AMP P/N 1-583717-5



7.3.2 Spannungszuführung

Spannung	Pin Nr.
+ 12V DC	1
12V Rückführung	2
5 V Rückführung	3
+ 5V DC	4

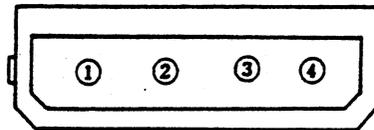
Die Spannungen müssen folgenden Bedingungen genügen:

Spannung	Abweichung	Strom	max. Peak to Peak Überlagerung
+ 5V DC	+/- 0.25 V (+/- 5%)	1.0 A max. 0.5 A typ	50 mV
+ 12V DC	+/- 0.6 V (+/- 5%)	1.0 A max. 0.7 A typ	100 mV

Steckerbelegung:

passender Stecker:

AMP P/N 172349-1





7.3.3 Schreib-/Lesekopf-Anschluß

Pin	Signal
A1	GND
A2	GND
A3	CT-0
A4	GND 0
A5	ER-0
A6	R/W-0
A7	R/W-0
B1	GND
B2	GND
B3	CT-1
B4	GND-1
B5	ER-1
B6	R/W-1
B7	R/W-1



7.3.4 Interne Anschlüsse

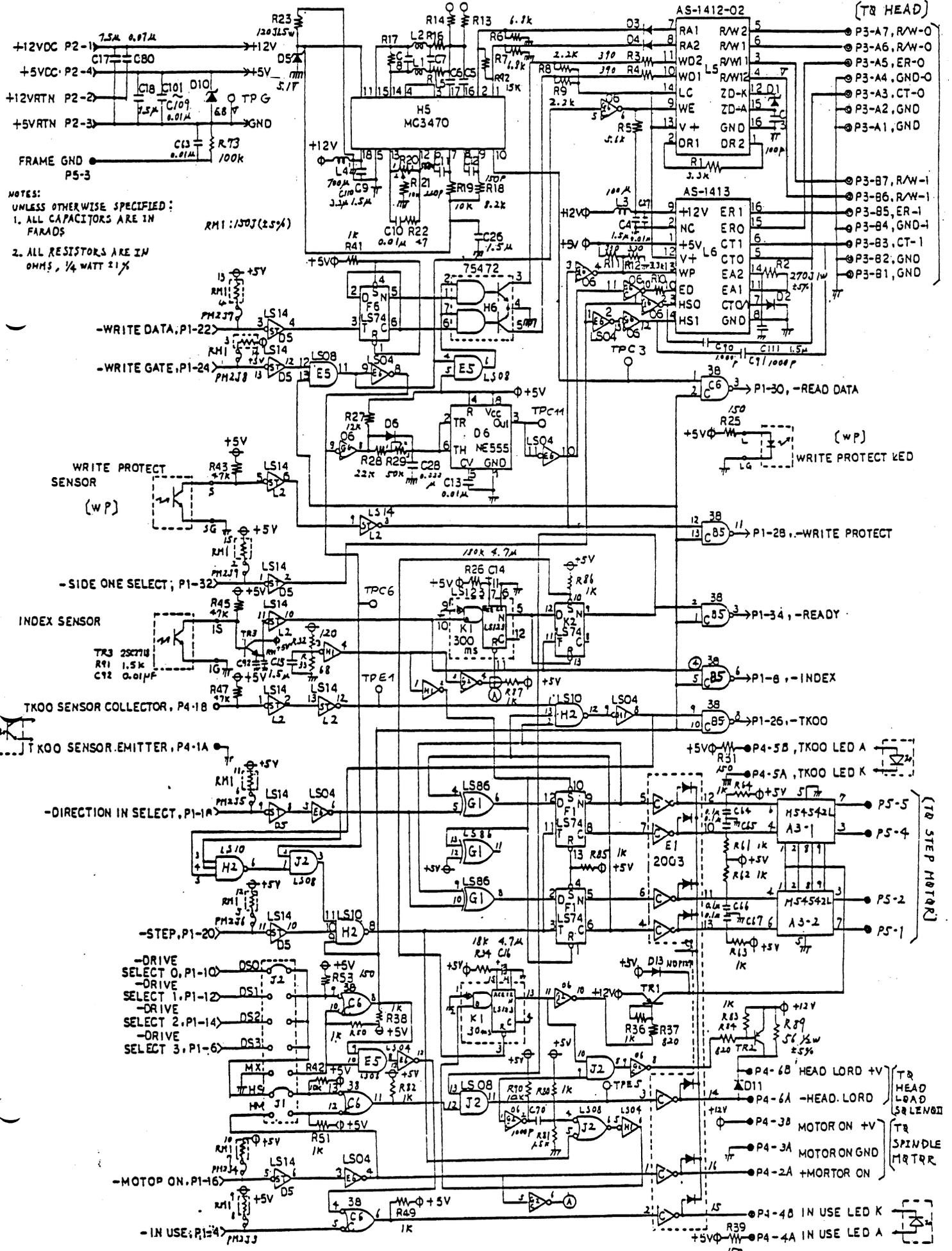
(Kopf laden, Spindelmotor, Activity-LED, Track 00-Sensor)

Pin	Signal	Bemerkung
1A	TK00-Sensor	Emitter
1B	TK00-Sensor	Kollektor
2A	+ MOTOR ON	
2B	nc	
3A	MOTOR ON GND	
3B	+ V MOTOR ON	
4A	IN USE-LED	Anode
4B	IN USE-LED	Kathode
5A	TK00-Sensor	LED K
5B	TK00-Sensor	LED A
6A	- Head Load	
6B	Head Load	

Anschluß für Steppermotor: Pin 5 = Masse Rahmen



ANHANG SCHALTPLAN



NOTES:
 UNLESS OTHERWISE SPECIFIED:
 1. ALL CAPACITORS ARE IN FARADS
 2. ALL RESISTORS ARE IN OHMS, 1/4 WATT 21%

(TR HEAD)

(WP)

(TR STEP MOTOR)

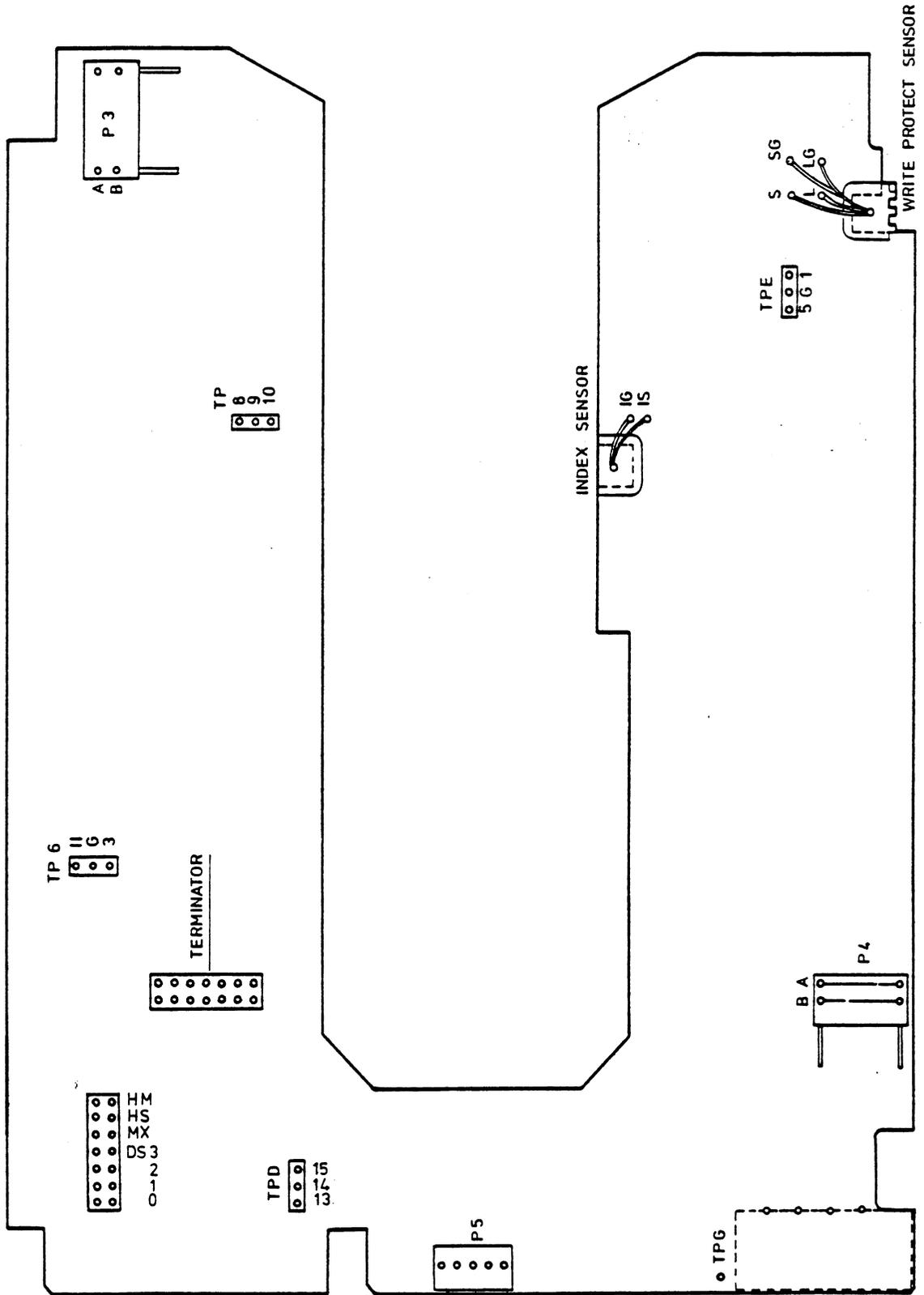
(TR HEAD LOAD)
 (TR SPINDLE)
 (TR MOTOR)

(IN USE LED)



ANHANG BESTÜCKUNGSPLAN

M 4853 (Logic Diagram)



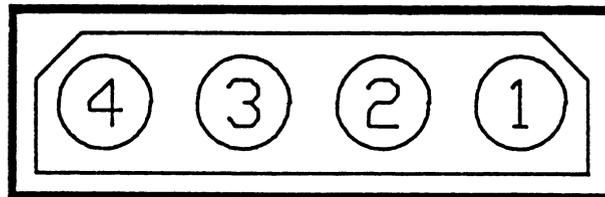


Zusammenstellung der wichtigsten technischen Daten des Adaptec-Controllers ACB 4000:

Die 4000er-Serie unterstützt max. zwei Winchester-Laufwerke, die dem Seagate ST-506/412 Interface entsprechen.

Spannungsversorgung: + 5V +/- 5% bei max. 1.5 A
 + 12V +/- 5% bei max. 300 mA

Die Spannungsversorgung erfolgt über einen 4-poligen Steckverbinder (AMP P/N 1-480424-0). Die Anschlüsse sind wie folgt belegt:



Betriebstemperatur: Im Betrieb: 0...55 Grad C
 Lagerung: - 40...75 Grad C

Der Controller sollte keiner Luftfeuchtigkeit, die den Bereich von 10 % ... 95 % (nicht kondensierend) übersteigt, ausgesetzt werden.



Installation des Controllers ADC-4000

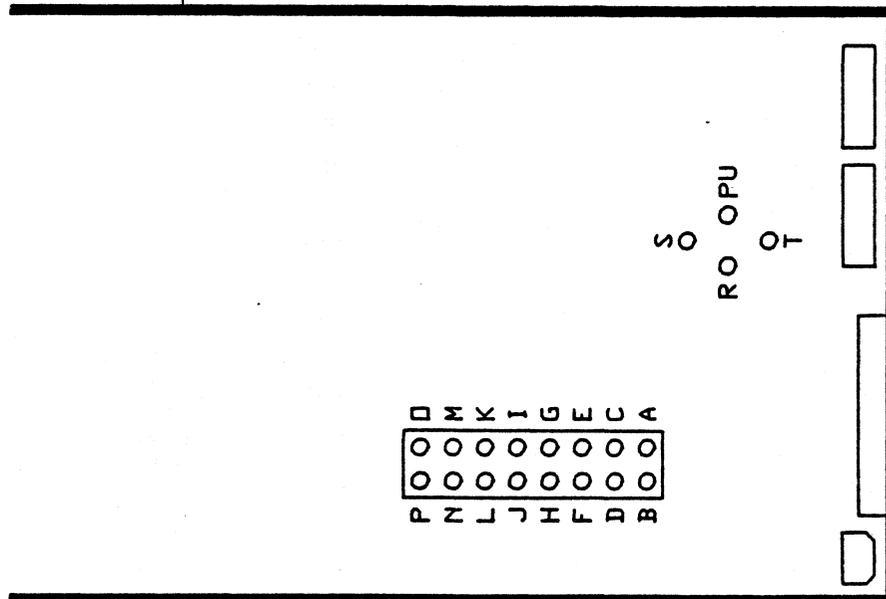
Der Controller ist sehr leicht zu konfigurieren.

Auf der Platine befinden sich zwei Jumperfelder, die folgende Bedeutungen besitzen:

Das **lange** Jumperfeld neben U9 ist für die Einstellung der Controlleradresse sowie der Auswahl eines speziellen Prüfmodus zuständig.

Das **kleine** Jumperfeld in der Nähe des Harddiskanschlusses ist für die Auswahl des Precompensationsmodus zuständig.

Jumper auf ACB-4000



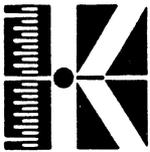
Die Bedeutung der Jumper im einzelnen:

A-B, C-D, E-F: Controllerbusadresse
A-B: niederwertigstes Bit
E-F: höchstwertigstes Bit

Beispiel:

Zur Einstellung der Adressen

7: Alle diese Jumper gesteckt
4: A-B und C-D gesteckt



Der Jumper O-P versetzt das Laufwerk in einen internen Überprüfungsmodus. Im normalen Betrieb darf dieser Jumper nicht gesteckt sein.

Einstellung des Precompensationsjumpers

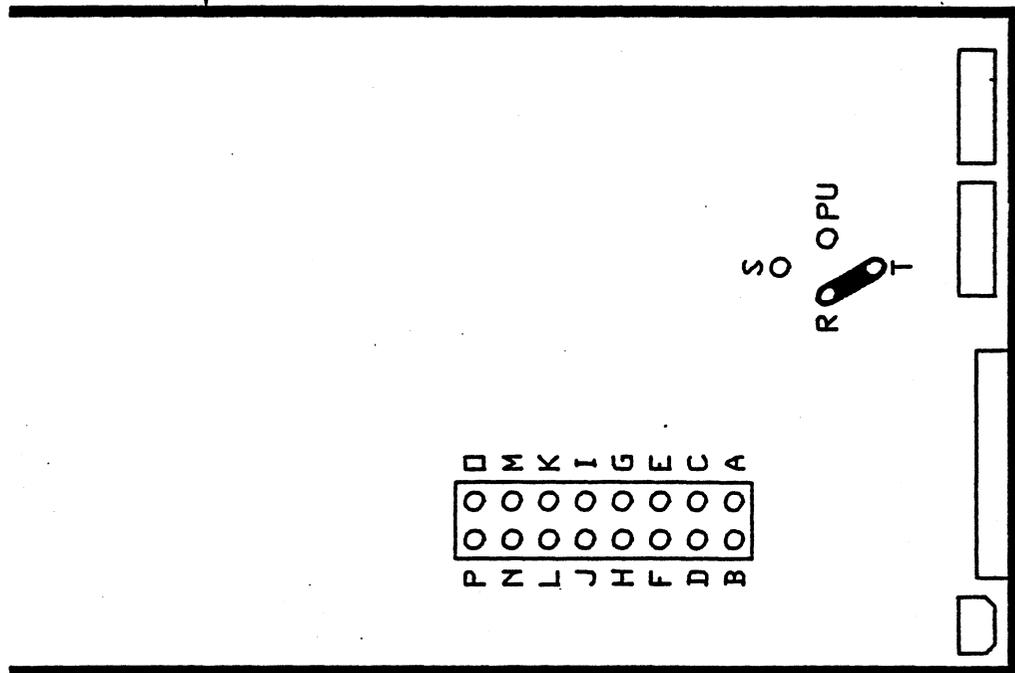
Es stehen folgende Möglichkeiten zur Verfügung:

- | | | |
|------|--------------------|---|
| R-PU | (bzw. kein Jumper) | Ohne "Precompensation"
(z.B. für Maxtor-Laufwerke) |
| R-S | | "Precompensation" mit "Reduced Write
Current Line" verbunden |
| R-T | | Mit "Precompensation" |

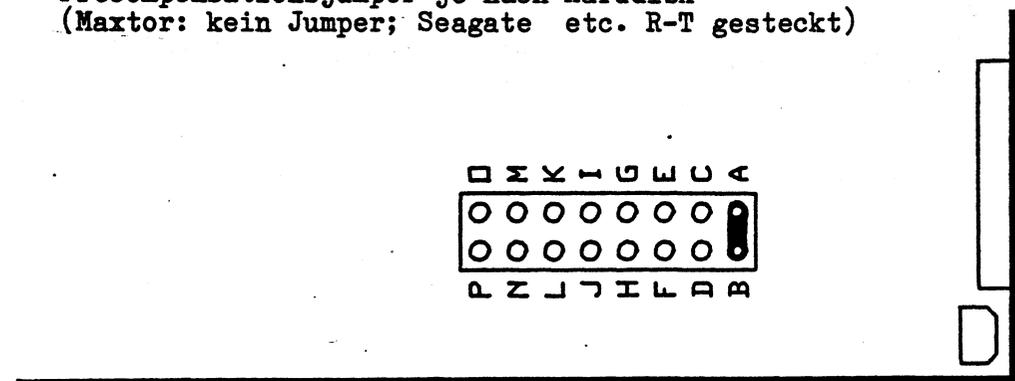


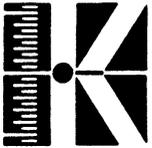
Einsatz des Controllers in Kontron-Geräten:

- 1) in Zusammenarbeit mit 10, 20, 40 MByte-Harddisk (z.B. Kontron PSI 98, 908/98xx): Es darf nur Jumper R-T gesteckt werden.



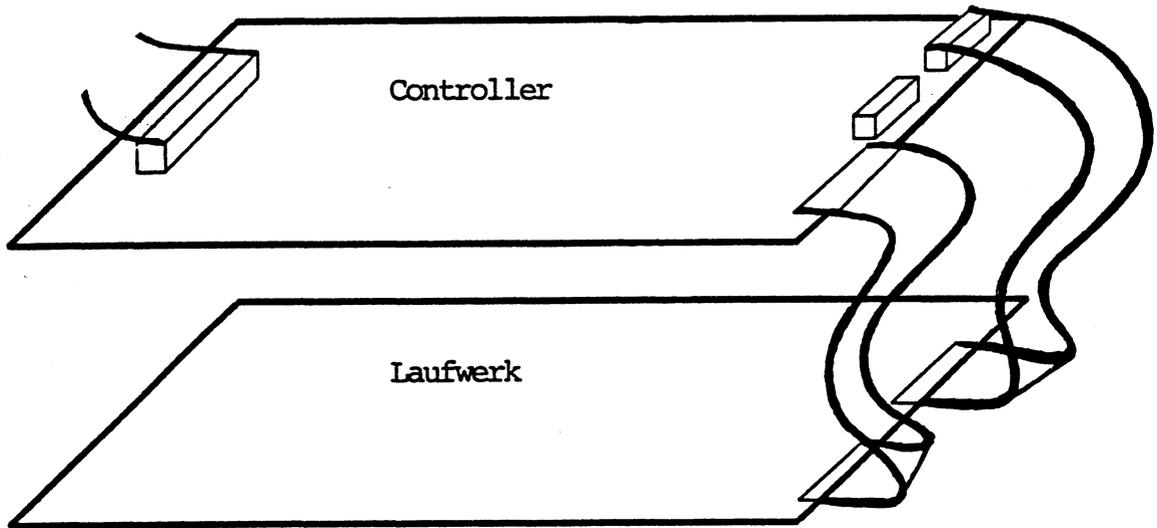
- 2) In Zusammenarbeit mit 140 MByte Maxtor-Laufwerk (z.B. Kontron PSI 9068):
Keine Jumper
- 3) Anschluß über externen Controller (nicht über den Sasi-Bus):
Jumper A-B gesteckt
Precompensationsjumper je nach Harddisk
(Maxtor: kein Jumper; Seagate etc. R-T gesteckt)





Anschluß der Harddisk am Controller

In einigen Kontron-Systemen (wie z.B. Kontron PSI 98, 980, 9xxx) ist der Controller direkt unter der Harddisk montiert. Der Anschluß hat dann wie folgt zu erfolgen:

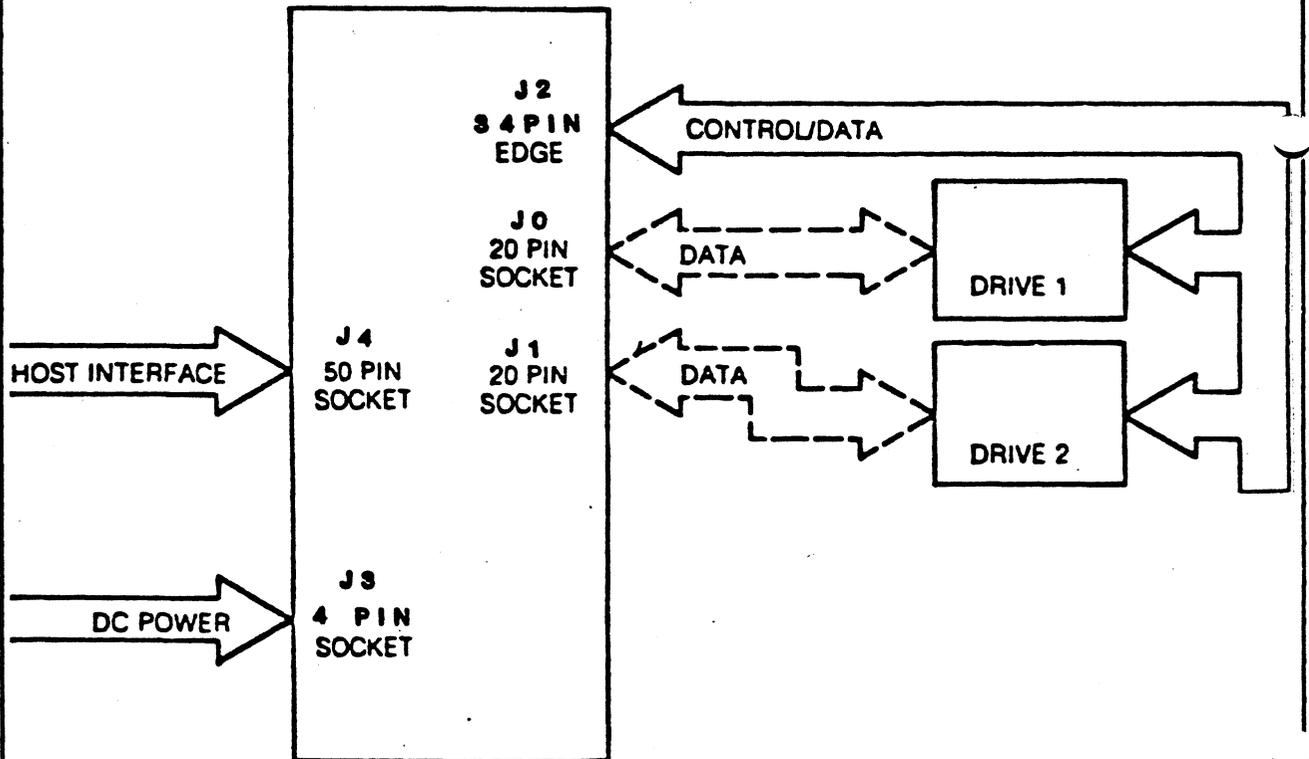


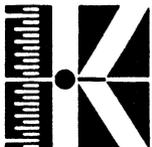


In anderen Typen ist der Controller an anderer Stelle montiert. Die Kabelverbindungen sind dann den Servicebeschreibungen der entsprechenden Systeme zu entnehmen.

Kabelverbindungen:

An einem Controller können maximal zwei Laufwerke angeschlossen werden. Der Anschluß erfolgt an folgenden Steckern:





Anschlußbelegungen des Controllers:

Controll- und Datenleitungen zum Rechnerinterface (z.B. SASI-Anschluß):

GROUND	! 1 !	! 2 !	DATA BIT 0 (DB0)	
.	! !	! 4 !		1
.	! !	! 6 !		2
.	! !	! 8 !		3
.	! !	! 10 !		4
.	! !	! 12 !		5
.	! !	! 14 !		6
.	! !	! 16 !	DATA BIT 7 (DB7)	
.	! !	! 18 !	PARITY BIT	
.	! !	! 20 !	} FOR FUTURE USE	
.	! !	! 22 !		
.	! !	! 24 !		
.	! !	! 26 !		
.	! !	! 28 !		
.	! !	! 30 !		
.	! !	! 32 !	- ATTENTION (ATN)	<----- INPUT
.	! !	! 34 !	SPARE	
.	! !	! 36 !	- BUSY (BSY)	-----> OUTPUT
.	! !	! 38 !	- ACKNOWLEDGE (ACK)	<----- INPUT
.	! !	! 40 !	- RESET (RST)	<----- INPUT
.	! !	! 42 !	- MESSAGE (MSG)	-----> OUTPUT
.	! !	! 44 !	- SELECT (SEL)	<----- INPUT
.	! !	! 46 !	- CONTROL/DATA (C/D)	-----> OUTPUT
.	! !	! 48 !	- REQUEST (REQ)	-----> OUTPUT
.	! 49 !	! 50 !	- INPUT/OUTPUT (I/O)	-----> OUTPUT
GROUND	! !	! !		

Alle ungeraden Pins sind mit Masse (GND) verbunden.



Über J2 laufen alle Kontrolleitungen für die Festplatte. Die Anschlußpins sind von 1 bis 34 durchnummeriert. Die geradzahligen Pins befinden sich auf der Bauteilseite. Die Pinbelegung geht aus folgender Tabelle hervor:

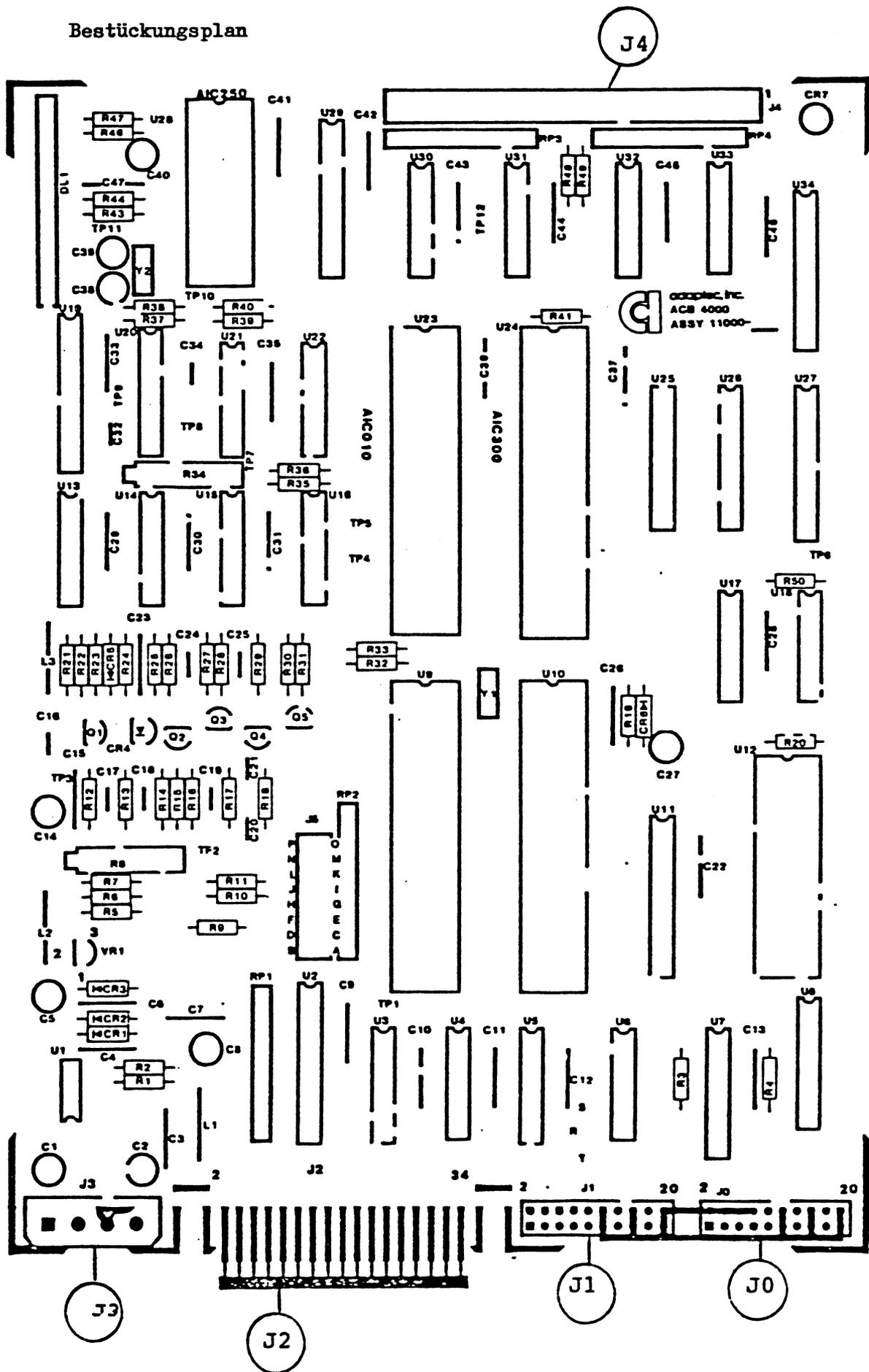
GND RTN PIN	SIGNAL PIN	SIGNAL NAME
1	2	-RED WR CUR/HD ²³
3	4	-HEAD SELECT 2 ²
5	6	-WRITE GATE
7	8	-SEEK COMPLETE
9	10	-TRACK 0
11	12	-WRITE FAULT
13	14	-HEAD SELECT 2 ⁰
15	16	RESERVED
17	18	-HEAD SELECT 2 ¹
19	20	-INDEX
21	22	-READY
23	24	-STEP
25	26	-DRIVE SELECT 1
27	28	-DRIVE SELECT 2
29	30	-DRIVE SELECT 3
31	32	-DRIVE SELECT 4
33	34	-DIRECTION IN

J0 und J1 sind die Datenleitungen für je eines der zwei möglichen Laufwerke. Folgende Tabelle zeigt die Anschlußbelegung:

GND RTN PIN	SIGNAL PIN	SIGNAL NAME
2	1	-DRIVE SELECTED
4	3	RESERVED
6	5	RESERVED
8	7	RESERVED
	9,10	RESERVED
12	11	GND
	13	*MFM WRITE DATA
	14	-MFM WRITE DATA
16	15	GND
	17	*MFM READ DATA
	18	-MFM READ DATA
20	19	GND

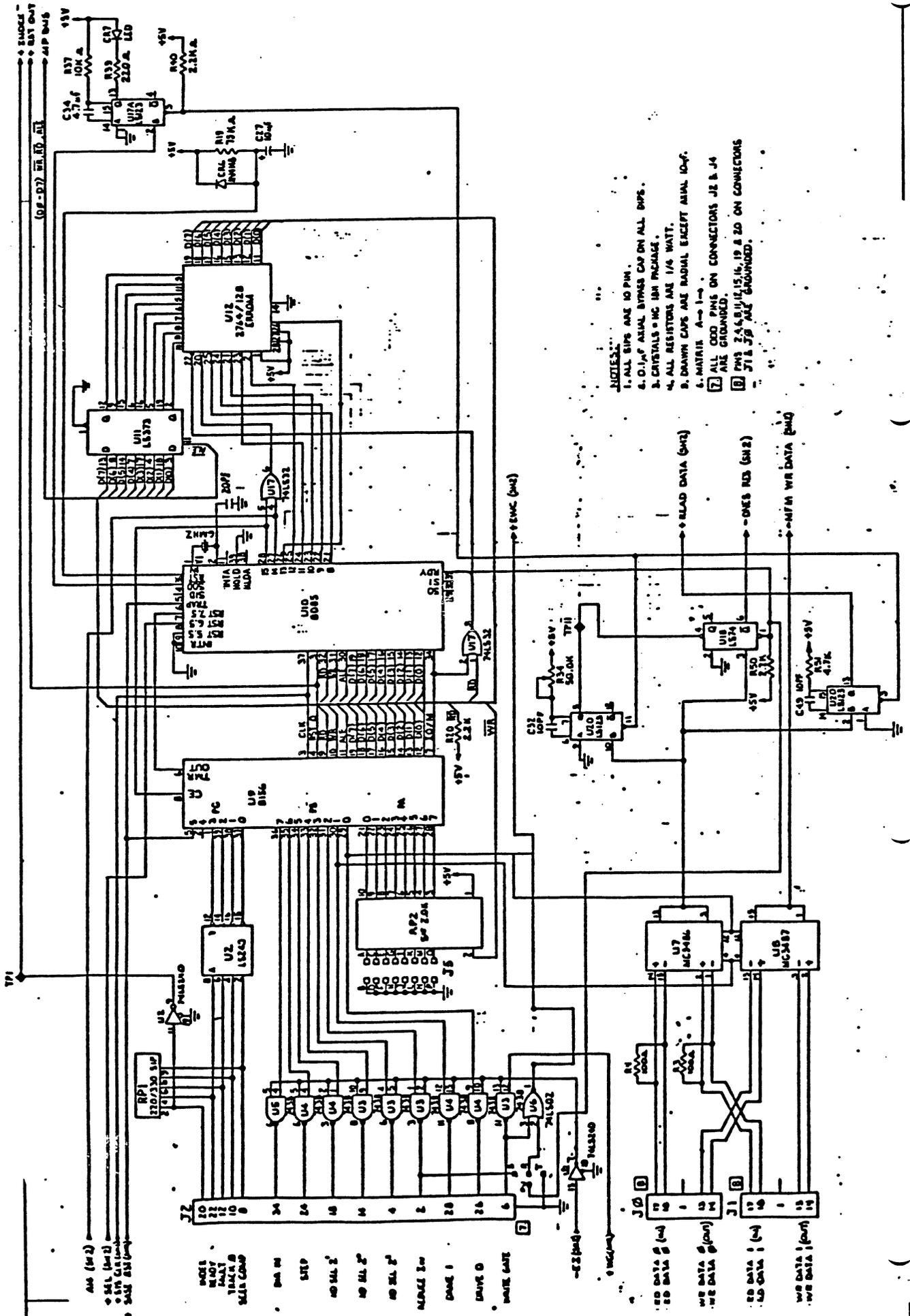


Bestückungsplan



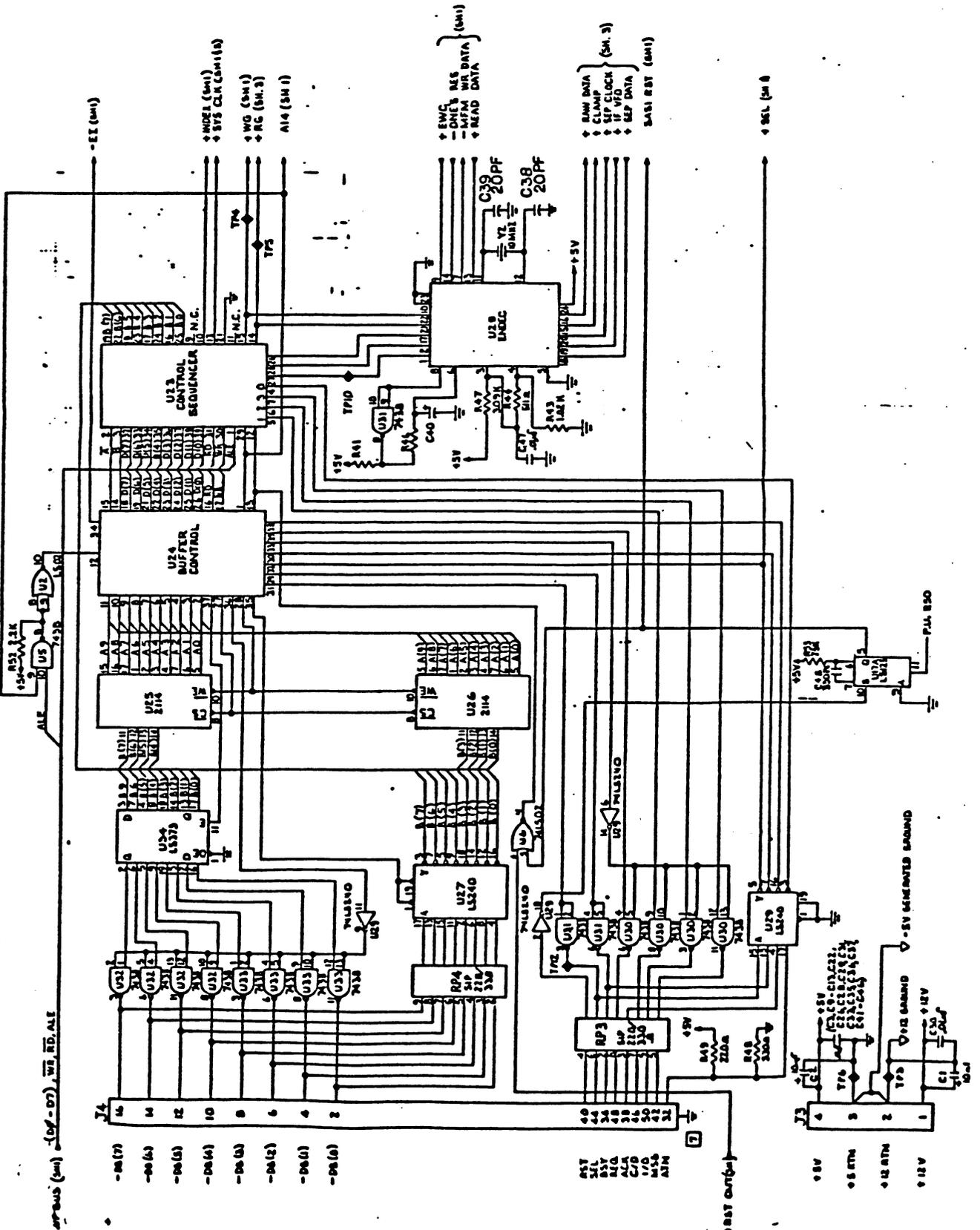


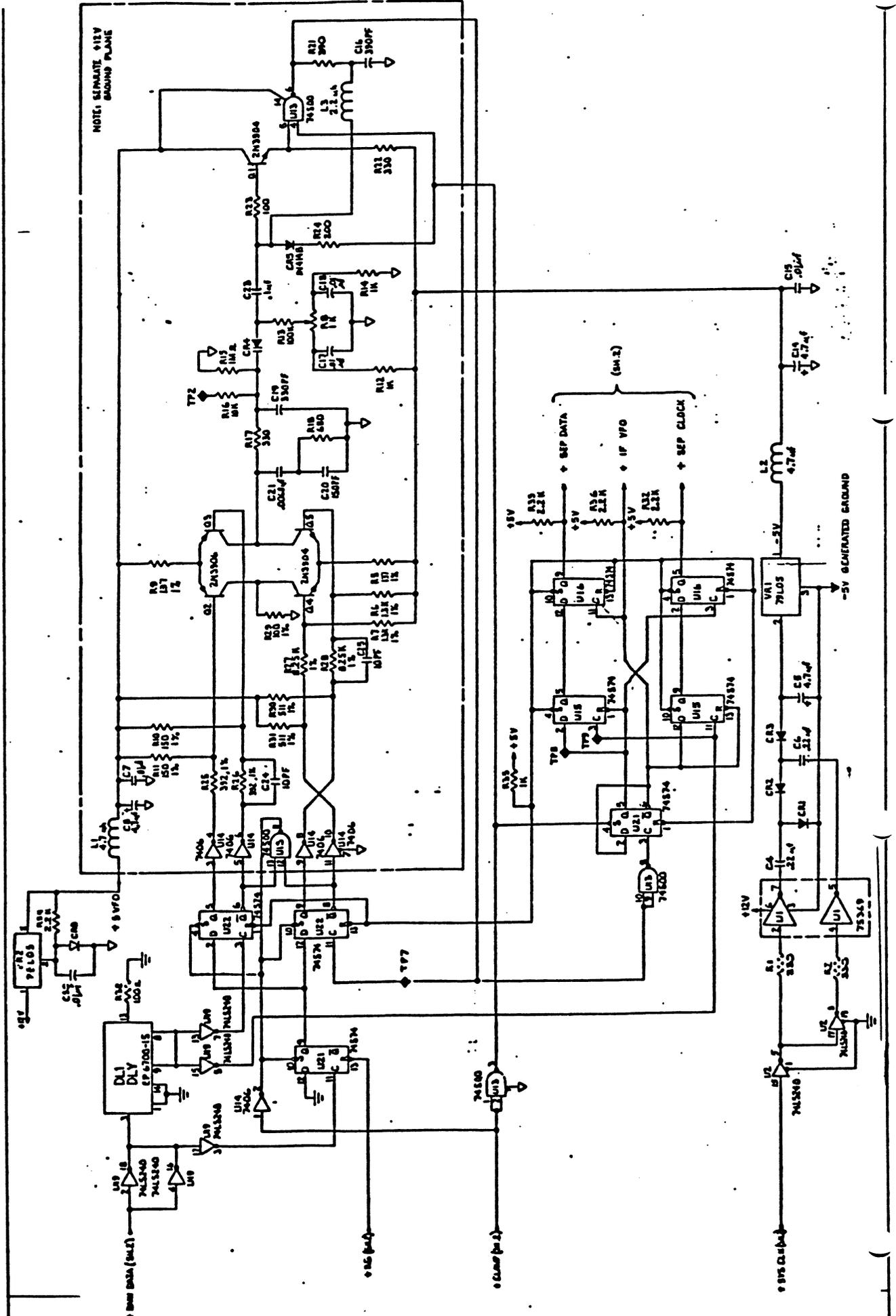
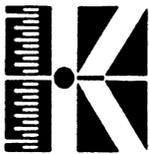
Adaptec-Controller - ACB 4000



- NOTES:**
1. ALL SIPS ARE 10 PIN.
 2. 0.1µF AXIAL BYPASS CAP ON ALL DIPS.
 3. CRYSTALS = MC 181 PACKAGE.
 4. ALL RESISTORS ARE 1/4 WATT.
 5. DRAWN CAPS ARE RADIAL EXCEPT AXIAL 10µF.
 6. MATRIX A → 1 →
 7. ALL ODD PINS ON CONNECTORS J2 & J4 ARE GROUNDED.
 8. PINS 2, 4, 6, 8, 10, 12, 14, 16 & 20 ON CONNECTORS J1 & J3 ALL GROUNDED.

Adaptec-Controller - ACB 4000







Servicebeschreibung MINISCRIBE MODEL 4020

Diese Unterlage beschreibt die Prüf-, Einstell- und Wartungsarbeiten, die an dem 20 MByte Harddisklaufwerk MINISCRIBE MODEL 4020 mit normaler Werkstattausrüstung durchgeführt werden können.



Inhaltsverzeichnis

	Seite
1. Systembeschreibung	2
2. Allgemeines	3
3. Fehlerdiagnose	4
3.1 Index-Sensor	4
3.2 Geräuschentwicklung	6
3.3 Selbstdiagnose	7
4. Anschlüsse	9
5. Einstellungen	11
6. Schaltpläne	12
7. Bestückungsplan	16



1. Systembeschreibung

Harddisklaufwerk Miniscribe Model 4020

Speicherkapazität

je Laufwerk	19.998.720 Bytes
je Plattenoberfläche	4.999.680 Bytes
je Spur	10.416 Bytes
je Zylinder	41.664 Bytes

Anzahl der Scheiben	2
Köpfe	4
Zylinder	480
Datenspuren	1920

Umdrehungsgeschwindigkeit 3600 Upm $\pm 1\%$

Transferrate 5.0 Mbit/sec $\pm 1\%$

Zugriffszeiten

Spur zu Spur	3 ms
mittlere Latenzzeit	8.33 ms
Beruhigungszeit	15 ms

Spannungsversorgung + 12 V DC max 1.5 A
in der Anlaufphase max 3.5 A
+ 5 V DC max 1.0 A

Umgebungsbedingungen

Temperatur	Betrieb	4....46 Grad C
	außer Betrieb	- 40....57 Grad C
Feuchte		8....80 %
		nicht kondensierend

Sonstiges

MTBF	8000 Stunden Betrieb
MTTR	30 Minuten
Startzeit	20 Sekunden
	von "power on" bis "READY"
Stopzeit	15 Sekunden



2. Allgemeines

Mit einer Werkstattausrüstung, wie sie einem Servicetechniker zur Verfügung steht, lassen sich nur wenige Arbeiten an einem Festplattenlaufwerk durchführen. Diese Arbeiten beschränken sich im allgemeinen auf das Überprüfen des Signals "INDEX" sowie der Auswertung der Fehlermeldungen des internen Selbsttestprogrammes.

Da die Laufwerksteuerung durch eine spezielle Mikroprozessorschaltung gesteuert wird, lassen sich Fehler in der Driveelektronik auf Bauteileebene nur schwer diagnostizieren.

Mittels interner Testroutinen ist es allerdings möglich, eine Aussage darüber zu treffen, ob ein Fehler im angeschlossenen System oder am Laufwerk selbst vorliegt.

An der Mechanik des Laufwerkes darf ohne spezielle Ausstattung der Werkstatt (Cleanroom!) nicht herumgebastelt werden! Dabei gilt es auch einen eventuellen Garantieverlust zu beachten.

Erlaubte mechanische Arbeiten, die sich ohne Gefahr durchführen lassen, beschränken sich auf den Wechsel der gedruckten Schaltung sowie des Indexsensors.



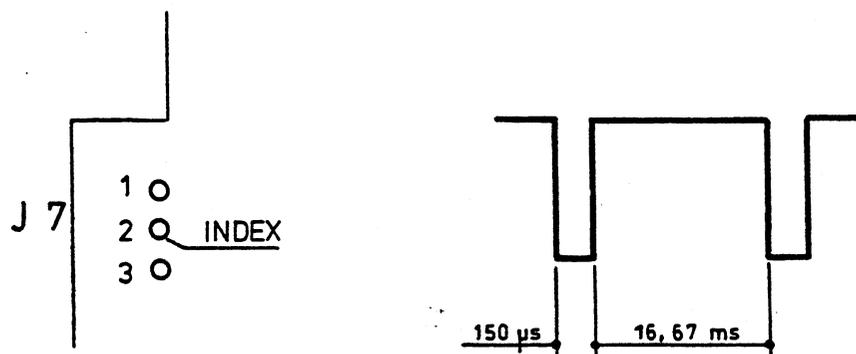
3. Fehlerdiagnose

Achtung: Zum Transport eines Laufwerkes sollten die Köpfe auf die Transportspur (shipping zone) gefahren werden:

Dazu muß der Shuntblock ausgesteckt werden und das Laufwerk mit seinen Spannungen versorgt werden. Nachdem die Leuchtdiode an der Frontseite des Laufwerkes 2 mal kurz geblinkt hat, wird sie ca. 5 sec. lang aufleuchten. Während dieser 5 Sekunden muß die Spannung abgeschaltet werden. Dann wird der Shuntblock wieder eingesteckt.

3.1 Index - Sensor

Das Signal des Indexsensors kann an Pin 2 von Stecker J7 (s. Bild) gemessen werden. Es muß folgendes Aussehen besitzen:



Falls dieses Signal nicht gemessen werden kann, so ist wahrscheinlich der Indexsensor selbst defekt. Dieser kann ausgetauscht werden.

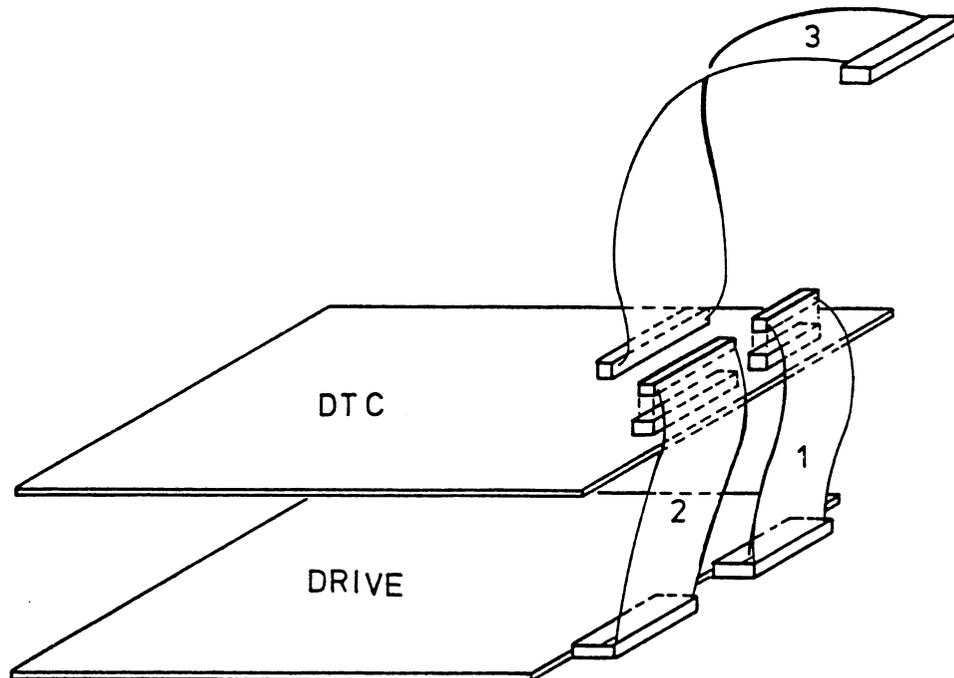
Bei manchen Laufwerkstypen ist der Sensor im Inneren des Gehäuses untergebracht. Da das Gehäuse ohne Cleanroom nicht geöffnet werden darf, kann diese Sensor nicht so ohne weiteres gewechselt werden. Allerdings kann in solchen Fällen ein zweiter Sensor außerhalb des Gehäuses angebracht werden, wo er sowieso bei den meisten Laufwerken befestigt ist.

Dies geschieht in folgenden Schritten:

1. Controller und Hauptplatine abnehmen. Falls ein interner Sensor (siehe oben) eingebaut ist, muß die Leitung an J6 Pin 1 durchgetrennt werden. Falls sich der Sensor im Gehäuse befindet, dann weiter bei Schritt 3!
2. Halteschrauben des Indexsensors lösen und den defekten Sensor abnehmen.
3. Neuen Sensor einsetzen und darauf achten, daß dessen Anschlußkabel so verlegt werden, damit sie nicht am Spindel-motor schleifen.



4. Nun den Spindelmotor soweit verdrehen, bis sich der magnetische Spalt vor dem Sensor befindet. Der Abstand zwischen Sensor und Spalt muß 0.030 inches (=0.76 mm) betragen. Achten Sie auch darauf, daß der Motor in keiner Stellung am Sensor schleift!
5. Platinen wieder aufsetzen und alle Kabelverbindungen zum Controller und System gemäß folgender Abbildung wiederherstellen:



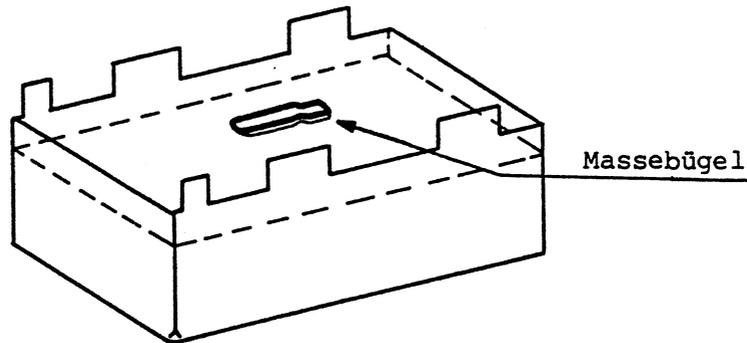


3.2 Geräusentwicklung

Das Laufwerk besitzt einen Massebügel, der auf die Achse des Spindelmotors drückt, um Aufladungen zu verhindern. Falls das Laufwerk Pfeifgeräusche von sich gibt, so liegt das an einem nicht korrekt eingestellten Massebügel.

Dieser Bügel läßt sich aber leicht justieren, indem Sie folgende Arbeiten durchführen:

1. Platinen abnehmen.
2. Halteschrauben des Massebügels lösen und neuen Bügel einsetzen. Die kleine Erhebung muß genau auf der Motorachse liegen.
3. Bügelspannung einstellen:
Der Anpreßdruck muß 8...10 Gramm betragen. Diese Einstellung erfolgt entweder mit einer Federwaage oder, falls nicht vorhanden, muß der Bügel so vorgespannt werden, daß der Anpreßdruck bei gutem elektrischen Kontakt minimal ist.
4. Platine wieder aufsetzen.





3.3 Selbstdiagnose

Sobald das Laufwerk mit den erforderlichen Spannungen versorgt ist, wird ein Selbsttest durchgeführt. Dabei wird auch die Stellung des Shunts überprüft.

Falls Pin 2 und 15 des Shunts verbunden sind, wird das Laufwerk jetzt "READY" geschaltet. Ist diese Verbindung jedoch unterbrochen, wird das Laufwerk mit einer umfangreichen Testroutine beginnen:

- Als Erstes erfolgt eine Überprüfung des Stepper motors
- Danach fahren die Köpfe auf die "shipping zone". Sie verbleiben dort ca. 5 Sekunden. Während dieser Phase, die durch ein dauerndes Aufleuchten der Leuchtdiode gekennzeichnet ist, kann das Laufwerk für einen Transport abgeschaltet werden. Nach dieser 5-Sekunden-Periode tritt das Laufwerk in einen Überprüfmodus ein, der zufallsmäßig verschiedene Spuren anfährt und ca. 5 (fünf!!) Tage dauert.

Treten während dieses Tests Fehler auf, so werden sie über die Leuchtdiode an der Frontseite des Laufwerkes über eine Art Morsecode mitgeteilt:

"0" = Leuchtdiode 0.1 sec eingeschaltet
"1" = Leuchtdiode 0.6 sec eingeschaltet

Die Meldungen werden nach 2 Sekunden Pause wiederholt.

Wird beispielsweise der Code E (=1110) gesendet, so leuchtet die Leuchtdiode in folgendem Rhythmus:

Code E:

LED 0.6 sec an
0.6 sec aus
0.6 sec an
0.6 sec aus
0.6 sec an
0.6 sec aus
0.1 sec an
2.0 sec aus

P.s.: Zwischen den einzelnen Bits wird eine Pause von 0.6 Sekunden gesendet. Nach 2 Sekunden Pause wird die Meldung wiederholt.



Erklärung der Meldungen:

- 0 RAM - Fehler
- 1 EPROM Checksummenfehler
- 2 Tiefgreifender Hardwarefehler
- 3 Schreibfehler
- 4 Schreibfehler
- 5 Motordrehung nicht erkannt
- 6
- 7 Umdrehungsgeschwindigkeit nicht konstant
- 8 Keine Spur 00 Erkennung
- 9 Keine Spur 00 Erkennung
- A Falsche Phase ausgewählt
- B Schrittzählerfehler
- C Korrekte Phase (3/14 offen 4/13 offen)
- D Korrekte Phase (3/14 offen 4/13 geschlossen)
- E Korrekte Phase (3/14 geschlossen 4/13 offen)
- F Korrekte Phase (3/14 geschlossen 4/13 geschlossen)

Die Steppermotorphase ist zur korrekten Spur 00 Erkennung notwendig. Solange am Shunt nichts verändert wird, braucht auf sie keine weitere Aufmerksamkeit verwendet werden.

Um die korrekte Phase einzustellen (Verbindungen 3/14 und 4/13 am Shunt), müssen alle Interfacekabel sowie der Shunt abgenommen werden. Sodann muß das Laufwerk mit den benötigten Spannungen versorgt werden und der angezeigte Fehlercode interpretiert werden. Die Shuntverbindungen 3/14 und 4/13 müssen nun gemäß der Fehlermeldungstabelle verdrahtet werden.

Der beim Hersteller ermittelte Code ist auf dem am Gehäuse angebrachten Aufkleber ersichtlich.



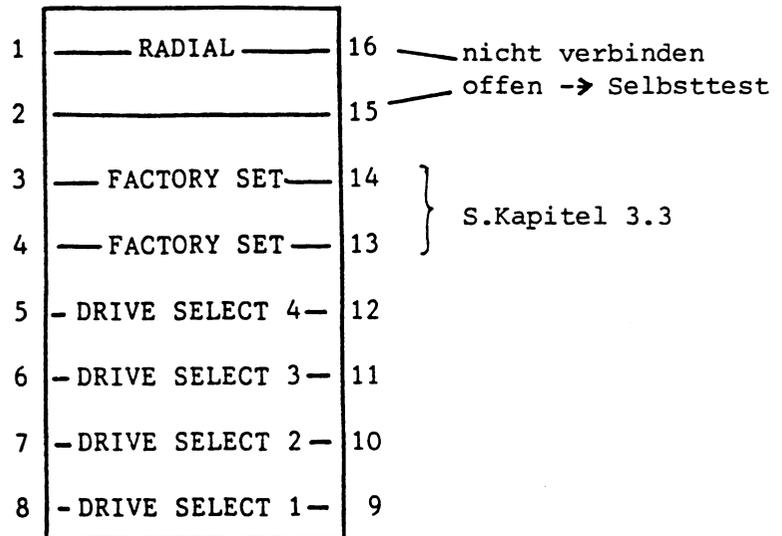
Servicebeschreibung MINISCRIBE MODEL 4020

Signal	Masserück- führung	Signalname
J1-2	J1-1	-REDUCED WRITE CURRENT
J1-4	J1-3	Reserved
J1-6	J1-5	-WRITE GATE
J1-8	J1-7	-SEEK COMPLETE
J1-10	J1-9	-TRACK 000
J1-12	J1-11	-WRITE FAULT
J1-14	J1-13	-HEAD SELECT 2 ⁰
J1-16	J1-15	Reserved
J1-18	J1-17	-HEAD SELECT 2 ¹
J1-20	J1-19	-INDEX
J1-22	J1-21	-READY
J1-24	J1-23	-STEP
J1-26	J1-25	-DRIVE SELECT 1
J1-28	J1-27	-DRIVE SELECT 2
J1-30	J1-29	-DRIVE SELECT 3
J1-32	J1-31	-DRIVE SELECT 4
J1-34	J1-33	-DIRECTION IN
J2-1	J2-2	-DRIVE SELECTED
J2-3	J2-4	Reserved
J2-5	J2-6	Spare
J2-7	J2-8	Reserved
J2-9		Spare
J2-10		Spare
J2-11	J2-12	GROUND
J2-13		+MFM WRITE DATA
J2-14		-MFM WRITE DATA
J2-15	J2-16	GROUND
J2-17		+MFM READ DATA
J2-18		-MFM READ DATA
J2-19	J2-20	GROUND
J3-1		+12V DC
J3-2		GROUND
J3-3		GROUND
J3-4		+5V DC



5. Einstellungen:

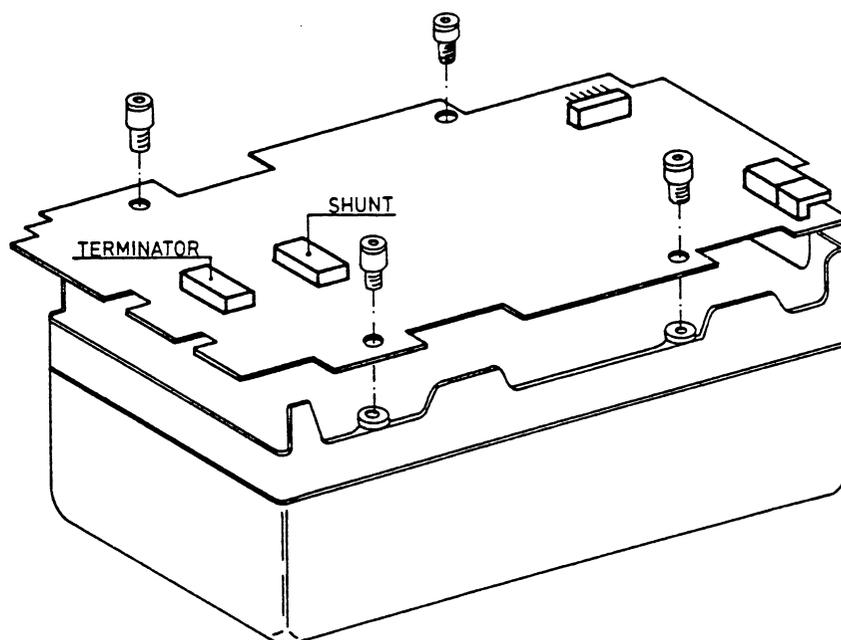
Shunt:



Jedes Laufwerk besitzt ein aufgestecktes Widerstandsnetzwerk.

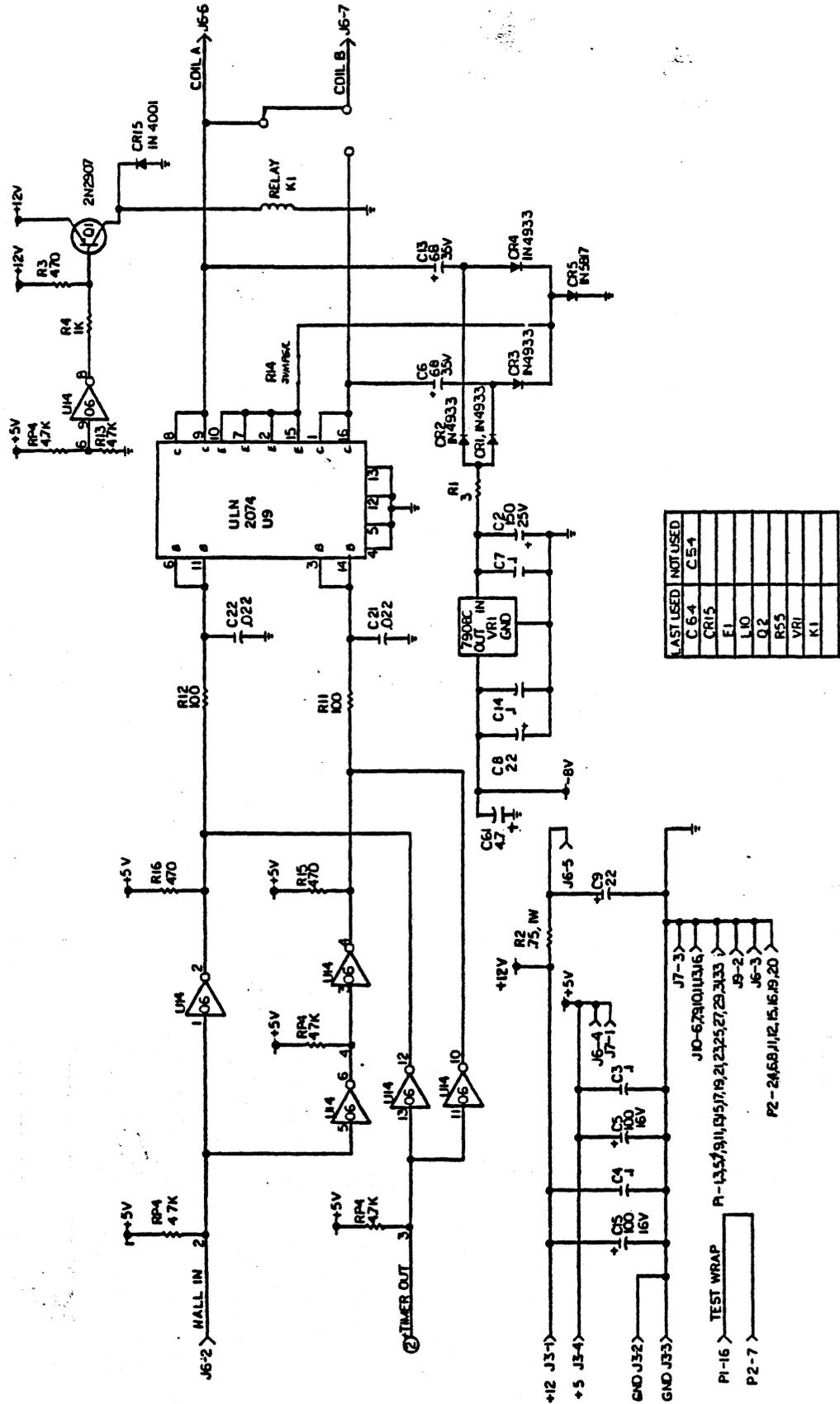
Dieses Netzwerk ist stets bei dem geographisch letzten ange-
steckten Laufwerk einzusetzen.

In den Systemen KONTRON PSI 980/9xxx ist nur ein Winchesterlauf-
werk vorhanden; also muß das Widerstandsnetzwerk gesteckt werden.



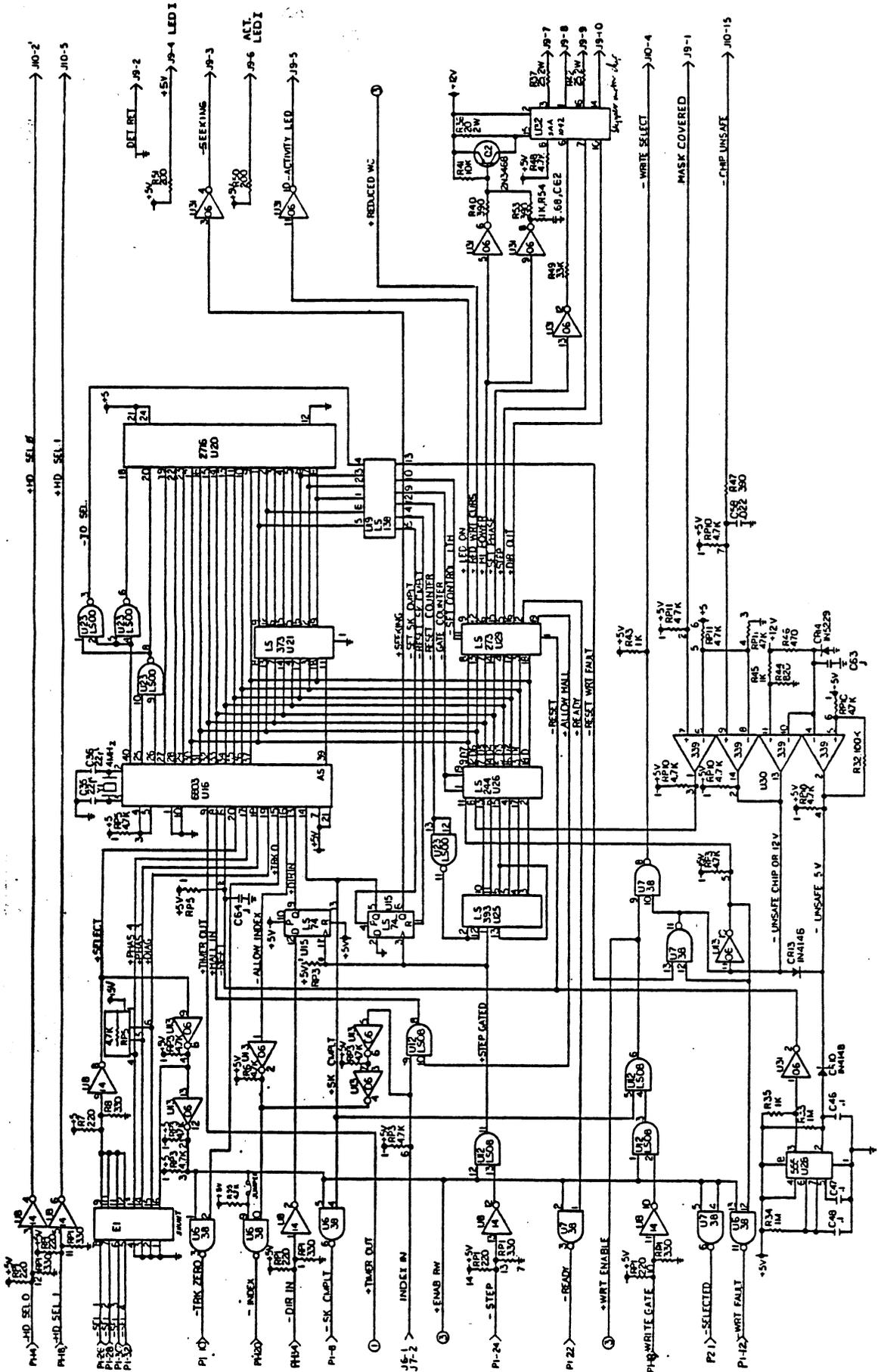


6. Schaltpläne



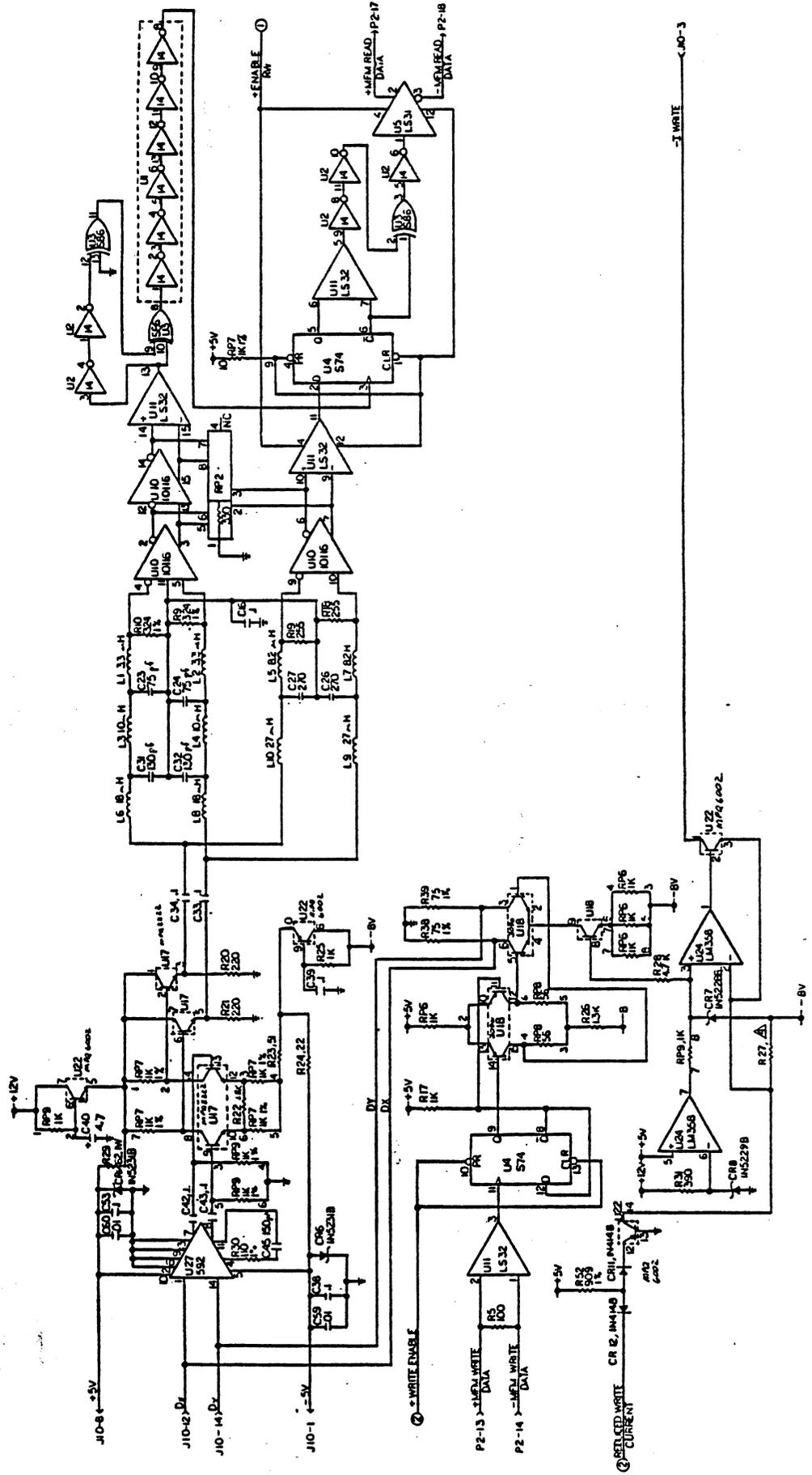


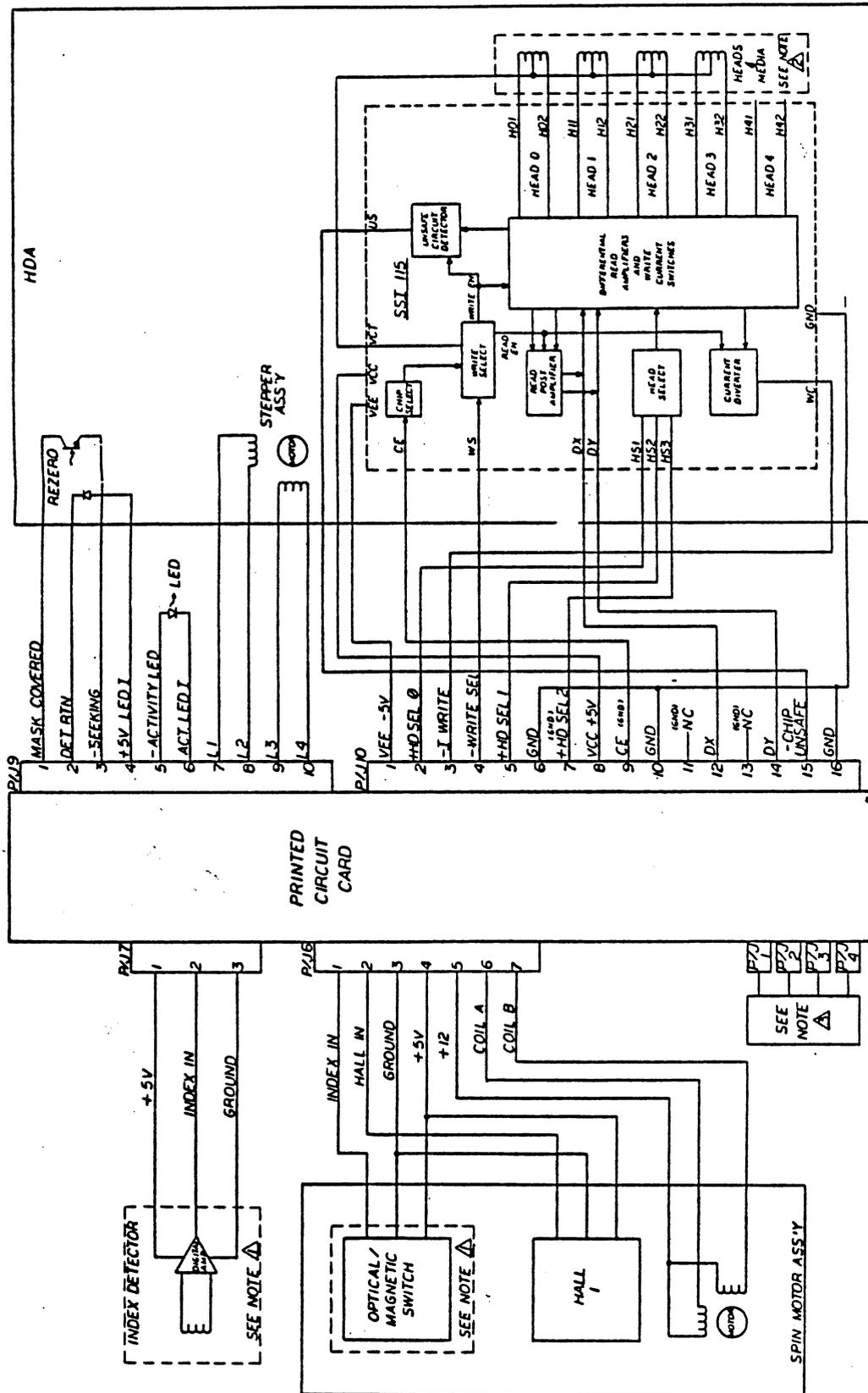
Servicebeschreibung MINISCRIBE MODEL 4020





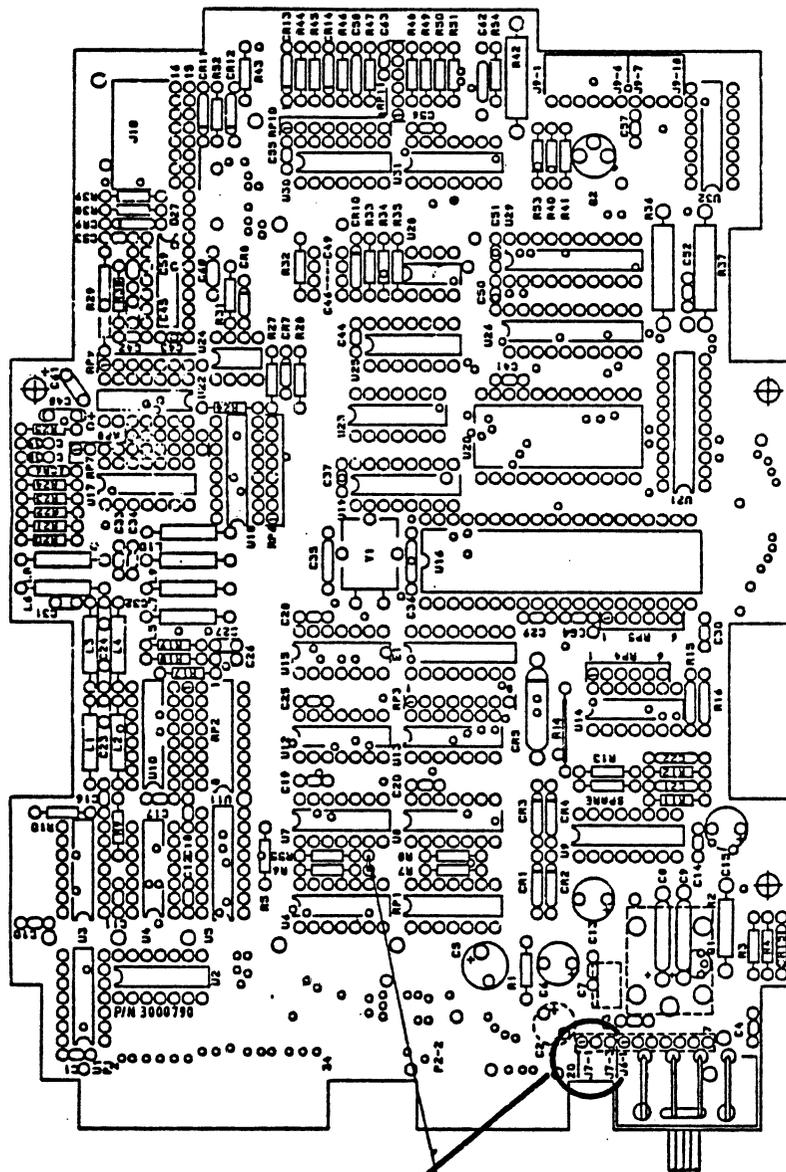
Servicebeschreibung MINISCRIBE MODEL 4020



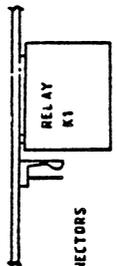




7. Bestückungsplan



SILK-SCREEN
3080786

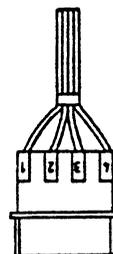
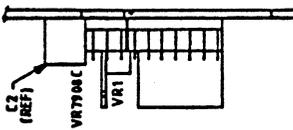


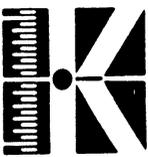
MTA CONNECTORS
J6 AND J7

INDEX
1 0
2 0
3 0

J7

JUMPER WIRE
P/N 10341003





Achtung: Um Garantieverluste zu vermeiden, darf dieses Laufwerk nur von autorisiertem ausgebildetem Personal mit entsprechender Werkstattausrüstung gewartet werden.

Im Normalfall können nur Überprüfungsarbeiten durchgeführt werden.

Selbst ein Ausbau der Platine darf nicht durchgeführt werden, da sämtliche Schrauben mit genau spezifiziertem Drehmoment angezogen werden müssen, um Verspannungen und damit Laufwerksschäden zu vermeiden.

Zunächst einige technische Daten über das Laufwerk:

Umgebungsbedingungen:	Betrieb	4 ... 50 Grad C
	Lagerung	-10 ... 60 Grad C
Maximaler Temperaturgradient	10 Grad C/Stunde im Betrieb	
Feuchtigkeitsbereich	8 ... 80 % nicht kondensierend	
Spannungsversorgung:	+ 12 V +/- 5 %	0.7 Amp
	+ 5 V +/- 5 %	0.9 Amp
Abmessungen Laufwerk:	Höhe	41.3 mm
	Breite	122 mm
	Tiefe	203 mm
Kassette:	Höhe	11 mm
	Breite	110 mm
	Tiefe	112 mm
Thermische Abstrahlung:	13 Watt	
Verfügbarkeit:	MTBF	11000 Betriebsstunden
	MTTR	30 Minuten

Keine vorbeugende Wartung notwendig.



Fehlerraten:

Soft-Lesefehler	1 je 10^9	gelesenen Bits
Hard-Lesefehler	1 je 10^{12}	gelesenen Bits
Positionierfehler	1 je 10^6	Vorgängen

Speicherdaten:

Kapazität	unformatiert/formatiert
pro Laufwerk	6.38 MByte / 5.0 MByte
pro Oberfläche	3.19 MByte / 2.5 MByte
pro Spur	10416 Byte / 8192 Byte
pro Sektor	- / 256 Byte
Sektoren pro Spur	- / 32

Übertragungsrate 5.0 Mbits/sec

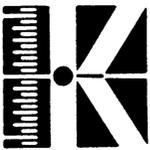
Zugriffszeiten

	min.	max.	
von Spur zu Spur	25	94	
Mittelwert	90	161	ms
Maximum	205	276	ms

mittlere Latenzzeit: 8.46 ms

Funktionale Daten

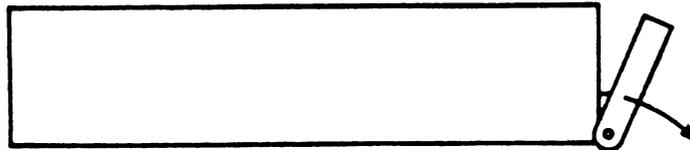
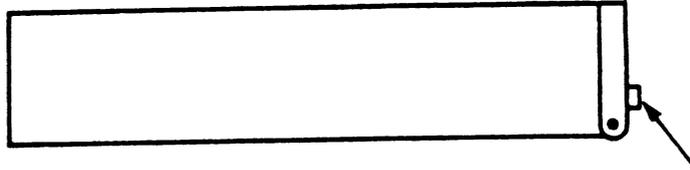
Umdrehungsgeschwindigkeit	3547 +/- 1 % U/min.
Aufzeichnungsdichte	12000 bits pro inch
Flußwechselfichte	12000 fpi
Spurdichte	435 tpi
Zylinderanzahl/Spuren	306/612
Köpfe	2



Bedienungshinweise

Öffnen des Laufwerkes:

Zum Entnehmen der Speicherkassette drücken Sie zunächst den weißen Knopf. Die Frontklappe wird sich nun etwas öffnen und die Leuchtdiode beginnt zu blinken.

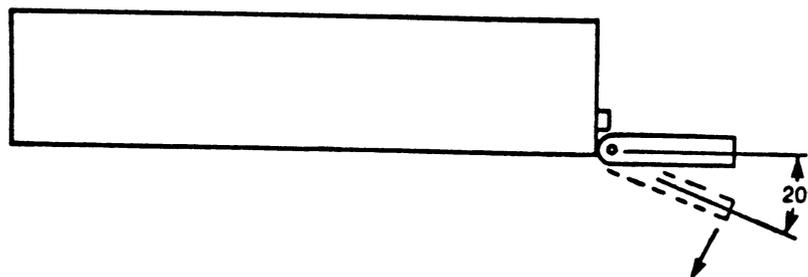


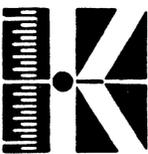
Warten Sie nun solange, bis die Leuchtdiode aufhört zu blinken.

Versuchen Sie nicht, das Laufwerk zu frühzeitig zu öffnen, da dabei das Speichermedium bzw. das Laufwerk selbst beschädigt werden könnte!

Das Laufwerk benötigt diese Zeit, um die Schreib-/Leseköpfe auf eine bestimmte definierte Spur zu fahren, auf der sie gefahrlos "landen" können.

Erst nachdem die Leuchtdiode aufgehört hat zu blinken, kann das Laufwerk ohne Gefahr ganz geöffnet werden. Drücken Sie dazu die Frontklappe ganz nach unten, bis die Speicherkassette entriegelt wird.





Einlegen der Kassette:

Achten Sie beim Einlegen auf die richtige Lage der Kassette!

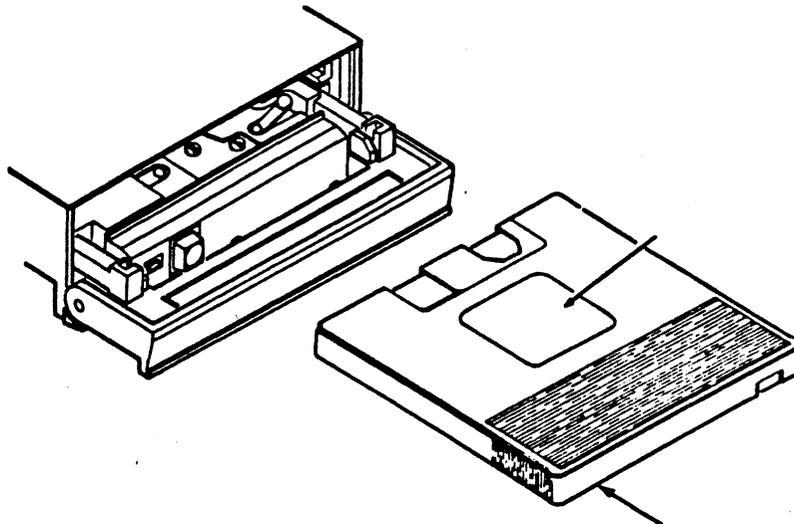
Der rote Schreibschutzschieber muß rechts liegen!

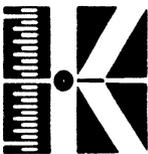
Schieben Sie nun die Kassette bis zum Einrasten in das Laufwerk.

Verriegeln Sie das Laufwerk durch Schließen der Frontklappe.

Das Laufwerk ist nun betriebsbereit.

Hinweis: Falls die Speicherkassette gegen Überschreiben gesichert ist, so wird, falls versucht wird, Dateien auf das Medium zu kopieren, keine Fehlermeldung ausgegeben. Vergewissern Sie sich also, daß der Schreibschutz nicht vorhanden ist, wenn Sie Dateien auf die Wechselplatte kopieren.





Hinweis: Auf der Wechselplatte befindet sich eine Referenzspur, um die Austauschbarkeit der Medien zu gewährleisten.

Das Laufwerk versucht nach dem Einschalten stets als erstes, diese Spur zu lesen. Gelingt dies nicht, so wird das Laufwerk den Spindelmotor abschalten und die Leuchtdiode an der Frontseite wird zu blinken beginnen.

In einem solchen Fall sollte die Speicherkassette entnommen und erneut eingelegt werden.

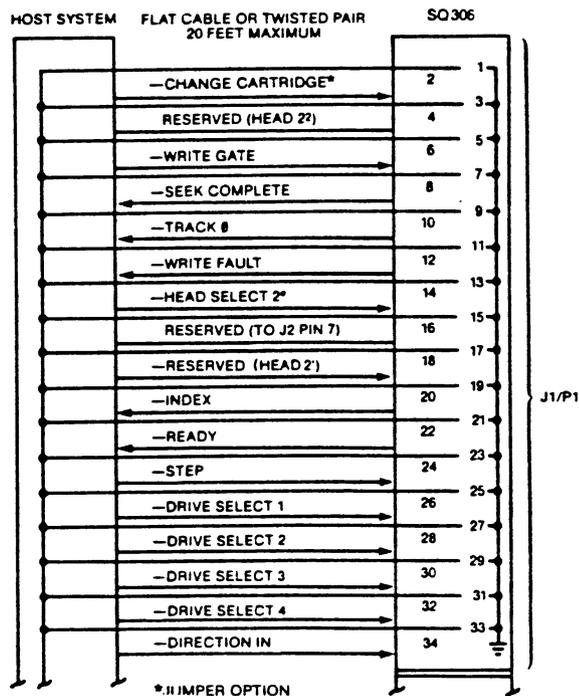
Elektrisches Interface:

Das Interface des Laufwerkes kann in drei Kategorien unterteilt werden:

- Kontrollsignale
- Datensignale
- Spannungsversorgung

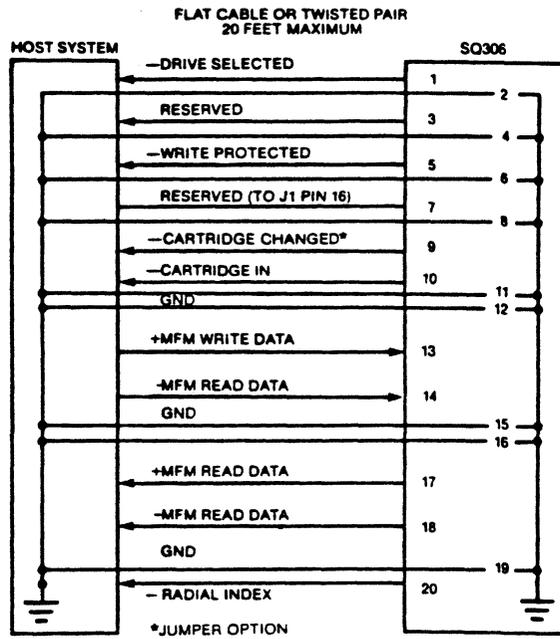
Alle Kontrolleitungen sind digitale Signale (open Collector TTL) und laufen über den Anschluß J1/P1. Die Datensignale sind differentiell (entsprechend RS-422) und laufen über J2/P2.

Folgendes Bild zeigt die Anschlußbelegung von J1/P1 (Kontrollsignale):





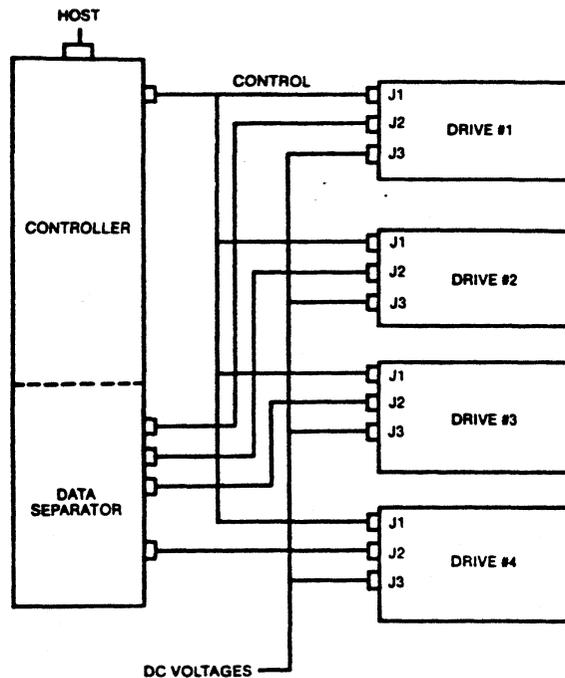
Datensignale:

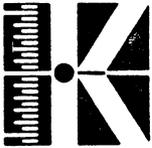


Anschluß des Laufwerks am Controller:

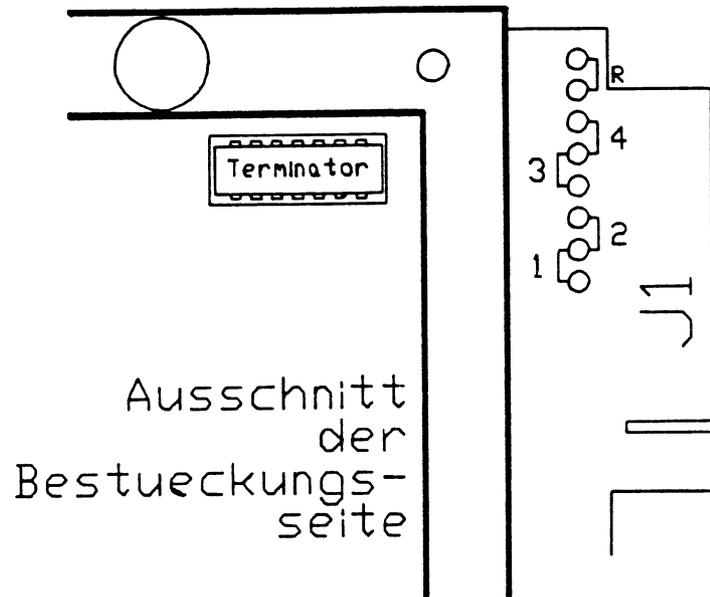
Es kann jeder Controller mit ST 506/412 Interface verwendet werden.

Folgendes Bild zeigt eine typische Konfiguration:



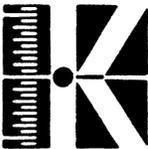


Beachten Sie dabei, daß die entsprechenden "Drive-Select"-Jumper der Laufwerke entsprechend gesetzt werden:



Drive Select	Verbundene Pins
1	1 - 2
2	2 - 3
3	4 - 5
4	5 - 6
Radial	7 - 8 (stets offen zu lassen!)

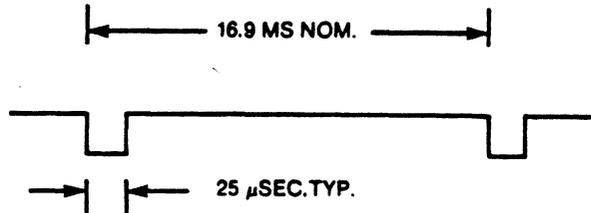
Der Abschlußwiderstand (Terminator) darf nur bei dem geographisch letzten am Controller angeschlossenen Laufwerk gesteckt sein. Bei allen anderen Laufwerken ist er zu entfernen.



Überprüfungen:

Index-Signal

Es muß folgenden Verlauf besitzen:



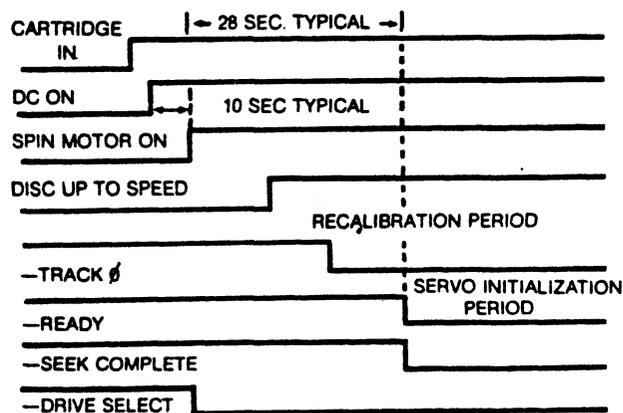
Es kann an TP4 gemessen werden.

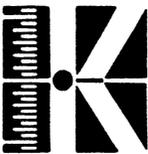
Falls die 16.9 ms nicht eingehalten werden, kann dieser Wert mit dem Poti auf der kleinen Platine an der hinteren Seite des Laufwerkes nachgeregelt werden: Verwenden Sie zur Messung nur einen genauen Zähler!

Eine Überprüfung der weiteren Signale erscheint wenig sinnvoll, da das Laufwerk zur Behebung eventueller Schäden eingeschickt werden muß.

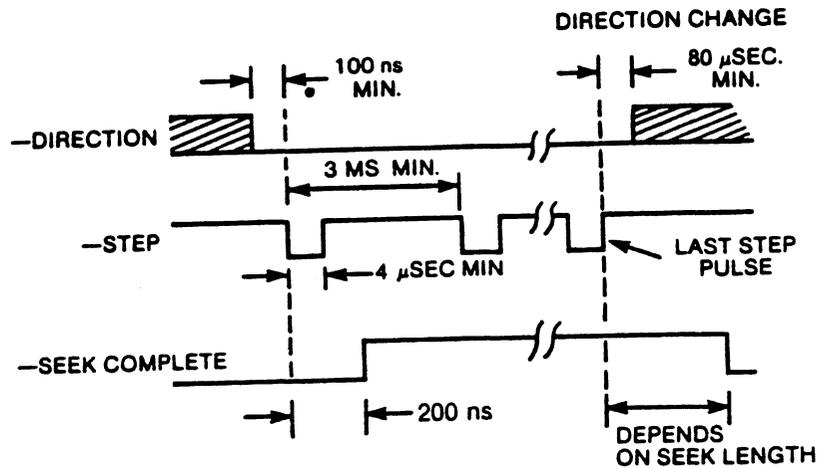
Folgende Bilder erläutern einige Zeitdiagramme:

Einschaltvorgang

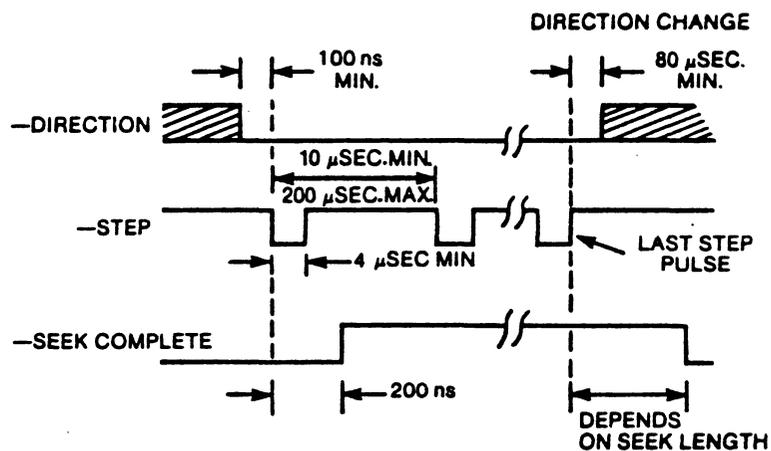


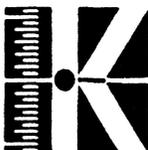


Langsame Spuranwahl

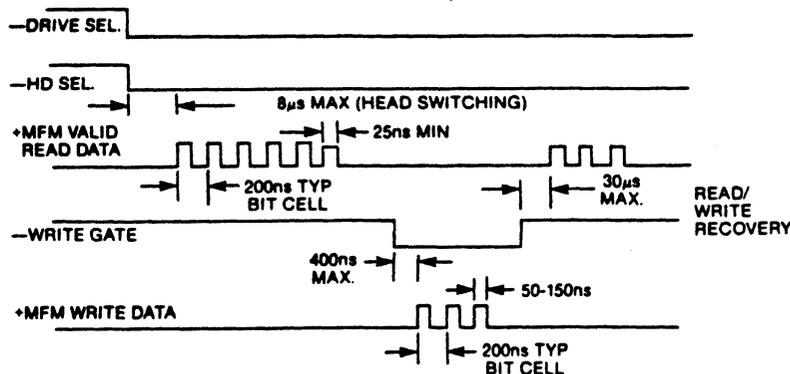


Gepufferte Spuranwahl





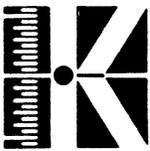
Lese-/Schreib-Daten Zeitverhältnisse



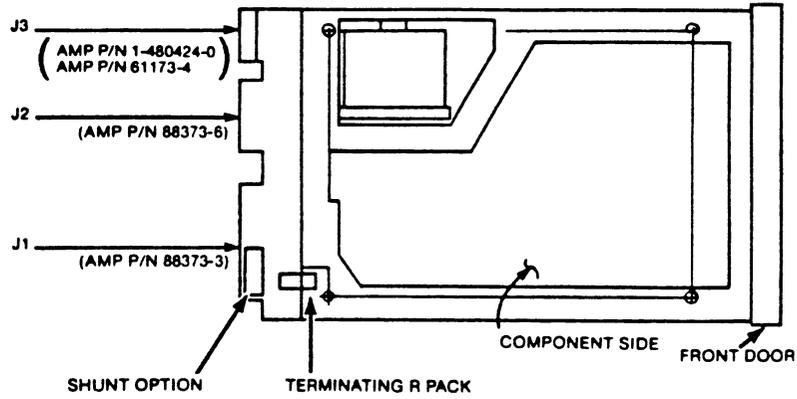
TEST POINT DESCRIPTION

1	Read Data Pulse
2	Read Data
3	Write Data
4	Index (mechanical)
5	Servo Data Threshold
6	+Read Data (analog)
7	-Read Data (analog)
8	N/A

JUMPER	DESCRIPTION	SHIP CONFIGURATION
W1	Write Data Termination	Installed
W2	Read Data Termination	Installed
W3	L.E.D. Activity	Installed
W4	Cartridge Change	Not Installed
W5	N/A	Not Installed



Lage des Jumperfeldes und der Anschlüsse:

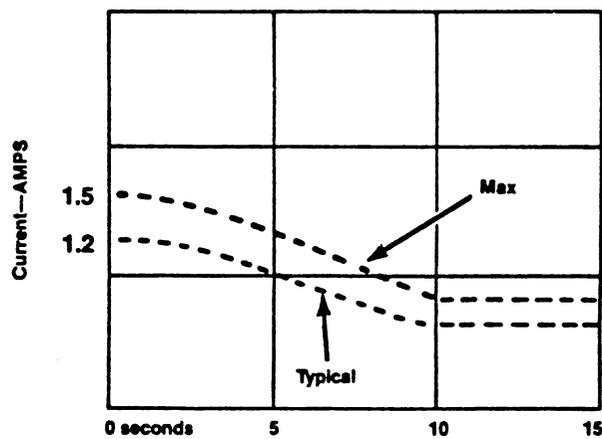


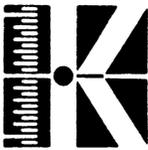
Anschlußbelegung des Spannungsversorgungsanschlusses

Spannungsversorgung:

J3 Connector	Current AMPS	
	Max	Typ
Pin 4 +5 Volts DC $\pm 5\%$	1.0	.9
Pin 3 +5 Volt Return		
Pin 1 • +12 Volts DC $\pm 5\%$	1.5	.7
Pin 2 • +12 Volt Return		

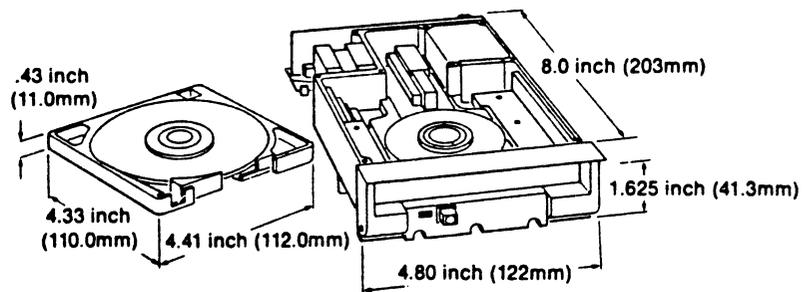
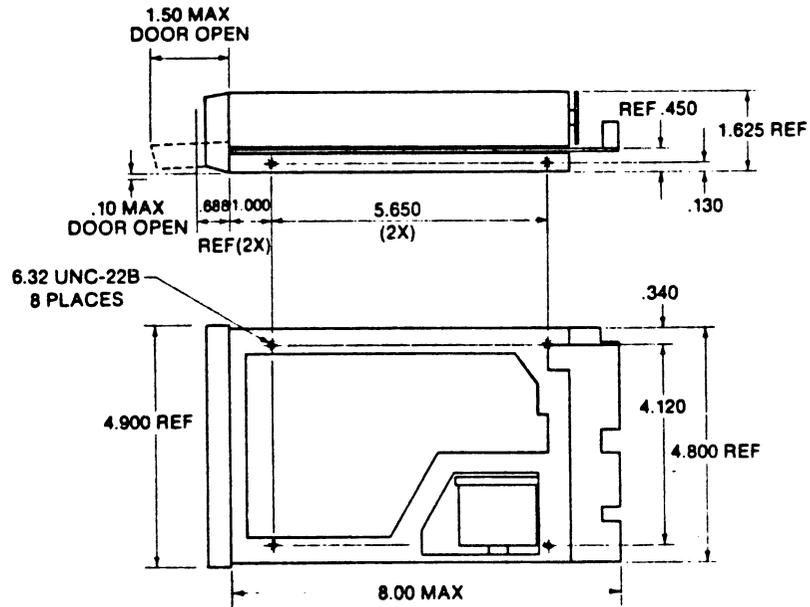
Stromaufnahme beim Einschalten





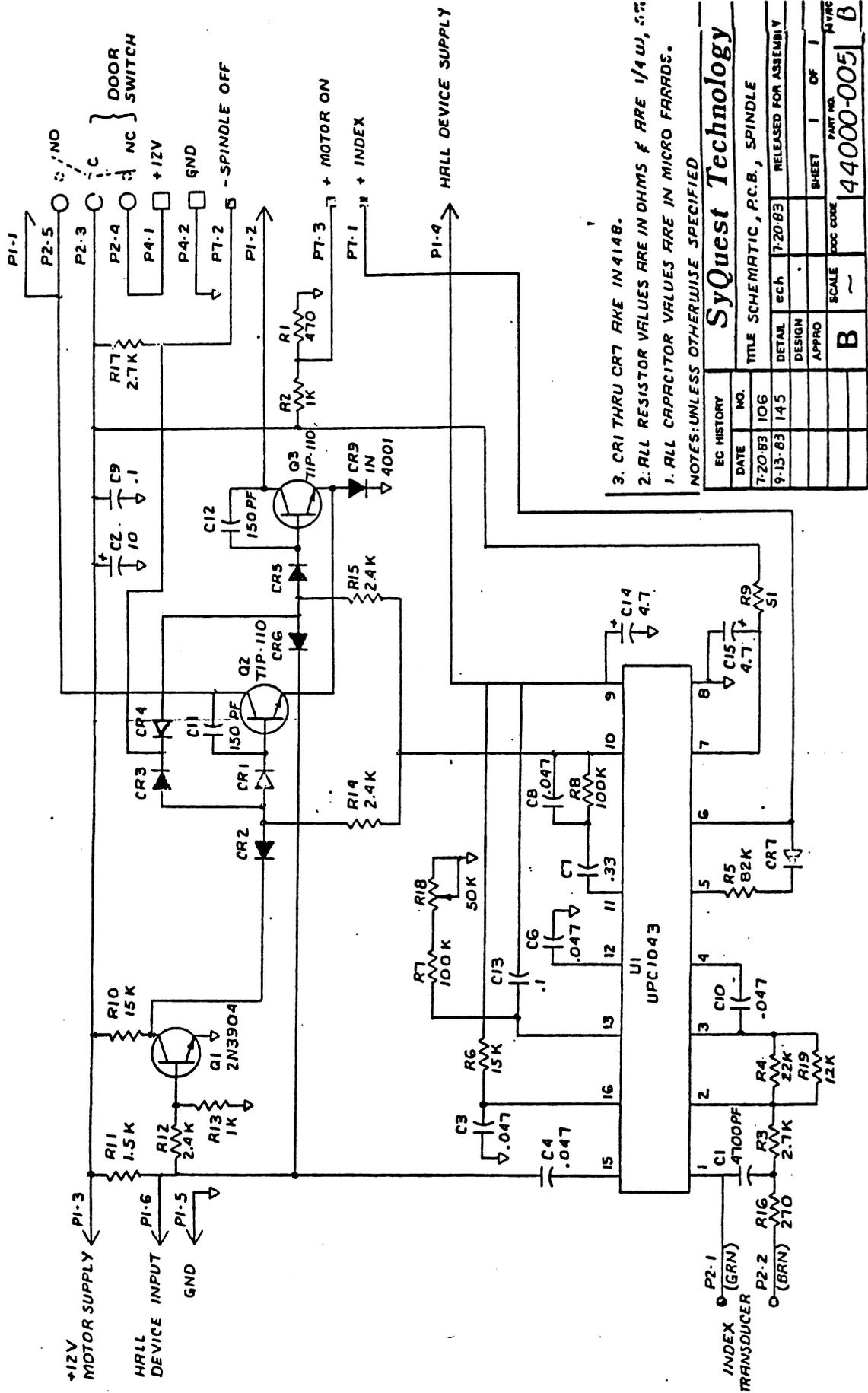
Wechselplatte SQ 306 - 5 MByte

Abmessungen:



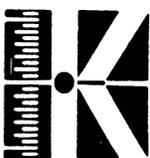


Schaltpläne

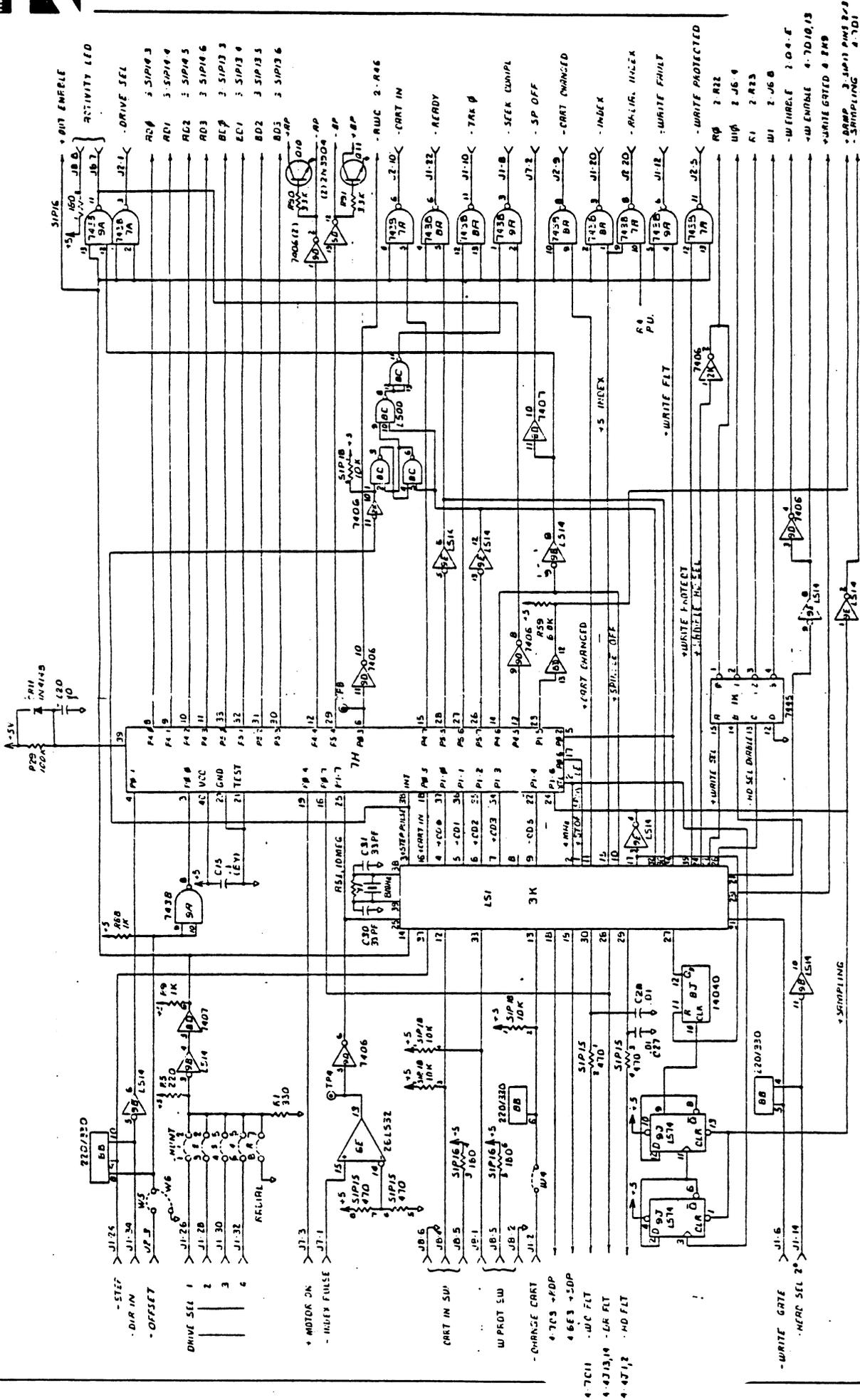


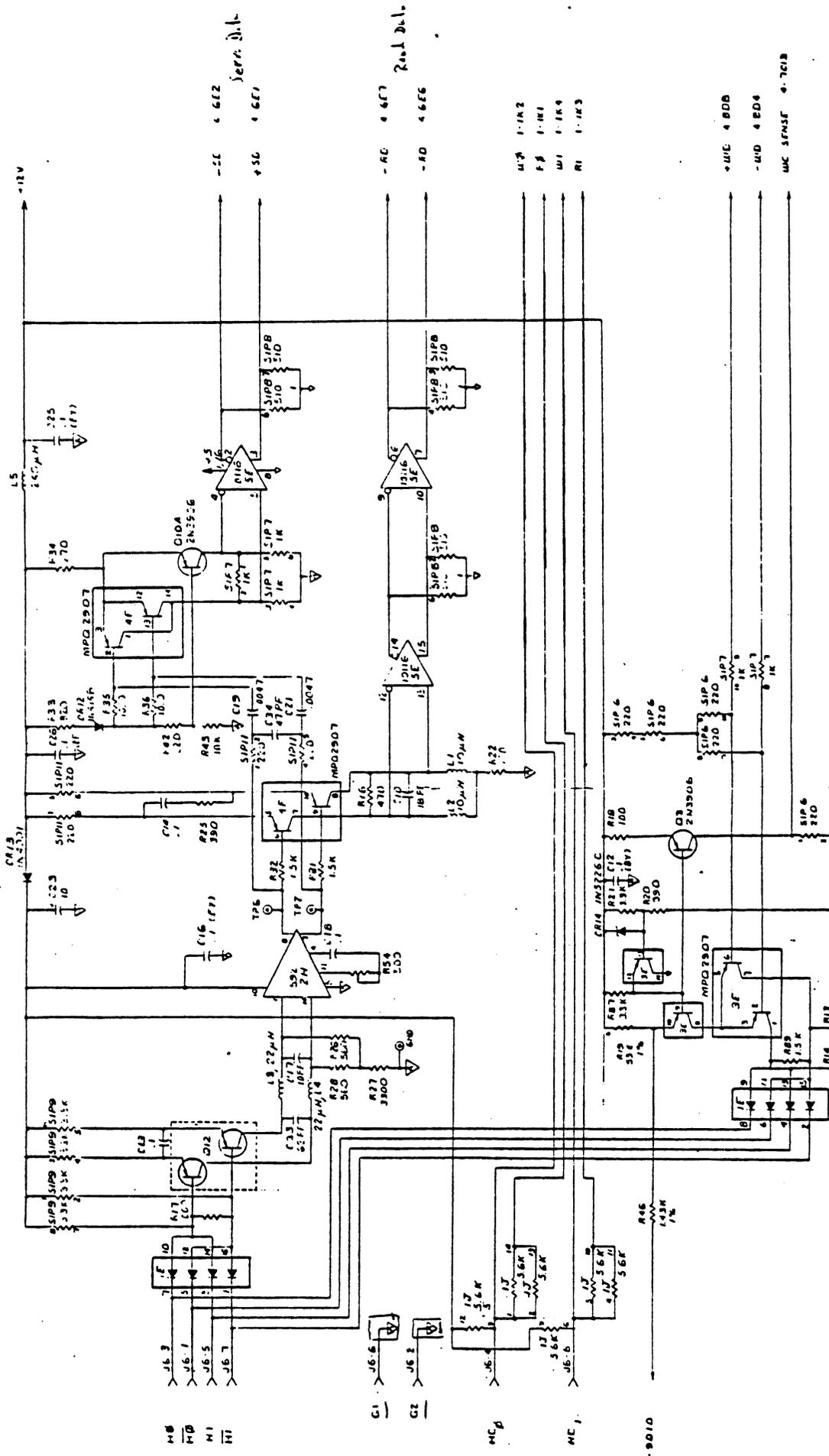
- 3. CR1 THRU CR7 ARE IN 4148.
 - 2. ALL RESISTOR VALUES ARE IN OHMS & ARE 1/4 W, 5%.
 - 1. ALL CAPACITOR VALUES ARE IN MICRO FARADS.
- NOTES: UNLESS OTHERWISE SPECIFIED

EC HISTORY		SyQuest Technology	
DATE	NO.	TITLE SCHEMATIC, P.C.B., SPINDLE	
7-20-83	106	RELEASED FOR ASSEMBLY	
9-13-83	145	DETAIL	ECH 7-20-83
		DESIGN	
		APPRO	
		SCALE	SHEET 1 OF 1
		PART NO.	44000-005
		REV	B

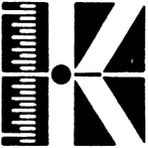


Wechselplatte SQ 306 - 5 MByte

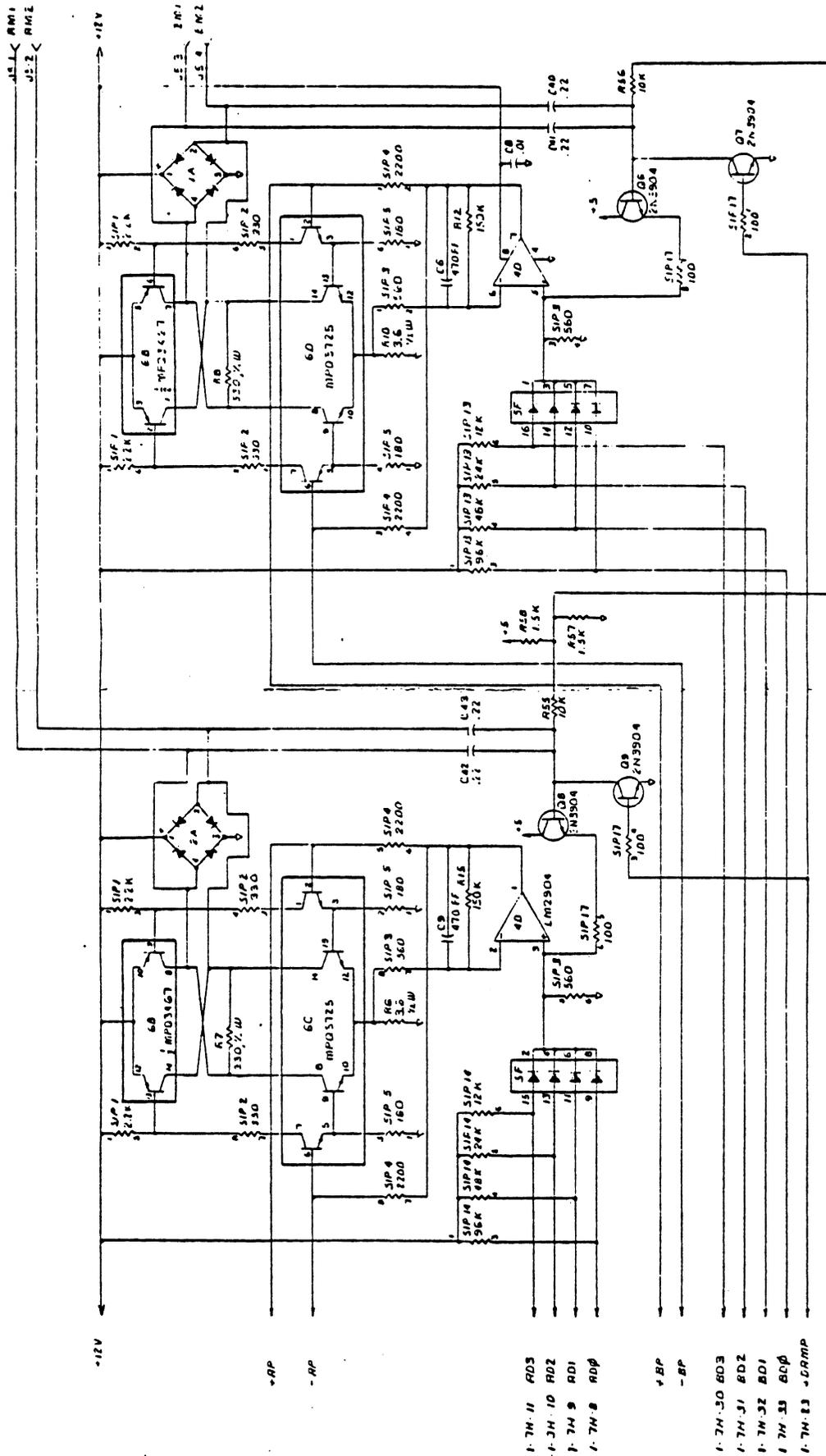




SyQuest Technology		PC MEMORY		DATE		DESIGNED BY		CHECKED BY		DATE	
54001-01A		DATE		DATE		DATE		DATE		DATE	
SYQUEST TECHNOLOGY		DATE		DATE		DATE		DATE		DATE	



Wechselplatte SQ 306 - 5 MByte



SYQUEST TECHNOLOGY

DATE: 12/1/84

DESIGNER: J. J. J.

CHECKED: J. J. J.

APPROVED: J. J. J.

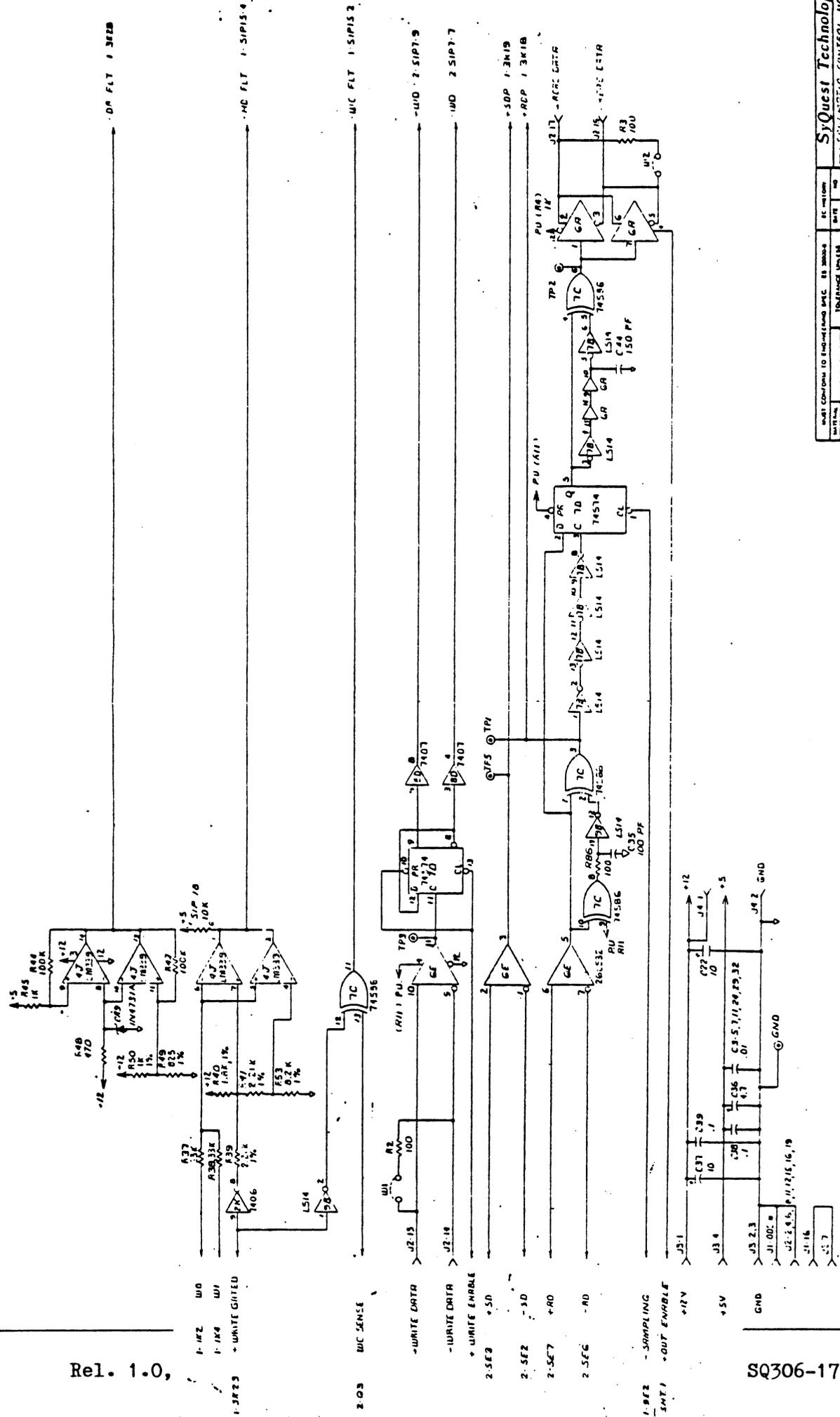
PROJECT: SQ306-16

REV: 1.0

SYQUEST TECHNOLOGY

1741 CENTINASTIC CONTROL PCB

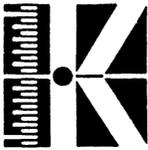
REV	DATE	BY	DESCRIPTION
1	12/1/84	J. J. J.	INITIAL DESIGN
2	12/1/84	J. J. J.	REVISION
3	12/1/84	J. J. J.	REVISION
4	12/1/84	J. J. J.	REVISION
5	12/1/84	J. J. J.	REVISION
6	12/1/84	J. J. J.	REVISION
7	12/1/84	J. J. J.	REVISION
8	12/1/84	J. J. J.	REVISION
9	12/1/84	J. J. J.	REVISION
10	12/1/84	J. J. J.	REVISION



Rel. 1.0,

SQ306-17

SYQUEST TECHNOLOGY	
VMD SYSTEMIC CONTROL P.C. II	
DATE	1984
REV	01
DESIGNED BY	
CHECKED BY	
APPROVED BY	
DATE	
PROJECT	
FIGURE	
SHEET	1
TOTAL	1
DRAWN BY	
CHECKED BY	
APPROVED BY	
DATE	
PROJECT	
FIGURE	
SHEET	
TOTAL	



Inhaltsverzeichnis

		Seite
1.	Einführung	
1.1	Kurzbeschreibung:	5
	Abb. 1: Datenbus	6
	Abb. 2: Adreßbus	7
2.	Zentraler Rechnerenteil	
2.1	Zentraleinheit	8
2.2	Speichersystem	9
2.2.1	Speicherverwaltung	9
2.2.2	Festwertspeicher	12
2.2.3	Schreib-/Lesespeicher	12
2.2.4	Bildwiederholtspeicher	13
2.2.5	Externe Speichererweiterung	15
2.3	DMA-Controller	16
2.3.1	Interrupt-Zyklus: Prioritäts-Kaskadierung	17
3.	I/O-Ports	
3.1	Zusammenstellung aller Ports	18
3.2	Status-Ports	20
3.3	Parallele Ports (PIO)	23
3.4	Serielle Ports (SIO)	24
3.5	Zähler/Zeitgeber-Kanäle (CTC)	25
3.6	Floppy-Disk-Controller (FDC)	27
3.7	Harddisk-Anschluß (SASI-Interface)	31
3.8	Video-Controller (CRTC)	33
3.9	Real Time Clock (RTC)	35
3.10	Watchdog	38
4.	Steckerbelegungen	
4.A	Belegung Stecker A (ECB)	39
4.B	Belegung Stecker B (I/O)	40
4.C	Belegung Stecker C (I/O)	41
4.D	Belegung Stecker D (Power)	42
5.	Testpunkte/Jumper	
5.1	Testpunkte auf der KDT6	43
5.2	Jumper auf der KDT6	44
6.	IC-Listen	
6.1	Alle IC's	45
6.2	Referenzliste - IC-Nr./IC-Typ	47
7.	Programmierung der PAL-Bausteine	48
8.	Liste aller Adreßsymbole	57
9.	Revisionsstände	60
9.1	Änderung von Rev. 1.1A auf 1.1B	61
9.2	Änderung von Rev. 1.1B auf 1.1C	61
9.3	Änderung der Rev. 1.1C auf 1.1D (1.2A)	61
9.4	Änderung der Rev. 1.2A auf 1.2B	62
10.	Dokumentationsstand	63

Tabellen

Nr.	Titel	Seite
1	Adressierung des Memory Mappers	10
2	Prom Adreßbereiche	12
3	Adreßzuordnung der Speicherbänke 0...3	13
4	Die I/O-Adressen des Bildwiederholerspeichers	14
5	DMA-I/O-Adressen	16
6	I/O-Ports (Adressen 0 - 1FH)	18
7	I/O-Ports (Adressen 20 - 4H)	19
8	I/O-Adressen der Status-Ports	20
9	Bitzuordnung von Status-Port 0	20
10	Bitzuordnung von Status-Port 1	21
11	Bitzuordnung von Status-Port 2	22
12	I/O-Adressen der parallelen I/O-Ports	23
13	Steckerbelegung der parallelen Ein- und Ausgänge	23
14	I/O-Adressen der seriellen I/O-Ports	24
15	Steckerbelegung der seriellen Ein-/Ausgänge	24
16	I/O-Adressen der Zähler/Zeitgeber-Kanäle	25
17	CTC-Programmiertabelle zur Baudratengenerierung bei 2 MHz	26
18	CTC-Programmiertabelle zur Baudratengenerierung bei 1,2288 MHz	26
19	I/O-Adressen des FD-Controllers	27
20	FDC-Referenztakte	28
21	Steckerbelegung der FDC-Ein-/Ausgänge	29
22	Belegung des FD-Anschlußsteckers (ST-F)	30
23	I/O-Adressen des SASI-Interface	31
24	Bitzuordnung des SASI-Control-Port (Read)	31
25	Bitzuordnung des SASI-Control-Port (Write)	32
26	Belegung des SASI-Anschlußsteckers (ST-E)	32
27	Steckerbelegung der CRTC-Ein-/Ausgänge	34
28	Bitzuordnung von Statusport 2	35
29	Watchdog I/O-Adressen	38
30	Belegung von Stecker A (ECB)	39
31	Belegung von Stecker B	40
32	Belegung von Stecker C	41
33	Belegung von Stecker D	42
34	Testpunkte	43
35	Jumper	44
36	Liste aller IC's	45
37	Referenzliste - IC-Nr. - IC-Typ	47
38	Programmierung der PAL-Bausteine	48
39	Liste aller Adreßsymbole für I/O-Ports	57



1. Einführung

Die Rechnerbaugruppe KDT6 (Kleine-Daten-Technik) ist ein mit modernsten hochintegrierten Bauteilen realisierter 'Single Board Computer' auf Basis der Z80A-CPU. Die Baugruppe ist weitgehend aufwärtskompatibel zu der in vielen Tausend Exemplaren produzierten Rechnerbaugruppe KDT5. Trotz der wesentlich gesteigerten Leistungsfähigkeit der Baugruppe gegenüber ihrem Vorgängermodell konnte das Format beibehalten werden. Dies wurde möglich durch:

- Verwendung modernster Bauelemente (64 kbit RAM's, PAL's etc.)
- Multilayer Technologie der Leiterplattenherstellung
- weitgehende Verlagerung der Ein-/Ausgabe-Treiberbausteine und Stecker auf eine Zusatzplatine

Die Baugruppe wird über drei mechanisch identische 50-polige Steckerleisten mit weiteren Baugruppen innerhalb eines Systems verbunden.

LSI-Schaltkreise folgender Hersteller sind auf der Baugruppe eingesetzt:

- a) Zilog (Z80A): CPU, PIO, SIO, CTC, DMA
- b) NEC: uP 765 (Floppy Disk Controller)
 uP 1990 (Real Time Clock)
- c) Motorola: MC 6845 (CRT-Controller)
- d) Texas Intr.: 74LS610 (Memory Mapper)
 bzw. 74LS612 ab Rev. 1.2B
 funktionskompatibler Einsatz beider IC.

Diese Dokumentation beinhaltet nicht die Beschreibung dieser und aller anderen verwendeten Schaltkreise. Nähere Informationen sind den Datenbüchern der entsprechenden Hersteller zu entnehmen.

Es wird von Fall zu Fall auf in dieser Service-Anleitung enthaltene Schalt- und Bestückungspläne verwiesen. Auf den Bestückungsplänen sind die jeweils bezeichneten IC's, Testpunkte, Jumper etc. besonders gekennzeichnet.

Beschrieben ist eine maximal aufgerüstete Version der KDT6.

Maßgeblich für die Ausführung der KDT6 ist in jedem Fall die gültige Produkt-Spezifikation.



1.1 Kurzbeschreibung

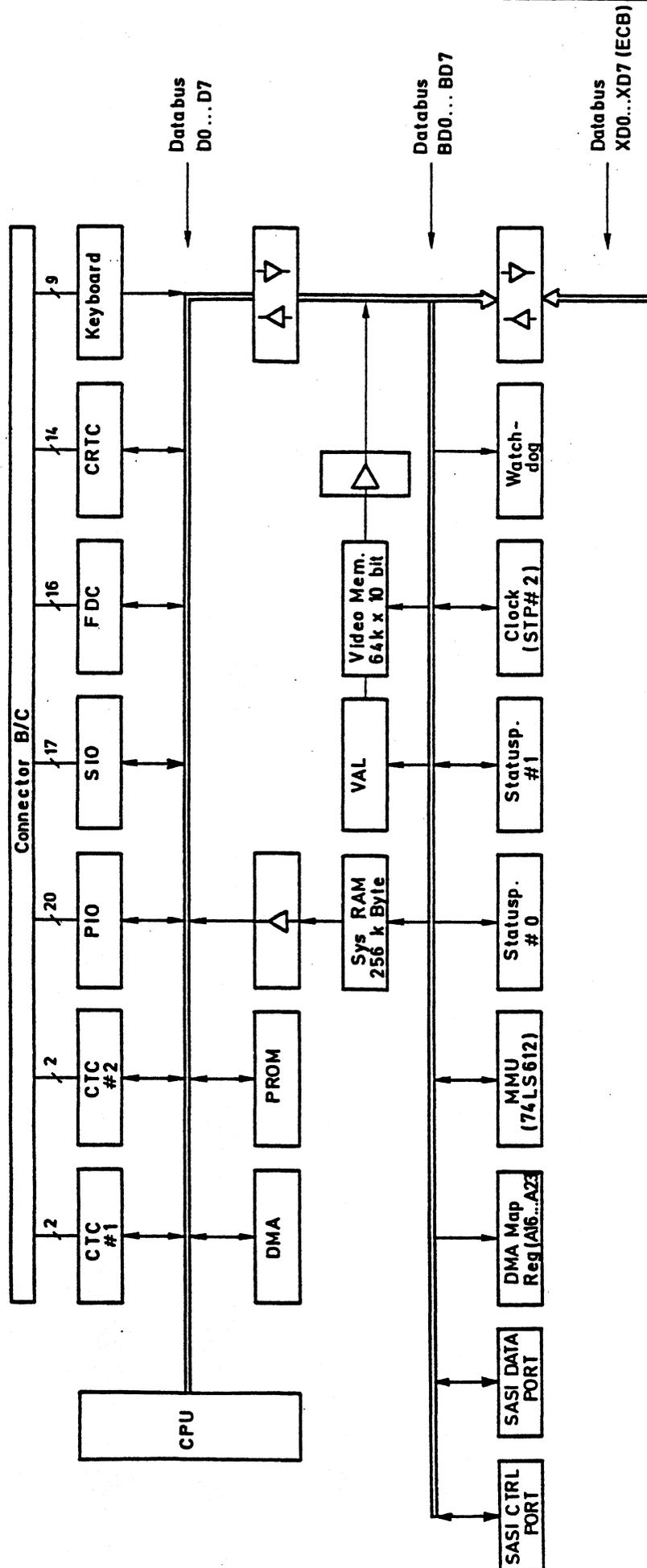
Die Baugruppe KDT6 enthält im einzelnen folgende Komponenten:

- Z80A-CPU mit 4 MHz Taktfrequenz
- Power on Reset
- Separate Buspuffer für internen und externen Bus
- DMA Controller
- Memory Manager mit 16 MByte Adreßraum
- 4 bis 8 kByte PROM (2 Sockel)
- 4 Speicherbänke je 64 kByte = 256 kByte Adreßraum
- Video Speicherbank mit 64 k x 10 bit 'On Board Video Refresh Memory'
- 8 Zähler/Zeitgeberkanäle (2 CTC-Bausteine)
- 16 bit Parallelschnittstelle (ungepufferter PIO-Baustein)
- 2 Serielle Kanäle (TTL gepufferter SIO-Baustein)
- 8 bit Parallelschnittstelle für Keyboard-Anschluß
- Real Time Clock (mit externer Pufferbatterie)
- programmierbarer Watchdog
- Floppy-Disk-Controller für alle Laufwerktypen
- Parallelschnittstelle für Harddisk-Anschluß (SASI-Interface)
- Video-Controller für alphanumerische und graphische Betriebsart
- Charactergenerator für 256 oder 512 Zeichen
- Graphikauflösung 512 x 256 Punkte
- Transparenter Bildwiederholpeicher mit 64 kByte
- Versorgung: 5V (3A voll bestückt)

Die Architektur des Rechners entspricht langjähriger Erfahrung auf dem Gebiet der Schaltungsentwicklung von Mikrocomputersystemen. Die Einheiten auf der Zentralplatine wurden nach funktionellen, logischen und elektrischen Gesichtspunkten so angeordnet, daß unter allen Bedingungen höchste Betriebssicherheit gewährleistet wird. So wurde beispielsweise strikt darauf geachtet, daß die Busstruktur des Prozessors (Adreß-/Datenbus) auch im Layout aufrechterhalten wird, damit Störeinflüsse, wie z.B. Übersprechen, ausgeschlossen werden.

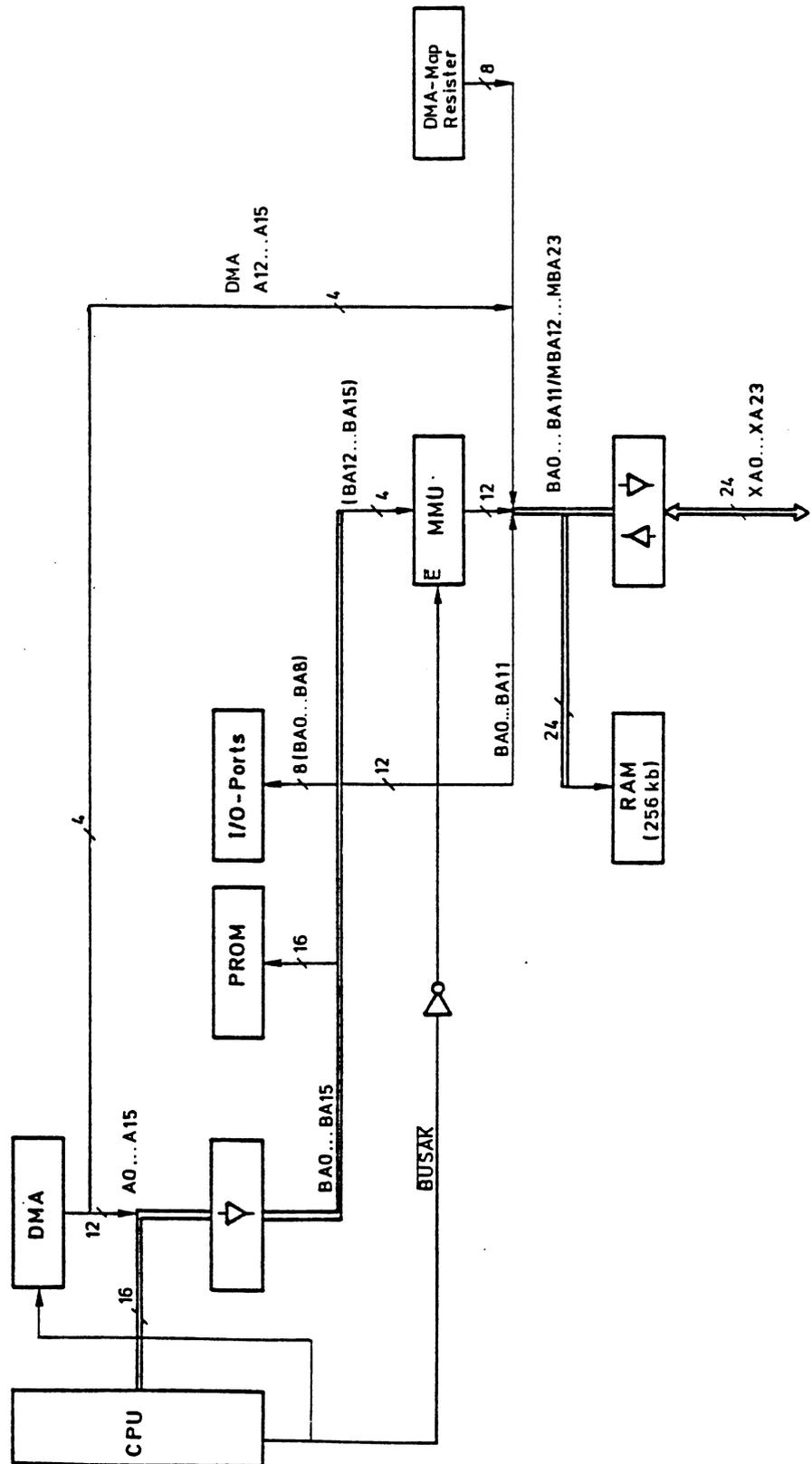
Die Aufteilung in einen 'inneren' und 'äußeren' Datenbus begrenzt die kapazitive Belastung in den einzelnen Bereichen und erhöht somit wiederum die Betriebssicherheit. Der 'innere' Datenbus verbindet alle Z80-Peripheriebausteine und die Ausgänge der Speicher mit der CPU. Störsichere Schmitt-Trigger-Puffer trennen diesen vom 'äußeren' Datenbus, der alle übrigen Peripherieeinheiten und die Eingänge der Schreib-/Lesespeicher bedient.

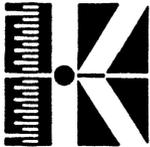
Die folgenden Seiten zeigen das Blockschaltbild der zentralen Rechnerbaugruppe KDT6, aufgeteilt in Datenbus- und Adreßbus-Struktur.





Ax = unbuffered CPU address
BAx = buffered CPU address
MBAx = mapped address from MMU
XAx = buffered ECB address (external address)





2. Zentraler Rechnerteil

Der zentrale Rechnerteil umfaßt die Komponenten:

- CPU mit Takt, Reset und Pufferung
- Speichersysteme mit Speicherverwaltung, Festwert-, Schreib-, Lese- und Bildwiederholungspeicher
- DMA (Direct Memory Access Controller)

2.1 Zentraleinheit

Die Zentraleinheit (Central Processing Unit) der Baugruppe ist mit der Z80-CPU realisiert. Es kann wahlweise die 4 MHz-Version (Z80A-CPU) oder die 6 MHz-Version (Z80B-CPU) eingesetzt werden.

Standardmäßig wird die Z80A-CPU eingesetzt.

a) Takterzeugung

Der Takt für die CPU wird entsprechend der eingesetzten Version von einem 16 oder 24 MHz Quarzoszillator abgeleitet (Blatt 8 der Schaltpläne) und über eine Treiberstufe der CPU und anderen LSI-Schaltkreisen zugeführt (Blatt 1). Der Takt ist am Testpunkt 1 (TP1) meßbar.

Über das Statussignal 'SEL.CLK' (Status Port 0) kann die wirksame Taktfrequenz halbiert werden. Dies ist nach dem Einschalten der Versorgungsspannung automatisch der Fall, womit gewährleistet ist, daß zum Kaltstart (Boot) eines KDT-basierenden Systems auch in 6 MHz Systemen Standard-EPROM Typen mit Zugriffszeiten von ca. 400 ns eingesetzt werden können.

b) Reset

Ein Reset-Signal für die CPU und alle Schaltkreise mit entsprechendem Eingang wird automatisch durch das Anlegen der Versorgungsspannung erzeugt (Power On Reset). Über den Eingang 'RESET.IN' (Stecker A-50/Stecker D-7) kann zudem ein manuelles Reset-Signal, beispielsweise über einen Schalter, ausgelöst werden.

c) Pufferung

Alle Bussysteme der CPU (Adreß-, Daten- und Steuerbus) sind unmittelbar nach der CPU durch Treiber mit Schmitt-Trigger-Charakteristik gepuffert (Blatt 1 - 74LS541/LS245). Von dort führen die Signale zu den einzelnen Komponenten der Baugruppe, sowie zu separaten Buspuffern für den externen ECB-Busanschluß. Diese Puffer sind bidirektional und unterstützen deshalb auch den direkten Speicher- oder I/O-Port-Zugriff durch externe DMA-Controller.



2.2 Das Speichersystem

Das Herz des Speichersystems ist ein LSI-Baustein zur Speicher-
verwaltung (Memory Manager), der die von der CPU stammenden
logischen Adressen (16 bit, 64 kByte) in physikalische Adressen
(24 bit, 16 MByte) umsetzt. Alle Speicheradressen, mit Ausnahme
derjenigen für die EProm's, werden grundsätzlich durch 24 bit
repräsentiert. Dies gilt auch bei DMA-basierenden Speicherzu-
griffen.

2.2.1 Speicherverwaltung (MMU - Memory Mapping Unit)

a) Der Baustein 74LS612/10

Die Speicherverwaltung basiert auf dem LSI-Baustein 74LS612
bzw. ab Rev. 1.2B auch 74LS610 (Blatt 3). Das bei 74LS610
mögliche "Latches" der Ausgabe (M00 - M011) ist durch Anlegen
von Vcc an den betreffenden Latch-Control-Eingang des Bau-
steins aufgehoben.

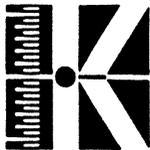
Dieser Memory Mapper beinhaltet 16 frei programmierbare soge-
nannte MAP-Register, welche die höherwertigen 4 Adreßbits der
CPU (BA12...BA15) in 12 Adreßbits (MBA12...MBA23) umsetzen
(Paging). Hierbei dient die logische 4 Bit-Adresse, gebildet
aus BA12...BA15, zur Adressierung eines der 16 MAP-Register.
Die Speicherverwaltung wird unter drei Umständen umgangen:

- Ein DMA-basierender Zugriff ist im Gange (BUSAK aktiv). In
diesem Fall muß der DMA-Controller die Adressen
BA0...BA23 bereitstellen. Die Ausgänge M00...M011 des
Memory Mappers gehen in den hochohmigen Zustand.
- Das Statussignal (Status Port 1) 'SEL.SYSM' (Select
System Memory) von Status Port 1 ist gesetzt.
- Ein I/O-Zugriff findet statt (IORQ aktiv)

In den beiden letzten Fällen sind die Adreßbits MBA16...MBA23
immer 0, sowie die Adreßbits BA12...BA15 unverändert. Dieser
Zustand ist gekennzeichnet durch das Signal 'DIS.MAP'
(Disable Mapper).

b) Adressierung und Programmierung des Bausteins 74LS612/10

Der Baustein wird als I/O-Port adressiert. Er beansprucht
entsprechend der 16 MAP-Register 16 I/O-Adressen, die mit den
Adreßbits BA0...BA3 unterschieden werden. Die Basisadresse
des Bausteins ist 20 (Hex).

Tabelle 1: Adressierung des Memory Mappers
(74LS612/10)

während I/O-Zyklen adressiert durch					!	!	MAP Rg. Nr.:	!	während Speicher- zyklen adressiert durch			
BA7...BA4	BA3	BA2	BA1	BA0	!	Hex	!	!	BA15	BA14	BA13	BA12
	0	0	0	0	!	20	!	0	!	0	0	0
	0	0	0	1	!	21	!	1	!	0	0	0
	0	0	1	0	!	22	!	2	!	0	0	1
	0	0	1	1	!	23	!	3	!	0	0	1
	0	1	0	0	!	24	!	4	!	0	1	0
	0	1	0	1	!	25	!	5	!	0	1	0
	0	1	1	0	!	26	!	6	!	0	1	1
0 0 1 0	0	1	1	1	!	27	!	7	!	0	1	1
	1	0	0	0	!	28	!	8	!	1	0	0
	1	0	0	1	!	29	!	9	!	1	0	1
	1	0	1	0	!	2A	!	10	!	1	0	1
	1	0	1	1	!	2B	!	11	!	1	0	1
	1	1	0	0	!	2C	!	12	!	1	1	0
	1	1	0	1	!	2D	!	13	!	1	1	0
	1	1	1	0	!	2E	!	14	!	1	1	0
	1	1	1	1	!	2F	!	15	!	1	1	1

Da jedes MAP-Register eine Breite von 12 bit (D0...D11) hat, müssen die Bits D0...D3 vor jeder Programmierung eines MAP-Registers getrennt bereitgestellt werden. Dies geschieht über den Status Port 2 der Baugruppe. Alle MAP-Register können auch gelesen werden, jedoch nur deren Bits D4...D11. Ein Beispiel soll die Arbeitsweise des Memory Mappers verdeutlichen.

Annahme:

- Das MAP-Register 0 enthalte in den Bitstellen D0...D11 den Wert 0011 0001 1010 (Hex.: 31AH)
- Die CPU sende die Adresse 0000 xxxx xxxx xxxx (Hex.: OXXX)
aus.
Daraus resultiert folgende physikalische 24 bit-Adresse:

0101 1000 0011 xxxx xxxx xxxx (Hex.: 583XXX)

entsprechend der Abbildungsvorschrift:

MMU-Reg:	D11..D8	D7...D4	D3...D0	
	0 0 1 1	0 0 0 1	1 0 1 0	(Hex.: 31AH)
	0 1 0 1	1 0 0 0	1 1 0 0	
	0 1 0 1	1 0 0 0	0 0 1 1	(Hex.: 583H)

Adresse: MBA23...MBA20 ...MBA16 ...MBA12

Die niederwertigen 12 Adreßbits bleiben also unverändert. Die Basisadresse eines 4 kByte Speicherbereichs kann somit nach Belieben in den physikalischen Adreßraum von theoretisch 16 MByte gelegt werden.



c) Beispiele zur Programmierung des Memory Mappers

1. für eine 1:1 Transformation (Speicherbank Nr.0)

init.mapper:

```
ld hl,mmu.table      ; pointer to mmu.table
ld b,16              ; loop counter
ld c,map.reg.0-1     ; mmu base adress minus 1
xor a
out (stp.2.write),a ; set mapper bits D0...D3
```

loop:

```
inc c                ; increment mapper address
outi                 ; program MAP-register
jr nz,loop           ; loop 16 times
ret
```

mmu.table:

```
defb 0              ; page 0 (0000h-0FFFh)
defb 8              ; page 1 (1000h-1FFFh)
defb 4              ; page 2 (2000h-2FFFh)
defb 0ch            ; page 3 (3000h-3FFFh)
defb 2              ; page 4 (4000h-4FFFh)
defb 0ah            ; page 5 (5000h-5FFFh)
defb 6              ; page 6 (6000h-6FFFh)
defb 0eh            ; page 7 (7000h-7FFFh)
defb 1              ; page 8 (8000h-8FFFh)
defb 9              ; page 9 (9000h-9FFFh)
defb 5              ; page A (A000h-AFFFh)
defb 0dh            ; page B (B000h-BFFFh)
defb 3              ; page C (C000h-CFFFh)
defb 0bh            ; page D (D000h-DFFFh)
defb 7              ; page E (E000h-EFFFh)
defb 0fh            ; page F (F000h-FFFFh)
```

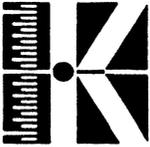
2. der logische Adreßbereich von 4000H bis 4FFFH soll den physikalischen Adreßbereich von 2000H bis 2FFFH von Bank Nr. 1 adressieren:

set.mapper:

```
xor a
out (stp.2.write),a ; set mapper bits D0...D3
ld a,14h            ; select bank 1, page 2
out(map.reg.4),a   ; program MAP-register Nr.4
ret
```

Abschließend die Zuordnung zwischen CPU-Datenbits (Programmierungsphase) und Speicheradresse (Transformationsphase).

	! Page Select	! Bank Select
Adresse:	! MBA15 MBA14 MBA13 MBA12!	MBA16 MBA17 MBA18 MBA19
CPU Datenbit	! D0 D1 D2 D3	! D4 D5 D6 D7
-----!-----!-----		
	! Bank Select	!
Adresse	! MBA20 MBA21 MBA22 BA23	!
Status Port 2	! D3 D2 D1 D0	!



2.2.2 Festwertspeicher (PROM)

Zur Aufnahme von Festwertspeichern (PROM's) stehen zwei 24-polige Steckplätze zur Verfügung. Es kann der EProm-Typ 2732 von Intel (4 kByte) eingesetzt werden.

Die Adressierung der beiden Promsockel erfolgt nicht über die Speicherverwaltung, sondern direkt über die gepufferten Adressen der CPU, da der Prombereich adressiert werden muß, bevor die Speicherverwaltung programmiert ist. Über das Signal 'POFF' (Status Port 0, Bit 5) kann der Prombereich völlig abgeschaltet werden. Die den beiden Promsockeln (PROM1/PROM2) zugeordneten Adressen sind in Tabelle 2 zusammengefaßt.

Tabelle 2: Prom Adreßbereiche

Socket	Adreßbereich	POFF
PROM 1 (I2732)	0000 - 0FFF	0
PROM 2 (I2732)	1000 - 1FFF	0

Hinweis:

Der Prombereich ist als 'Read Only Memory' geschaltet, d.h.: Schreibzugriffe auf den physikalischen Adreßbereich der Prom's adressieren das in diesem Bereich liegende RAM.

2.2.3 Schreib-/Lesespeicher (RAM)

Der Schreib-/Lesespeicher der Baugruppe ist mit modernen 64 kBit x 1 dynamischen RAM-Bausteinen aufgebaut und umfaßt 4 Bänke je 64 kByte, also insgesamt 256 kByte. Die Bänke werden im folgenden als Bank 0 ... Bank 3 bezeichnet.

Daneben ist ein eigener 10 x 64 kbit Bildwiederholpeicher realisiert, der fest dem CRT-Controller zugeordnet ist (siehe auch Abschnitt Bildwiederholpeicher).



Adressierung der Speicherbänke

Die Bänke 0 bis 3 sind folgenden physikalischen 24 bit Adressen zugeordnet (Tabelle 3):

Tabelle 3: Adreßzuordnung der Speicherbänke 0...3

Bank	MBA23...MBA18	MBA17	MBA16	MBA15...BA0	Hex
0	0	0	0	x	00 xxxx
1	0	0	1	x	01 xxxx
2	0	1	0	x	02 xxxx
3	0	1	1	x	03 xxxx

Der Adreßdekodierer (Blatt 3) ist mit einem PAL-Baustein (PAL1, Typ 12L6) realisiert. Er liefert die RAS-Signale (Row Address Strobe) für die Speicherbänke 0 bis 3 (RAS0...RAS3), desweiteren die Steuersignale 'INT.MEM' (Internal Memory) und 'SEL.RAM' (Select Ram). Die Gleichungen dieses PAL-Bausteins und aller anderen PAL's sind im Anhang zusammengestellt.

2.2.4 Bildwiederholpeicher

a) Übersicht

Der Bildwiederholpeicher besteht aus einer 64k x 10 bit RAM-Bank.

Die Adressierung des Bildwiederholspeichers durch die CPU erfolgt ausschließlich über I/O-Read/Write-Befehle.

b) Der Bildwiederholpeicher als I/O-Port

Der gesamte Bildwiederholpeicher kann formal als I/O-Port betrachtet werden, dem 4 I/O-Adressen zugeordnet sind. Dieses Verfahren bietet einige entscheidende Vorteile gegenüber der Speicheradressierung:

- keine Stackmanipulationen vor dem Zugriff auf den Bildwiederholpeicher notwendig
- keine Mapper Programmierung notwendig
- keine Restriktionen bezüglich der Lage von Interrupt Service Routinen in einem System
- 100 %-ige Trennung zwischen System- und Videospeicher



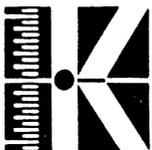
Der Zugriff auf den Bildwiederholtspeicher über I/O-Befehle erfordert gewöhnlich 3 Schritte:

- a) Übertragung des Low Bytes der Adresse in das Video Address Latch Low (val.low)
- b) Übertragung des High Bytes der Adresse in das Video Adress Latch High (val.high)
- c) Übertragung des eigentlichen Datenbytes

Das Video Address Latch ist als programmierbarer 16 Bit Vor-/Rückwärtszähler realisiert (Blatt 12). Dieser Zähler kann optional nach der Übertragung des Datenbytes automatisch inkrementiert oder dekrementiert werden. Der Datenaustausch mit aufeinanderfolgenden Speicherstellen des Bildwiederholtspeichers erfordert deshalb nur die einmalige Übertragung einer Adresse und ansonsten einen I/O-Befehl pro Byte. Zur Manipulation des Bildwiederholtspeichers können somit auch die Blocktransferbefehle der Z80-CPU (OTIR, INIR) angewandt werden. Tabelle 4 enthält die für den Bildwiederholtspeicher relevanten I/O-Adressen.

Tabelle 4: Die I/O-Adressen des Bildwiederholtspeichers

Adresse	I/O-Port	Adreßsymbol
30	Video Bank	vmb0
31	Video Bank + Auto Increment	vmb0.auto.inc
36	Video Bank + Auto Decrement	vmb0.auto.dec
37	Video Bank + Auto Increment	vmb0.auto.inc
40	Video Adress Latch (High)	val.high
41	Video Adress Latch (Low)	val.low



c) Programmbeispiele

1. Beispiel:

Der Inhalt von Register <A> soll in den Bildwiederhol-
speicher (Adresse: <DE>) geschrieben werden.

```
write.to.bank : ld c, val.low      ; video address latch (low)
                out (c), e         ; transfer low address
                dec c              ; video address latch (high)
                out (c), d         ; transfer high address
                out (vmb0), a      ; transfer data byte
                ret                ; return to caller
```

2. Beispiel:

Aus dem Systemspeicher ab Adresse <HL> sollen 80 Bytes in
den Bildwiederholpeicher übertragen werden (Adresse <DE>)

```
move.to.bank : ld c, val.low      ; video address latch (low)
                out (c), e         ; transfer low address
                dec c              ; video address latch (high)
                out (c), d         ; transfer high address
                ld c, vmb0.auto.inc ; video data address (auto inc)
                ld b, 80           ; byte counter
                otir               ; transfer 80 bytes
                ret                ; return to caller
```

2.2.5 Externe Speichererweiterung

Externe Speichererweiterungen können mit standardmäßigen ECB-
Baugruppen (z.B. ECB/D256) über den ECB-Busanschluß der KDT-
Baugruppe realisiert werden. Voraussetzung ist, daß alle externen
Speicherbaugruppen die Adreßbits XA16...XA23 zur Adreßdekodierung
mitverwenden. Diese Adressen sind identisch mit den früher de-
finierten MBS-Signalen (Memory Bank Select) der ECB-Busdefini-
tion.

Alle Speicheradressen größer als 04 0000 (Hex) adressieren auto-
matisch einen externen Speicher. Wie bereits beschrieben, kann
die Abbildung von logischen CPU-Adressen in physikalische
Speicheradressen in 4 'kByte-Pages' festgelegt werden.



2.3 DMA-Controller

Die Baugruppe besitzt standardmäßig einen Z80-DMA Baustein mit eigenem MAP-Register für die Adressen BA16...BA23 (Blatt 2).

Tabelle 5: DMA I/O-Adressen

Adresse	I/O-Port	Adresssymbol
0	Z80-DMA	dma
1	nicht verwendet	
2	nicht verwendet	
3	nicht verwendet	
3C	Map Register für DMA (A16...A23)	dma.map.reg

Über einen Multiplexer (IC 71: 74LS153) kann durch das Statusbit 4 von Status Port 0 und Bit 3 vom SASI-Controlport eines von drei Trigger Signalen an den Ready Eingang des DMA geschaltet werden.

SASI-Controller Bit 3	Status- port 0 Bit 4	DMA-Ready Signal
1	0	FDC.DRQ (Floppy Disk Controller, Data Request)
1	1	SIOA.RDY (SIO Data Request, Kanal A)
0	x	SASI.DRQ (Data Request vom SASI-Interface)



2.3.1 Interrupt-Zyklus: Prioritäts-Kaskadierung

Bei der Unterbrechungsanforderung von Peripherieelementen wie DMA, CTC, SIO und PIO werden diese Bausteine zu einer nach Priorität geordneten Kette (Daisy Chain) zusammengefaßt. Erstes Glied dieser Kette bei der KDT6 mit der höchsten Priorität ist die DMA (Stand Alone Mode bei Speicher/Speicher-Operationen).

Die Prioritäts-Kaskadierung erfolgt bei der KDT6 nach folgendem Schema:

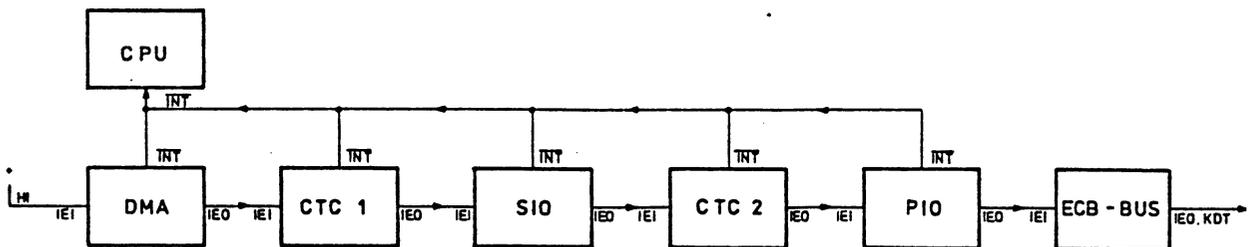


Abb. 3: Interrupt-Prioritätskette bei KDT6 (schematisch)

Die durch die Kettenlänge auftretenden Schaltzeitprobleme können durch eine "Look-Ahead"-Schaltung umgangen werden. Auf der KDT6 wird diese Schaltung durch PAL3 dargestellt (siehe Blatt 5 und Programmierung PAL3).



3. I/O-Ports

Alle I/O-Leitungen sind auf die beiden 50-poligen Stecker B und C herausgeführt (ST-B/ST-C).

3.1 Zusammenstellung aller I/O-Ports

Die Baugruppe beansprucht 50 (Hex) I/O-Adressen entsprechend der Aufstellung in den Tabellen 6 und 7. Die mit einem * gekennzeichneten I/O-Ports sind kompatibel zur KDT 5.

Tabelle 6: I/O-Ports (Adressen 0-1FH)

Adresse	I/O-Port	Adreßsymbol
00 (*)	Z80A-DMA	dma
01 -	-	-
02 -	-	-
03 -	-	-
04 (*)	SIO Channel A data	sio.channel.a
05 (*)	SIO Channel B data	sio.channel.b
06 (*)	SIO Channel A control	sio.channel.a+2
07 (*)	SIO Channel B control	sio.channel.b+2
08 (*)	CTC1 Channel 0	ctc1.channel.0
09 (*)	CTC1 Channel 1	ctc1.channel.1
0A (*)	CTC1 Channel 2	ctc1.channel.2
0B (*)	CTC1 Channel 3	ctc1.channel.3
0C (*)	PIO Port A data	pio.port.a
0D (*)	PIO Port B data	pio.port.b
0E (*)	PIO Port A control	pio.port.a+2
0F (*)	PIO Port B control	pio.port.b+2
10 (*)	CTC2 Channel 0	ctc2.channel.0
11 (*)	CTC2 Channel 1	ctc2.channel.1
12 (*)	CTC2 Channel 2	ctc2.channel.2
13 (*)	CTC2 Channel 3	ctc2.channel.3
14 (*)	FDC 765 control	fdc.765.status
15 (*)	FDC 765 data	fdc.765.data
16 -	-	-
17 -	-	-
18 (*)	CRTC 6845 control	crtc.pointer
19 (*)	CRTC 6845 data	crtc.data
1A -	-	-
1B -	-	-
1C (*)	Status Port Nr.0 (Write)	stp.0
1D (*)	Keyboard Input Register	keyboard
1E (*)	FDC DACK (Data Acknowledge)	fdc.dack
1F (*)	FDC TC (Terminal Count)	fdc.tc



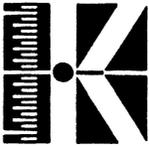
Tabelle 7: I/O-Ports (Adressen: 20H-4FH)

Adresse	I/O-Port	Adresssymbol
20-2F	74LS612/10 Memory MAP-Register 0...15	map.reg.xx
30	Video Bank	vmb0
31	Video Bank + Auto Increment	vmb0.auto.inc
32	-	
33	-	
34	-	
35	-	
36	Video Bank + Auto Decrement	vmb0.auto.dec
37	Video Bank + Auto Increment	vmb0.auto.inc
38	Status Port Nr.1 (STP1) Write	stp.1.write
39	Status Port Nr.1 (STP1) Read	stp.1.read
3A	Status Port Nr.2 (STP2) Write	stp.2.write
3B	SASI Control Port	sasi.ctrl
3C	DMA Map Register	dma.map.reg
3D	Watch Dog Register	wdog.reg
3E	Watch Dog Trigger	wdog.trigger
3F	SASI Data Port	sasi.data
40	Video Address Latch (high byte)	val.high
41	Video Address Latch (low byte)	val.low
42-4F	-	-

Die Adressen ab 50H können externen I/O-Ports zugeordnet werden.

Wichtiger Hinweis:

Die symbolischen Adressen sind als Empfehlung zu betrachten. Es wird empfohlen, in allen ASM-Programmen für die KDT-Baugruppe obige Symbole zur einheitlichen Kennzeichnung der I/O-Ports zu verwenden.



3.2 Status Ports

Die Baugruppe enthält drei sogenannte Status Ports (stp.0...stp.2), die im allgemeinen zur Programmierung der Hardware dienen. Der Status Port 0 ist aufwärtskompatibel zum (einzigen) Status Port der KDT 5.x.

Tabelle 8: I/O-Adressen der Status Ports

Adresse	I/O-Port	Adresssymbol
1C	Status Port 0 (write only)	stp.0
38	Status Port 1 (write only)	stp.1.write
39	Status Port 1 (read only)	stp.1.read
3A	Status Port 2 (write only)	stp.2.write

Achtung:

Der Status Port 0 kann und darf nicht gelesen werden (Kompatibilität zu KDT 5.x).

3.2.1 Status Port 0

Tabelle 9: Bitzuordnung von Status Port 0

Bit Nr.	Pegel	Funktion
0	0	Watchdog ist gesperrt
	1	Watchdog ist freigegeben
1	0	Systemfrequenz beträgt 0.5x Phi (2/3 MHz)
	1	Systemfrequenz beträgt 1.0x Phi (4/6 MHz)
2	0	Audiokanal ist gesperrt
	1	Audiokanal ist freigegeben
3	0	Zeichensatz 0 (A12 für 2764 Character Generator)
	1	Zeichensatz 1 (A12 für 2764 Character Generator)
4	0	FDC.DRQ ist DMA Triggersignal (falls SASI-Control/Bit 3 = 1)
	1	SIOA.RDY ist DMA Triggersignal (falls SASI-Control/Bit 3 = 1)
5	0	Prom Bereich eingeschaltet
	1	Prom Bereich abgeschaltet
6	0	8" FD-Laufwerke (Standard FD)
	1	5 1/4" FD-Laufwerke (Mini FD)
7	0	FD-Laufwerk Motor abgeschaltet
	1	FD-Laufwerk Motor angeschaltet

Alle Bits von Status Port 0 werden beim Anlegen der Versorgungsspannung und durch jeden Reset automatisch auf 0 gesetzt.



3.2.2 Status Port 1

Status Port 1 ist mit Ausnahme von Bit 7 dem Video Controller Teil der Baugruppe zugeordnet. Im einzelnen gilt folgende Bitzuordnung:

Tabelle 10: Bitzuordnung von Status Port 1

Bit Nr.	Bezeichnung	Funktion
0	VA14	Bit 14 der CRT-Controller Scrolladresse
1	VA15	Bit 15 der CRT-Controller Scrolladresse
2	VBIT8	Bit 8 des Bildwiederholerspeichers (10 bit)
3	VBIT9	Bit 9 des Bildwiederholerspeichers (10 bit)
4	-	
5	VID.INV	Invertiert das Videosignal 0 - Hintergrund dunkel 1 - Hintergrund hell
6	SEL.DM	Selektiert den 'Display Mode' 0 - Graphische Darstellung 1 - Alphanumerische Darstellung
7	SEL.SYSM	Selektiert die Systemspeicherbank (Bank 0) In diesem Fall führt die Speicherverwaltung keine Adreßtransformation durch (Bit 7=1).

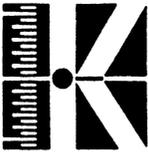
Hinweise zu den Bits 0 bis 3

- VA14 und VA15 bestimmen die höherwertigen beiden Bits der Scrolladresse des CRT-Controllers, der selbst nur 14 Adreßbits bereitstellt. Die Scrolladresse bestimmt die Anfangsadresse des auf dem Monitor dargestellten Ausschnitts des Bildwiederholerspeichers.
- Die Videobank ist 10 bit breit (10 x 64 kBit). VBIT8 und VBIT9 bestimmen, was beim Beschreiben des Bildwiederholerspeichers in dessen höherwertige Bits 8 und 9 geschrieben wird. VBIT8 und VBIT9 haben folgende Wirkung:

VBIT8 - Zeicheninvertierung
VBIT9 - Zeichen Blinken (Blinking)

Die Funktionen 'Invertieren und Blinken' sind auf der Interface-Platine realisiert. Insofern haben VBIT8 bzw. VBIT9 auf der KDT selbst keine besondere Bedeutung.

Achtung: Für Status Port 1 gelten unterschiedliche Adressen für Read/Write Operationen (39H bzw. 38H). Von Adresse 38H darf nicht gelesen werden.



3.2.3 Status Port 2

Status Port 2 ist ein 'Write only'-Port, der primär dem Real Time Clock Chip (NEC 1990, Blatt 8) zugeordnet ist. Außerdem werden über diesen Port die höherwertigen Datenbits bei der Programmierung des Memory Mappers (74LS612/10) festgelegt.

Tabelle 11: Bitzuordnung von Status Port 2 (Write only Port)

Bit Nr.	Funktion
0	MAPD 3/Data Input-uP 1990
1	MAPD 2/Control 0-uP 1990
2	MAPD 1/Control 1-uP 1990
3	MAPD 0/Control 2-uP 1990
4	CK (Clock) - uP 1990
5	STB (Strobe) - uP 1990
6	OE (Output Enable) - uP 1990
7	CS (Chip Select) - uP 1990

Hinweis:

Der Real Time Clock Chip 'uP 1990' ist nur dann selektiert, wenn Bit 7 (Chip Select) aktiv ist.

Das Auslesen der Real Time Clock geschieht über den SASI Control Port, Bit 0.



3.3 Parallele I/O-Ports

Es stehen insgesamt 24 parallele I/O-Datenleitungen, sowie 5 Handshakesignale zur Verfügung. Die Aufteilung ist wie folgt:

Z80-PIO	16 Datenleitungen (Input/Output)
	4 Handshakeleitungen
74LS374	8 Datenleitungen (Keyboard Input)
	1 Strobeleitung

Tabelle 12: I/O-Adressen der parallelen I/O-Ports

Adresse	I/O-Port	Adresssymbol
OC	PIO Port A Data	pio.port.a
OD	PIO Port B Data	pio.port.b
OE	PIO Port A Control	pio.port.a+2
OF	PIO Port B Control	pio.port.b+2
1D	Keyboard Input (74LS374)	keyboard

Tabelle 13: Steckerbelegung der parallelen Ein-/Ausgänge

ST-B

B-1	-	Keyboard Data 7
B-2	-	Keyboard Data 6
B-3	-	Keyboard Data 5
B-4	-	Keyboard Data 4
B-5	-	Keyboard Data 3
B-6	-	Keyboard Data 2
B-7	-	Keyboard Data 1
B-8	-	Keyboard Data 0
B-10	-	Keyboard Strobe (CTC2-Clock 1)
B-12...B19		PIO Port A: A0...A7
B-20		PIO Port A: Ready (ARDY)
B-21		PIO Port A: Strobe (ASTRB)
B-22		PIO Port B: Strobe (BSTRB)
B-23		PIO Port B: Ready (BRDY)
B-24...B-31		PIO Port B: B0...B7

Alle PIO-Anschlüsse sind ungepuffert. Pull Up Widerstände von 1k Ohm befinden sich an den Strobe-Eingängen (ASTRB/BSTRB).



3.4 Serielle I/O-Ports

Die Baugruppe enthält zwei serielle I/O-Ports, realisiert mit dem Baustein Z80-SIO, der asynchrone und synchrone Übertragungsarten unterstützt.

Tabelle 14: I/O-Adressen der seriellen I/O-Ports

Adresse	I/O-Port	Adreßsymbol
4	SIO Port A Data	sio.channel.a
5	SIO Port B Data	sio.channel.b
6	SIO Port A Control	sio.channel.a+2
7	SIO Port B Control	sio.channel.b+2

Alle I/O-seitigen Anschlüsse des Z80-SIO's sind zum Teil TTL-gepuffert an Stecker ST-B herangeführt. Wie bereits mehrfach erwähnt, befindet sich das leitungsspezifische Interface in KDT6-basierenden Systemen auf einer separaten I/O-Platine.

Tabelle 15: Steckerbelegung der seriellen Ein-/Ausgänge

Anschluß: ST-B	SIO-Anschluß	Bezeichnung	Input/Output
B-32 (*)	15/TxDA	Transmitter Data	x
B-33	16/DTRA	Data Terminal Ready	x
B-34	17/RTSA	Ready to Send	x
B-35 (*)	12/RxDA	Receiver Data	x
B-36	18/CTSA	Clear to Send	x
B-37	19/DCDA	Data Carrier Detect	x
B-38 (*)	14/TxCA	Transmitter Clock	x
B-39 (*)	13/RxCA	Receiver Clock,	x
B-30	11/SYNA	Sync In/Out	x x
B-48 (*)	26/TxDB	Transmitter Data	x
B-47	25/DTRB	Data Terminal Ready	x
B-46	24/RTSB	Ready to Send	x
B-45	28/RxDB	Receiver Data	x
B-44	23/CTSB	Clear to Send	x
B-43	22/DCDB	Data Carrier Detect	x
B-42 (*)	27/RxTxCB	Transceiver Clock	x
B-41	29/SYNCB	Sync In/Out	x x

(*) Diese Signale sind TTL-gepuffert (Schmitt Trigger-Charakteristik).



3.5 Zähler/Zeitgeber Kanäle

Zwei Z80-CTC Bausteine stellen insgesamt 8 Counter/Timer Kanäle bereit.

Tabelle 16: I/O-Adressen der Zähler/Zeitgeber Kanäle

Adresse	I/O-Port	Adreßsymbol
08H	CTC1 Channel 0	ctc1.channel.0
09H	CTC1 Channel 1	ctc1.channel.1
0AH	CTC1 Channel 2	ctc1.channel.2
0BH	CTC1 Channel 3	ctc1.channel.3
10H	CTC2 Channel 0	ctc2.channel.0
11H	CTC2 Channel 1	ctc2.channel.1
12H	CTC2 Channel 2	ctc2.channel.2
13H	CTC2 Channel 3	ctc2.channel.3

Verwendung der Kanäle:

CTC1 Channel 0 - Interrupt für FD-Controller uP765
CTC1 Channel 1 - Baudrate SIO Port B (siehe Hinweis)
CTC1 Channel 2 - Baudrate SIO Port A (siehe Hinweis)
CTC1 Channel 3 - Interrupt für Light Pen Input

CTC2 Channel 0 - Tongenerator
CTC2 Channel 1 - Interrupt für Keyboard Strobe
CTC2 Channel 2 - VSync Interrupt (Systemtakt für Multitasking)
CTC2 Channel 3 - nicht verwendet

Hinweis: Werden die Kanäle 1 und 2 von CTC1 im Counter Mode betrieben, so kann die Eingangsfrequenz über Jumper wahlweise von PAL8 (FD-Controller) oder von einem separaten Quarz-Oszillator geliefert werden. Der Oszillator ermöglicht Baudraten bis zu 76800 Bd.

Aus- und Eingänge folgender CTC-Kanäle sind direkt oder indirekt mit Stecker ST-B verbunden:

CTC1 - ZC1	B-49	(Baudrate SIO Port B)
ZC2	B-50	(Baudrate SIO Port A)
CTC2 - CLK0	B-9	-
CLK1	B-10	(Keyboard Strobe)
ZC0	B-11	(Audio Ausgang)

**Baudraten Einstellung**

Die Kanäle 1 und 2 von CTC1 können als Baudrate-Generator arbeiten, sofern auf der separaten I/O-Platine die entsprechende Verbindung zwischen CTC-Ausgang und SIO-Takteingang realisiert ist.

B-50 (CTC) ----> B-38/39 (SIO-Port A)
 B-49 (CTC) ----> B-42 (SIO-Port B)

Bei einer Eingangsfrequenz von 2 MHz (Jumper J3, Stellung A, Taktversorgung von PAL8) gilt folgende Tabelle für die Programmierung des CTC-Teilerfaktors:

Tabelle 17: CTC-Programmiertabelle zur Baudratengenerierung bei 2 MHz

SIO-Takt:	x16	x32	x64	x16
CTC-Betr.Art	Zähler	Zähler	Zähler	Zeitgeber

BAUDRATE	CTC-Teilerfaktor			
9600	13	--	--	--
4800	26	13	--	--
2400	52	26	13	--
1200	104	52	26	--
600	208	104	52	--
300	--	208	104	--
150	--	--	208	--
110	--	--	--	142
75	--	--	--	208

Werden die CTC-Eingänge von dem Quarzoszillator mit 9,8304 MHz/8 = 1,2288 MHz versorgt (Jumper J3, Stellung B), ergeben sich folgende Werte:

Tabelle 18: CTC-Programmiertabelle zur Baudratengenerierung bei 1,2288 MHz

SIO-Takt:	x16	x32	x64	x16
CTC-Betriebsart:	Zähler	Zähler	Zähler	Zeitgeber

Baudrate	C T C - Teilerfaktor			
76800	1	-	-	-
38400	2	1	-	-
19200	4	2	1	-
9600	8	4	2	-
4800	16	8	4	-
2400	32	16	8	-
1200	64	32	16	-
600	128	64	32	-
300	0	128	64	-
150	-	0	128	-
110	-	-	0	87
75	-	-	-	128

Teilerfaktor 0 entspricht 256.



3.6 Floppy Disk Controller

Die Floppy Disk Controller Schaltung der Baugruppe ermöglicht den Anschluß von 5 1/4" oder 8" FD-Laufwerken mit einfacher oder doppelter Schreibdichte (single/double density). In allen Fällen können auch Doppelkopf-Laufwerke betrieben werden. Gemischter Betrieb beliebiger Konfigurationen ist möglich.

In allen wichtigen Punkten ist die Controller Schaltung hard- oder softwaremäßig programmierbar. Das Herz des Controllers ist der Baustein NEC uP765, der als intelligenter Peripherieprozessor alle wesentlichen Aufgaben der FD-Ansteuerung übernimmt.

Sämtliche Zeittakte für den Floppy-Disk-Teil werden von einem 16 MHz Oszillator abgeleitet. Für die Erzeugung des CPU-Taktes wird bei 4 MHz Betriebsfrequenz ebenfalls ein 16 MHz Oszillator verwendet. Somit wird bei 4 MHz-CPU-Takt nur ein 16 MHz-Oszillator benötigt, bei allen anderen Frequenzen (z.B. 6 MHz bei Z80B-CPU) sind zwei Oszillatoren erforderlich. Dies wird über Jumper J2 geregelt:

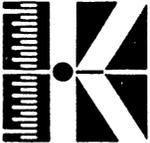
J2: A: 2 Oszillatoren (16 MHz für Floppy Disk,
24 MHz für Z80B-CPU-Takt)
B: 1 Oszillator (16 MHz)

Für den 2. Oszillator ist ein eigener Bestückungsplatz vorgesehen, der nur im Falle J2/A verwendet wird.

Tabelle 19: I/O-Adressen des FD-Controllers

Adresse	I/O-Port		Adreßsymbol
14H	uP765	Main Status Register	fdc.765.status
15H	uP765	Data Register	fdc.765.data
1EH	uP765	Data Acknowledge Input	fdc.clock
1FH	uP765	Terminal Count Input	fdc.tc

Über Kanal 0 von CTC-1 ist der uP765 im Z80-System interruptfähig (Vektorinterrupt). Der Ausgang DRQ (Data Request) ist zur Steuerung von DMA-basierenden Datenübertragungen zwischen uP765 und Speicher mit der DMA-Controller Logik der Baugruppe verbunden.



Programmierung der FD-Controller Schaltung

a) softwaremäßig über die Bits 6 und 7 des Status Ports 0

Bit 6: Umschaltung zwischen 5 1/4" (Bit 6=1)
und 8" Laufwerken (Bit 6=0)

Bit 7: Motor Ein-/Ausschalten (Bit 7=0 --> Motor aus)

b) hardwaremäßig über zwei PAL-Bausteine
PAL 5 (Typ:16H2) bestimmt im wesentlichen die Write Pre-
compensation, welche in Inkrementen von 62.5 ns einstellbar
ist.

PAL 8 (Typ:12H6) bestimmt die Referenztakte für den uP765.
Der Referenztakt für den Datenseparator beträgt grundsätzlich
8 MHz.

Tabelle 20: FDC-Referenztakte

-STD/MINI	MF	!	FDC.CLK	W.CLK
0	0	!	8	0.5
0	1	!	8	1.0
1	0	!	4	0.25
1	1	!	4	0.50

Alle Angaben in Megahertz. Die Pulsbreite von W.CLK beträgt in
allen Fällen 250 ns (siehe: Timingdiagramme).

Hinweis: PAL 8 bestimmt auch die Eingangsfrequenz für die Kanäle
1 und 2 von CTC1 (Baudrategenerator).

**Steckerbelegung:**

Alle Signale sind an Stecker ST-C herausgeführt. Ausgänge sind mit Open Collector Puffern getrieben; Eingänge sind mit 150 Ohm Pull-Up Widerständen abgeschlossen.

Tabelle 21: Steckerbelegung der FDC-Ein-/Ausgänge

Anschluß ST-C	Bezeichnung	Input/Output	
C-1	Motor On		x
C-2	Drive Select 0		x
C-3	Drive Select 1		x
C-4	Drive Select 2		x
C-5	Drive Select 3 (Achtung: ungepuffert)		x
C-6	Disk Read Data	x	
C-7	Ground	-	-
C-8	Disk Write Data		x
C-9	Ground	-	-
C-10	Head Load		x
C-11	Head Select (Side Select)		x
C-12	Write Gate		x
C-13	Ready	x	
C-14	Index	x	
C-15	Write Protect	x	
C-16	Track 0	x	
C-17	Step		x
C-18	Direction		x

Parallel dazu sind sämtliche Signale auf den 34-pol Stecker ST-F geführt. Hier ist der direkte Anschluß von FD-Laufwerken mit einem 1:1-Flachbandkabel möglich.



Tabelle 22: Belegung des FD-Anschlußsteckers (ST-F)

Anschluß ST-F	Bezeichnung	Input/Output	
F-2	Motor On		x
F-4	nc	-	-
F-6	Ready	x	
F-8	Index	x	
F-10	Drive Select 0		x
F-12	Drive Select 1		x
F-14	nc	-	-
F-16	Motor On		x
F-18	Direction		x
F-20	Step		x
F-22	Write Data		x
F-24	Write Gate		x
F-26	Track 0	x	
F-28	Write Protect	x	
F-30	Read Data	x	
F-32	Head Select		x
F-34	nc	-	-

Alle ungeraden Pinnummern auf GND



3.7 Harddisk-Anschluß (SASI-Interface)

Das SASI-Interface (Shugart Associates System Interface) besteht aus einem parallelen 8-bit-Datenport, welcher den Datentransfer zwischen KDT und Peripherieeinheit (i.a. Harddisk) abwickelt, und aus einem Control Port, der für den Austausch von Steuersignalen zuständig ist.

Tabelle 23: I/O-Adressen des SASI-Interface

Adresse	I/O-Port	Adreßsymbol
3BH	SASI Control Port	sasi.ctrl
3FH	SASI Data Port	sasi.data

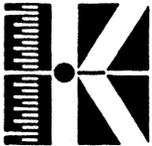
Die Bitzuordnung des Control Ports ist beim Lesen und Schreiben unterschiedlich.

Tabelle 24: Bitzuordnung des SASI-Control-Port (Read)

Bit	Funktion
0	Data Input uP 1990
1	SASI Busy (-BSY)
2	SASI Request (-REQ)
3	SASI Message (-MSG)
4	SASI Control/Data (-C/D)
5	SASI Input/Output (-I/O)
6	SASI Reset (-RST)
7	SASI Select (-SEL)

Bit 0 dient zum Auslesen der Zeit-Information aus der Real Time Clock. Siehe dazu auch Statusport 2.

Das SASI-Interface erzeugt ein DMA-Request Signal, so daß DMA-gesteuerte Datenübertragung möglich ist.



In Schreibrichtung stehen nur 4 Bit zu Verfügung.

Tabelle 25: Bitzuordnung des SASI-Control-Port (Write)

Bit	Funktion
0	-
1	SASI Reset (-RST)
2	DMA Trigger Selektierung
3	Sasi Select (-SEL)

Steckerbelegung:

Alle Signale sind auf den 50-pol. Stecker ST-E geführt. Dieser ermöglicht den Anschluß einer Peripherie-Einheit mit SASI-Interface (z.B. Harddisk mit XEBEC-Controller-Board) über 50-poliges 1:1 Flachbandkabel.

Tabelle 26: Belegung des SASI-Anschlußsteckers (ST-E)

Anschluß ST-E	Bezeichnung	Input/Output
E-2	SD0 Datenbit 0	x x
E-4	SD1 Datenbit 1	x x
E-6	SD2 Datenbit 2	x x
E-8	SD3 Datenbit 3	x x
E-10	SD4 Datenbit 4	x x
E-12	SD5 Datenbit 5	x x
E-14	SD6 Datenbit 6	x x
E-16	SD7 Datenbit 7	x x
E-18	nc	- -
E-20	nc	- -
E-22	nc	- -
E-24	nc	- -
E-26	nc	- -
E-28	nc	- -
E-30	nc	- -
E-32	nc	- -
E-34	nc	- -
E-36	-BUSY Busy	x
E-38	-ACK Acknowledge	x
E-40	-RST Reset	x
E-42	-MSG Message	x
E-44	-SEL Select	x
E-46	-C/D Control/Data	x
E-48	-REQ Request	x
E-50	-I/O Input/Output	x

Alle ungeraden Pinnummern auf GND



3.8 Video Controller

Die Video Controller Schaltung der Baugruppe ist um den LSI-Baustein MC6845 aufgebaut. Einzelheiten der Adressierung des Bildwiederholerspeichers sind dem Abschnitt 'Bildwiederholerspeicher' (Kapitel 2) zu entnehmen.

a) der CRT-Controller 6845

Diesem Baustein sind zwei I/O-Adressen zugeordnet:

18H - Adreßregister
19H - Register File

Der 6845 erzeugt primär die zur Ansteuerung eines Monitors notwendigen Sync-Signale, sowie die Refresh Adressen für den Bildwiederholerspeicher. Da dies nur 14 bit sind, sorgt eine programmierbare Zusatzlogik (Zähler 74LS193) für die fehlenden beiden Bits zur Adressierung von 64 kByte.

Über einen Jumper (J1) kann zwischen 16 und 64 kByte Bildwiederholerspeicher gewählt werden:

J1 A: 64 kByte Video Memory
B: 16 kByte Video Memory (Voreinstellung)

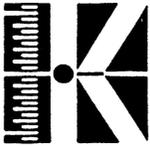
Die Adressierung des Bildwiederholerspeichers ist auf Blatt 12 dargestellt. Für jede Adresse sind 3 Quellen möglich:

- CRTC alpha/numerischer Betrieb
- CRTC graphischer Betrieb
- CPU I/O-Adressierung

b) Zeichengenerator

Der Zeichensatz ist durch einen 4 oder 8 kByte EProm (2732/2764) festgelegt. Damit können 256 bzw. 512 verschiedene Zeichen generiert werden. Die Videobank (Blatt 13) ist 10 Bit breit. Zwei Bits bestimmen Zeichenattribute wie beispielsweise 'Character Invert' und 'Character Blinking'. Beides wird auf der separaten Interface-Platine erzeugt.

Wird ein 2764-EProm eingesetzt, so kann über Bit 3 von Status Port 0 zwischen zwei verschiedenen Zeichensätzen von jeweils 256 Zeichen gewählt werden.

**c) Steckerbelegung**

Alle Ausgänge der Video Controller Schaltung sind auf Stecker C (ST-C) herausgeführt.

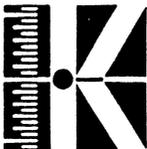
Tabelle 27: Steckerbelegung der CRTC-Ein-/Ausgänge

Anschluß ST-C	Bedeutung
C-24	Vertical Sync
C-25	Horizontal Sync
C-26	Display Enable
C-27	Cursor
C-28	Video Invert
C-29	Light Pen Input
C-30	Select Display Mode (Alpha/Graphic)
C-31	Video Bit 9
C-33	Video Bit 8
C-35	Video Data (Graphic)
C-37	Video Data (Alpha)
C-39	nc
C-41	nc
C-50	Dot Clock (13,5168 MHz) *

d) Video Zeitbasis

Alle zeitbestimmenden Signale sind von einem 13,5168 MHz * Quarzoszillator abgeleitet. Die wesentlichen Frequenzen werden durch PAL 7 (Typ 16L8) generiert. Dieser steuert auch den transparenten Zugriff von CPU und CRTC auf den Bildwiederholtspeicher.

* Bei Kontron-LA 12,36 MHz



3.9 Real Time Clock (RTC)

Mit dem Uhrenbaustein uPD 1990 steht auf der KDT6 (Blatt 8) eine Echtzeituhr zur Verfügung, die jederzeit mittels Input-Befehlen ausgelesen werden kann. Durch eine externe Batterie (Anschluß: VCMOS) kann der Uhrenbaustein gepuffert werden.

Die Ansteuerung des Bausteins erfolgt über den Status Port 2 (Write only, 74LS273), der mittels I/O-Write-Befehle geladen wird (Adresse 3AH).

Es gilt dabei folgende Zuordnung:

Tabelle 28: Bitzuordnung von Statusport 2

Datenbit	uPD 1990-Signal
D0	DIN (Data In)/DO (Data Out)
D1	CO (Command Input 0)
D2	C1 (Command Input 1)
D3	C2 (Command Input 2)
D4	CLK (Shift Clock Input)
D5	STB (STROBE Input)
D6	OE (Output Enable Input)
D7	CS (Chip Select Input)

Der uPD 1990 besitzt ein internes 40 Bit-Register (10 x 4 Bit), in das folgende Daten geladen werden können:

Bit	0...7	Sekunde	BCD-Code
	8...15	Minute	BCD
	16...23	Stunde	BCD
	24...31	Datum	BCD
	32...35	Wochentag	0 = Sonntag, ...6 = Samstag
	36...39	Monat	Hex, automatische Berücksichtigung von langen und kurzen Monaten

Beispiel:

37 Sekunden									
Bit	0	0	1	1	0	1	1	1	1
	7	6	5	4	3	2	1	0	
Mai, Dienstag									
Bit	0	1	0	1	0	0	1	0	
	39	38	37	36	35	34	33	32	



Zusätzlich besitzt der uPD 1990 ein 40 Bit-Shift-Register, über das die Zeitdaten seriell am Data-Out-Ausgang herausgetaktet werden können, bzw. beim Laden der Zeitinformation über den Data-In-Eingang eingegeben werden können. Das Lesen geschieht über Bit 0 des SASI-Control-Port (Adresse 3BH).

Ablauf beim Schreiben/Lesen der Zeitinformation:

Zunächst muß über die Command-Input-Leitungen die Funktion ausgewählt werden:

Leitungen C0 bis C2:

C2	C1	C0	
0	0	0	Register Hold
0	0	1	Register Shift
0	1	0	Time Set
0	1	1	Time Read

Register Hold: Shift Register ausgechaltet, an DO (Data Out) wird 1 Hz ausgegeben

Register Shift: Shift-Register Daten werden mit dem CLK-Takt herausgeschiftet und erscheinen an DO (Data Out), Bit 0 zuerst

Time Set: Shift-Register Daten werden in das 40-Bit-Datenregister übernommen (entspricht dem eigentlichen Stellen der Uhrzeit)

Time Read: Die Zeitinformation wird vom Datenregister in das Shiftregister geladen.

Dies geschieht durch eine Folge von I/O-Write-Befehlen auf den Status Port 2.

Setzen der Uhrzeit:

1. Funktion 'Register Shift' programmieren
2. Serielles Laden des Shiftregisters über Datenbit 0 durch eine Folge von I/O-Write-Befehlen, wobei das INPUT/OUTPUT-TIMING zu beachten ist
3. Funktion 'Time Set' programmieren
4. Funktion 'Register Hold' programmieren



3.10 Watchdog

Ein Watchdog hat die Aufgabe, einen Rechner nach einem Ausfall in einen definierten Anfangszustand zu bringen, um ein automatisches Wiederaufsetzen (mit Softwareunterstützung) zu ermöglichen. Die Funktionsweise des Watchdog's beruht auf folgendem Prinzip:

Ein programmierbarer 8 Bit Zähler muß regelmäßig neu getriggert werden, bevor ein bestimmter Zählerstand erreicht ist. Ein Ausbleiben dieser Neutriggerung signalisiert mit großer Wahrscheinlichkeit einen Rechnerausfall. Der Watchdog generiert daraufhin ein Reset-Signal, um den Rechner neu zu starten.

Der Watchdog besteht aus einem 8 Bit Zähler mit 8 Bit Eingangsregister (Blatt 8, 74LS592). Über die I/O-Adresse 'SEL.WDR' kann das Eingangsregister mit einem beliebigen 8 Bit Ausgangswert geladen werden. Dieser Wert bestimmt die Zeit, nach der ein Reset generiert wird (Zählerstand: FFH), falls das Trigger Signal (I/O-Adresse: 'SEL.WDT') ausbleibt. Mit Bit 0 von Status Port 0 (STP0) kann der Watchdog gesperrt bzw. freigegeben werden. Das Signal VSYNC des Video Controllers bestimmt die Zählfrequenz.

Tabelle 29: Watchdog I/O-Adressen

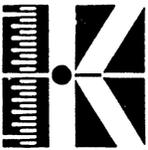
Adresse	I/O-Port	Adreßsymbol
3DH	Watchdog Eingangsregister	wdog.register
3EH	Watchdog Triggereingang	wdog.trigger

Anwendungsbeispiel:

Die gewünschte Zeitkonstante betrage 40 ms (50 Hz VSYNC), dann sind folgende Programmteile zur Initialisierung bzw. Triggerung des Watchdogs notwendig:

```
init.wdog:
    ld a, ofdh                ; time constant
    out (wdog.register),a    ; program watchdog register
    di
    ld a,(status.port.0)    ; status port 0 should be
    set 0,a                  ; stored in memory because
    ld (status.port.0),a    ; it must not be read
    out (stp.0),a           ; enable watchdog
    ei
    ret

trigger.wdog:
    out (wdog.trigger),a    ; any out statement to I/O-address
    ret                     ; is sufficient
```



4. Steckerbelegungen

Tabelle 30: Belegung von Stecker A (ECB)

Pin Nr.	Signal	Charakteristik
1	A0	
2	A1	
3	A2	
4	A3	
5	A4	
6	A5	
7	A6	
8	A7	
9	A8	
10	A9	
11	A10	
12	A11	Adreßbus, bidirektional
13	A12	
14	A13	Fan Out: 24 mA
15	A14	Fan In : 0.4 mA
16	A15	
17	A16	
18	A17	
19	A18	
20	A19	
21	A20	
22	A21	
23	A22	
24	A23	
25	D0	
26	D1	
27	D2	
28	D3	Datenbus, bidirektional
29	D4	
30	D5	Fan Out: 24 mA
31	D6	Fan In : 0.4 mA
32	D7	
33	-HALT	
34	-RFSH	
35	-IORQ	Steuerbus, bidirektional
36	-M1	
37	-WR	Fan Out: 24 mA
38	-RD	Fan In : 0.4 mA
39	-MRQ	
40	-BUSRQ	Input Pull-up 4.7 k
41	-INT	Input Pull-up 4.7 k
42	-NMI	Input Pull-up 4.7 k
43	-RESET	Output 10 mA
44	-WAIT	Input Pull-up 470 Ohm
45	-IEO	Output 2 mA
46	-BAO	Output 12 mA
47	GND	
48	CLK	Output (MOS-Clock)
49	GND	
50	-RESET.IN	Input Pull-up 4.7 k

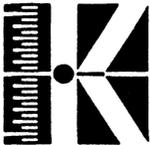


Tabelle 31: Belegung von Stecker B (I/O)

Pin Nr.	Signal	
1	KEY.D7	(Keyboard Data)
2	KEY.D6	"
3	KEY.D5	"
4	KEY.D4	"
5	KEY.D3	"
6	KEY.D2	"
7	KEY.D1	"
8	KEY.DO	"
9	CTC2.CLKO	-
10	CTC2.CLK1	(Keyboard Strobe)
11	CTC2.ZCO	(Audio Output)
12	PIO.A0	PIO Port A
13	PIO.A1	
14	PIO.A2	
15	PIO.A3	
16	PIO.A4	
17	PIO.A5	
18	PIO.A6	
19	PIO.A7	
20	PIO.ARDY	
21	-PIO.ASTRB	
22	-PIO.BSTRB	PIO Port B
23	PIO.BRDY	
24	PIO.B7	
25	PIO.B6	
26	PIO.B5	
27	PIO.B4	
28	PIO.B3	
29	PIO.B2	
30	PIO.B1	
31	PIO.B0	
32	SIO.TxDA	SIO Channel A
33	-SIO.DTRA	
34	-SIO.RTSA	
35	SIO.RxDA	
36	-SIO.CTSA	
37	-SIO.DCDA	
38	-SIO.TxCA	
39	-SIO.RxCA	
40	-SIO.SYNCA	
41	-SIO.SYNCB	
42	-SIO.RxTxCB	
43	-SIO.DCDB	
44	-SIO.CTSB	
45	SIO.RxDB	
46	-SIO.RTSB	
47	-SIO.DTRB	
48	-SIO.TxDB	
49	CTC1.ZC1	
50	CTC1.ZC2	



Tabelle 32: Belegung von Stecker C (I/O)

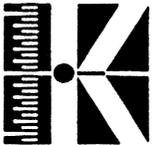
Pin Nr.	Signal	!	Charakteristik
1	-Motor On	!	Open Collector Output
2	-Drive Select 0	!	"
3	-Drive Select 1	!	"
4	-Drive Select 2	!	"
5	-Drive Select 3	!	"
6	-Disk Read Data	!	Input, 150 Ohm Pull-up
7	GND	!	
8	-Write Data	!	Open Collector Output
9	GND	!	
10	-Head Load	!	Open Collector Output
11	-Head Select	!	"
12	-Write Gate	!	"
13	-Ready	!	Input, 150 Ohm Pull-up
14	-Index	!	"
15	-Write Protect	!	"
16	-Track 0	!	"
17	-Step	!	Open Collector Output
18	-Direction	!	"
19	-	!	
20	-	!	
21	-	!	
22	-	!	
23	-	!	
24	-VSYNC	!	TTL-Output
25	-HSYNC	!	TTL-Output
26	DE: Display Enable	!	TTL-Output
27	CRS: Cursor Enable	!	TTL-Output
28	VINV: Video Invert	!	TTL-Output
29	LPEN: Light Pen	!	TTL-Input
30	DM: Display Mode	!	TTL-Output
31	VBIT9	!	TTL-Output
32	GND	!	
33	VBIT8	!	TTL-Output
34	GND	!	
35	VDOG: Video Data 0	!	TTL-Output
36	GND	!	
37	VDOA: Video Data 0	!	TTL-Output
38	GND	!	
39	-	!	
40	GND	!	
41	-	!	
42	GND	!	
43	-	!	
44	-	!	
45	-	!	
46	+ 5V	!	
47	+ 5V	!	
48	GND	!	
49	GND	!	
50	DOT.CLOCK (12.36 MHz)	!	TTL-Output



5.1 Testpunkte

Tabelle 34: Testpunkte

TP Nr.	Signalname	Bedeutung
1	CLK	Systemtakt
2	-BD.IN	Bussteuerung interner Datenbus
3	-ECB.IN	Bussteuerung externer Datenbus (ECB)
4	-MUXS	RAM Adreßmultiplexer Umschaltung
5	-RAS0	Row Address Strobe (Bank 0)
6	-RAS1	Row Address Strobe (Bank 1)
7	-BYTE.CLK	Byte Clock der Video Controller Schaltung
8	-RAS3	Row Address Strobe (Bank 3)
9	-RAS2	Row Address Strobe (Bank 2)
10	-VRAS	Row Address Strobe (Video Bank)
11	-VWR	Write Strobe (Video Memory)
12	-VRD.STRB	Read Strobe (Video Memory)
13	EXT.DMA	externer DMA-Zugriff
14	-BMRQ	CPU-MRQ gepuffert
15	-BRD	CPU-RD gepuffert
16	-BWR	CPU-WR gepuffert
17	-BM1	CPU-M1 gepuffert
18	-BIORQ	CPU-IORQ gepuffert
19	GND	Ground
20	GND	Ground
21	GND	Ground
22	GND	Ground



5.2 Jumper auf der KDT6

Voreinstellung der Jumper auf KDT6 Rev. 1.2

- * bedeutet : Jumper gesteckt
- bedeutet : Jumper nicht gesteckt

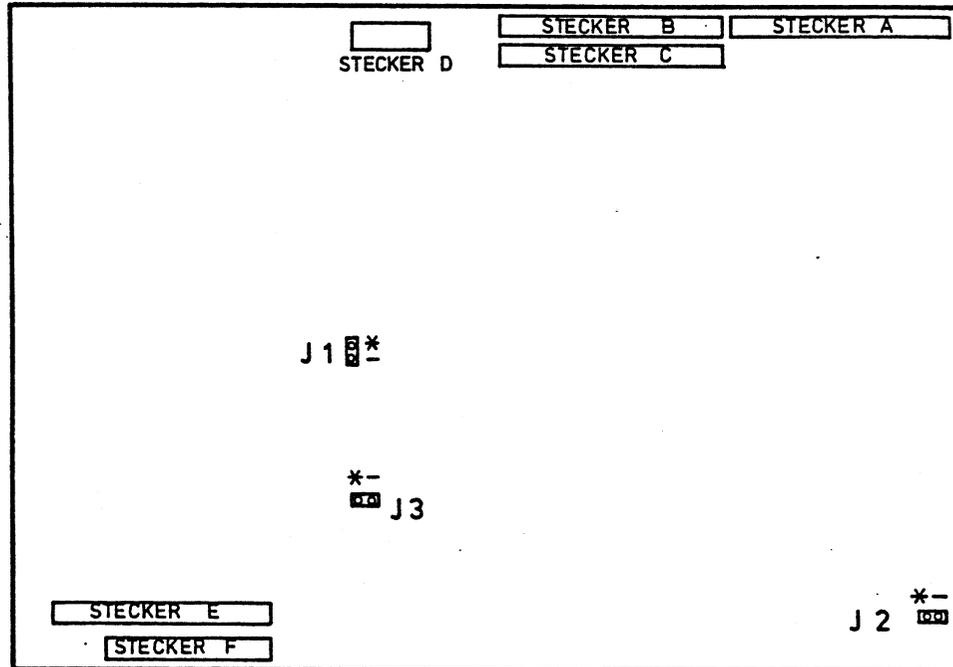


Abb. 4: KDT6 - Bestückungsseite: Jumper
 Beschreibung ("---->") bedeutet: Voreinstellung):

Tabelle 35: Jumper

Jumper J1:

- A : 64 kByte Video-Memory
- > B : 16 kByte Video-Memory

Jumper J2:

- A : getrennte Oszillatoren für Floppy- und CPU-Takt-Erzeugung (OSZ1 und OSZ2)
- > B : gemeinsamer Oszillator (OSZ1; 16 MHz)

Jumper J3:

- A : 2.0000 MHz für Baudratenerzeugung
- > B : 1.2288 MHz für Baudratenerzeugung



6.1 IC-Liste

Tabelle 36: Liste aller IC's

Typ	IC-Nummer	Beschreibung
2164	(Anzahl: 42)	dyn. RAM 64k x 1 bit
2732	Prom 1,2,3	EPROM 32 kbit
AM2952	44, 75	8-bit Parallel Port
AM2966	62	Octal DRAM Drivers
74LS04	19	Hex Inverter
7406	29, 64	Hex Inverter, open Collector
7407	30	Hex Buffer, open Collector
74LS14	7, 32, 49, 70	Hex Schmitt-Trigger Inverter
74LS15	21	Triple 3-Input AND, open Collector
74LS32	20, 72	Triple 3-Input NOR
74LS74	63	Dual D Flip-Flop
74LS107	17, 22, 35, 38, 47	Dual J-K Flip-Flop
74LS132	23	Quad 2-Input Schmitt Trigger NAND
74LS138	33, 34	3 to 8 Decoder
74LS139	9, 11, 31	2 to 4 Decoder
74LS151	50, 51, 52, 53, 54, 55, 56, 57	1 of 8 Multiplexer
74S157	25, 27	Quad 2 to 1 Multiplexer
74LS158	28	Quad 2 to 1 Multiplexer (inv.)
74LS161	39, 48, ohne IC-Nr.	Synchronous 4-bit Counter
74LS164	45	8-bit parallel Output/Serial Input Shift Register
74LS166	67, 69	8-bit Shift Register
74S169	24	4-bit synchronous Up/Down Counter
74LS174	73	Hex D Flip-Flop
74LS191	36	Synchronous Up/Down Counter
74LS193	37, 58, 59, 60, 61	Synchronous Up/Down Dual Clock Counter
74LS244	8, 74	Octal Buffer/Line Driver
74LS245	1, 2, 3, 4, 5, 13	Octal Bus Transceiver
74LS273	42, 43, 68	Octal D Flip-Flop
74LS374	6, 14, 66	Octal D Flip-Flop
74LS393	46	Dual 4-bit Binary Counter
74LS396	40	Octal Storage Register
74LS541	12, 15, 16, 18, 26	Octal Bus Buffer
74LS592	41	8-bit Binary Counter
74LS153	71	Dual 4 to 1 Multiplexer
74LS612/10	10	Memory Mapper
PAL 10H8	PAL 3	Programmable Array Logic
PAL 10L8	PAL 2	Programmable Array Logic
PAL 10L8	PAL 6	Programmable Array Logic
PAL 12H6	PAL 8	Programmable Array Logic
PAL 12L6	PAL 1	Programmable Array Logic
PAL 16H2	PAL 5	Programmable Array Logic
PAL 16L8	PAL 4	Programmable Array Logic
PAL 16L8	PAL 7	Programmable Array Logic



CRTC MC 6845	*	Video Controller
FDC 9216	*	Data Separator
NEC uP765	*	Floppy Disk Controller
NEC uP1990	*	Clock-Calendar-Chip
Z80A-CPU	*	Central Processor Unit
Z80A-CTC	* (Anzahl:2)	Counter/Timer Circuit
Z80A-DMA	*	Direct Memory Access Controller
Z80A-PIO	*	Parallel Interface
Z80A-SIO/O	*	Serial Interface

** 13,5168MHz	*	Oszillator	13.51 MHz
LOCO II 16 MHz	*	Oszillator	16 MHz
OSZ 9.8304 MHz	*	Oszillator	9.8304 MHz
Quartz 32,678MHz	Q 1	Quartz	32,678 KHz

* Keine IC-Nummer im Schaltplan

** bei Kontron-LA 12,360 MHz



6.2 IC-Liste

Tabelle 37: Referenzliste - IC-Nummer - IC-Typ

1	74LS245	27	74S157	53	74LS151
2	74LS245	28	74LS158	54	74LS151
3	74LS245	29	7406	55	74LS151
4	74LS245	30	7407	56	74LS151
5	74LS245	31	74LS13	57	74LS151
6	74LS374	32	74LS14	58	74LS193
7	74LS14	33	74LS138	59	74LS193
8	74LS244	34	74LS138	60	74LS193
9	74LS139	35	74LS107	61	74LS193
10	74LS612/10	36	74LS191	62	AM 2966
11	74LS139	37	74LS193	63	74LS74
12	74LS541	38	74LS107	64	7406
13	74LS245	39	74LS161	65	nicht verwendet
14	74LS374	40	74LS396	66	74LS374
15	74LS541	41	74LS592	67	74LS166
16	74LS541	42	74LS273	68	74LS273
17	74LS107	43	74LS273	69	74LS166
18	74LS541	44	AM2952	70	74LS14
19	74LS04	45	74LS164	71	74LS153
20	74LS32	46	74LS393	72	74LS32
21	74LS15	47	74LS107	73	74LS174
22	74LS107	48	74LS161	74	74LS244
23	74LS132	49	74LS14	75	AM 2952
24	74S169	50	74LS151		
25	74S157	51	74LS151		
26	74LS541	52	74LS151		

PAL 1	12L6	PAL 5	16H2
PAL 2	10L8	PAL 6	10L8
PAL 3	10H8	PAL 7	16L8
PAL 4	16L8	PAL 8	12H6

PROM1	2732
PROM2	2732
PROM3	2732

Q1 Quartz 32.678 KHz

Ohne IC-Nummer im Schaltplan:

2164-20	Dyn. RAMs
74LS161	Oszillator 13,5168 MHz *
LOCO II	Oszillator 16 MHz
CRTC MC 6845	Oszillator 9.8304 MHz
FDC 9261	
NEC uP765	
NEC uP1990	
Z80A-CPU	
Z80A-CTC	
Z80A-DMA	
Z80A-PIO	
Z80A-SIO/O	

* bei Kontron-LA 12,360 MHz



7. Programmierung der PAL-Bausteine

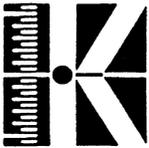
Auf der Platine sind folgende PAL-Bausteine eingesetzt:

Tabelle 38:

PAL Nr.	Typ	Beschriftung	Funktion
1	12L6	1-FF5B	Memory-Address Decoder
2	10L8	2-0F61	I/O-Address Decoder
3	10H8	3-C7BF	Interrupt Priority Controller
4	16L8	4-EC5E	Bus Controller
5	16H2	5-1126	FDC-Write Precompensation
6	10L8	6-1BA7	Video Memory Access Controller
7	16L8	7-C1ED	Video Memory Timing Generator
8	12H6	8-CD9F	FDC-Timing Generator

Die Beschriftung ergibt sich aus:

PAL-Nr. und Checksumme



PAL12L6
PAT004
PAL1 KDT6

PAL SPECIFICATION DESIGN
24/08/1982
MEMORY ADDRESS DECODER CHECKSUM: FF5B

/PROM1 /EMRQ /BRFSH BA23 BA22 BA21 BA20 BA19 BA16 GND
BA17 BA18 /RAS2 /RAS3 /SEL.RAM /RAS1 /RAS0 /INT.MEM /PROM2 VCC

RAS0 = BMRQ*/BRFSH*/BA16*/BA17*/BA18*/BA19*/BA20*/BA21*/BA22*/BA23 +
BMRQ*BRFSH

RAS1 = BMRQ*/BRFSH*BA16*/BA17*/BA18*/BA19*/BA20*/BA21*/BA22*/BA23 +
BMRQ*BRFSH

RAS2 = BMRQ*/BRFSH*/BA16*BA17*/BA18*/BA19*/BA20*/BA21*/BA22*/BA23 +
BMRQ*BRFSH

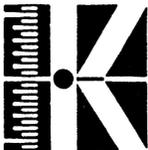
RAS3 = BMRQ*/BRFSH*BA16*BA17*/BA18*/BA19*/BA20*/BA21*/BA22*/BA23 +
BMRQ*BRFSH

INT.MEM = BMRQ*/BRFSH*/BA18*/BA19*/BA20*/BA21*/BA22*/BA23 +
BMRQ*/BRFSH*PROM1 +
BMRQ*/BRFSH*PROM2

SEL.RAM = BMRQ*/BRFSH*/PROM1*/PROM2*/BA18*/BA19*/BA20*/BA21*
/BA22*/BA23

DESCRIPTION:

RAS0: ROW ADDRESS STROBE (BANK 0)
RAS1 : ROW ADDRESS STROBE (BANK 1)
RAS2 : ROW ADDRESS STROBE (BANK 2)
RAS3 : ROW ADDRESS STROBE (BANK 3)
INT.MEM : INTERNAL (ON BOARD) MEMORY SELECT
SEL.RAM : ENABLE DATA BUSBUFFER FOR BANK 0, 1, 2, OR 3



PAL10L8
PAT002
PAL2 KDT6

I/O-ADDRESS DECODER

PAL DESIGN SPECIFICATION
09/03/1982
CHECKSUM: OF61

BA7 BA6 BA5 BA4 BA3 BA2 /BIORQ BA1 BAO GND
/EM1 /SEL.MAP /SEL.VALH /SEL.VALL /SEL.VDAT /SEL.IO1 /SEL.IOO
/EXT.IO /INT.IOB VCC

SEL.IOO = BIORQ*/EM1*/BA5*/BA6*/BA7

SEL.IO1 = BIORQ*/EM1*/BA7*/BA6*BA5*BA4*BA3

SEL.MAP = BIORQ*/EM1*/BA4*BA5*/BA6*/BA7

SEL.VDAT = BIORQ*/EM1*/BA3*BA4*BA5*/BA6*/BA7

SEL.VALH = BIORQ*/EM1*/BA0*/BA1*/BA2*/BA3*/BA4*/BA5*BA6*/BA7

SEL.VALL = BIORQ*/EM1*BA0*/BA1*/BA2*/BA3*/BA4*/BA5*BA6*/BA7

INT.IOB = BIORQ*/EM1*BA5*/BA6*/BA7

EXT.IO = BIORQ*/EM1*BA7 +
BIORQ*/EM1*BA6

DESCRIPTION:

SEL.IOO : SELECT I/O-GROUP 0 (0...1FH)
SEL.IO1 : SELECT I/O-GROUP 1 (38H...3FH)
SEL.MAP : SELECT MEMORY MAPPER (20H...2FH)
SEL.VDAT : VIDEO MEMORY DATA PORT (30H...37H)
SEL.VALL : VIDEO ADDRESS LATCH, LOW BYTE (41H)
SEL.VALH : VIDEO ADDRESS LATCH, HIGH BYTE (40H)
INT.IOB : INTERNAL I/O-PORT SELECTED (0...3FH)
EXT.IO : EXTERNAL I/O-PORT SELECTED (>40H). MUST NOT BE 40H OR 41H.



PAL10H8
PATO01
PAL3 KDT6

INTERRUPT PRIORITY CONTROLLER

PAL DESIGN SPECIFICATION
03/02/1982
CHECKSUM: C7BF

IEO.DMA IEO.CTC1 IEO.SIO IEO.CTC2 IEO.PIO 6 7 8 /BIORQ GND
SEL.SYSM IEI.DMA IEI.CTC1 IEI.SIO IEI.CTC2 IEI.PIO IEO.KDT 18 DIS.MAP
VCC

IEI.DMA = 6 + /6

IEI.CTC1 = IEO.DMA

IEI.SIO = IEO.DMA*IEO.CTC1

IEI.CTC2 = IEO.DMA*IEO.CTC1*IEO.SIO

IEI.PIO = IEO.DMA*IEO.CTC1*IEO.SIO*IEO.CTC2

IEO.KDT = IEO.DMA*IEO.CTC1*IEO.SIO*IEO.CTC2*IEO.PIO

DIS.MAP = BIORQ + SEL.SYSM

DESCRIPTION:

IEI.XXX : INTERRUPT ENABLE IN FOR DEVICE XXX
IEO.KDT : INTERRUPT ENABLE OUT OF KDT
DIS.MAP : DISABLE MEMORY MAPPER



PAL16L8
PAT004
PAL4 KDT6

BUS CONTROLLER

PAL DESIGN SPECIFICATION
22/04/1982
CHECKSUM: EC5E

/BUSAK /INT.IOB /EXT.IO IEO.KDT /INT.MEM /BAO.KDT /BIORQ /EM1 /BWR GND
/BRD 12 /BMRQ /RAS23 /BD.IN /ECB.IN /BD.XDMA /ECB.XDMA 19 VCC

IF (VCC) BD.XDMA = BMRQ*BRD*INT.MEM +
BIORQ*BRD*INT.IOB

IF (VCC) ECB.XDMA = BMRQ*BRD*INT.MEM +
BIORQ*BRD*/EXT.IO

IF (VCC) BD.IN = /BAO.KDT*BIORQ*BRD*INT.IOB +
/BAO.KDT*BIORQ*BRD*EXT.IO +
/BAO.KDT*BIORQ*EM1*IEO.KDT +
/BAO.KDT*BMRQ*BRD*/INT.MEM +
/BAO.KDT*BMRQ*BRD*/RAS23 +
BAO.KDT*/BD.XDMA

IF (VCC) ECB.IN = /BAO.KDT*BIORQ*BRD*EXT.IO +
/BAO.KDT*BIORQ*EM1*IEO.KDT +
/BAO.KDT*BMRQ*BRD*/INT.MEM +
BAO.KDT*/ECB.XDMA

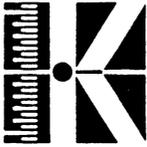
DESCRIPTION:

BD.IN : INTERNAL DATA BUS BUFFER DIRECTION CONTROL (LOW = INPUT)

1. READ FROM INTERNAL I/O-PORT >20H
2. READ FROM EXTERNAL I/O-PORT
3. INTERRUPT ACKNOWLEDGE FROM EXTERNAL I/O-PORT
4. READ FROM EXTERNAL MEMORY
5. READ FROM INTERNAL VIDEO MEMORY
6. DURING EXTERNAL DMA-CYCLES IF NOT DB.XDMA

ECB.IN : ECB DATA BUS BUFFER DIRECTION CONTROL (LOW = INPUT)

1. READ FROM EXTERNAL I/O-PORT
2. INTERRUPT ACKNOWLEDGE FROM EXTERNAL I/O-PORT
3. READ FROM EXTERNAL MEMORY
4. DURING EXTERNAL DMA-CYCLES IF NOT ECB.XDMA



PAL16H2
PAT005
PAL5 KDT6 FDC WRITE PRECOMPENSATION

PAL DESIGN SPECIFICATION
29/11/1982
CHECKSUM: 1126

QH QG QF PSO LCT QE /STD MFM PS1 GND
11 12 QD QC CDO WD QB QA 19 VCC

CDO = $\text{STD}*/\text{MFM} + /\text{STD}*\text{MFM}$

WD = $\text{MFM}*\text{QA} +$
 $\text{MFM}*/\text{STD}*\text{QA} +$
 $\text{MFM}*/\text{LCT}*\text{STD}*\text{QD} +$
 $\text{MFM}*\text{LCT}*\text{STD}*/\text{PSO}*/\text{PS1}*\text{QD} +$
 $\text{MFM}*\text{LCT}*\text{STD}*\text{PSO}*/\text{PS1}*\text{QB} +$
 $\text{MFM}*\text{LCT}*\text{STD}*/\text{PSO}*\text{PS1}*\text{QF}$

DESCRIPTION:

CDO : DATA SEPARATOR CONTROL INPUT
WD : COMPENSATED WRITE DATA OUTPUT



PAL10L8
PATO02
PAL6 KDT6

VIDEO MEMORY ACCESS CONTROLLER

PAL DESIGN SPECIFICATION
24/08/1982
CHECKSUM: 1BA7

/SEL.VDAT /SEL.DM 3 4 /BRD BA2 BA1 BAO SEL.CPU GND
11 12 13 /VO.RD /AUTO.INC /AUTO.DEC /VMUXSC /VMUXSB /VM.REQ VCC

VO.RD = SEL.VDAT*BRD*/BA1*/BA2 +
SEL.VDAT*BRD*BA1*BA2

AUTO.INC = SEL.VDAT*BA0

AUTO.DEC = SEL.VDAT*/BA0*BA1*BA2

VMUXSC = /SEL.CPU

VMUXSB = /SEL.CPU*/SEL.DM +
SEL.CPU*SEL.VDAT

VM.REQ = SEL.VDAT

DESCRIPTION:

VO.RD : READ FROM VIDEO MEMORY
AUTO.INC : INCREMENT CPU VIDEO ADDRESS COUNTER
AUTO.DEC : DECREMENT CPU VIDEO ADDRESS COUNTER
VMUXSC : SELECT INPUT 'C' FOR VIDEO MEMORY ADDRESS MULTIPLEXER
VMUXSB : SELECT INPUT 'B' FOR VIDEO MEMORY ADDRESS MULTIPLEXER
VM.REQ : CPU READ/WRITE REQUEST TO VIDEO MEMORY



PAL16L8
PATO06
PAL7 KDT6

VIDEO MEMORY TIMING GENERATOR

PAL DESIGN SPECIFICATION
09/09/1983
CHECKSUM: C1ED

VMRQ /SEL.VDAT /BRD BA2 BA1 6 7 QC QB GND
QA /ACKN /BCLK /IQB 15 /VRASO /VMUXSA /VRD.STRB /VWR VCC

IF (VCC) VRASO = QA * /QB * /QC +
VRASO * QC * /VRD.STRB +
VMRQ * QA * /QB * QC * SEL.VDAT * /BA2 * /BA1 +
VMRQ * QA * /QB * QC * SEL.VDAT * BA2 * BA1 +
VRASO * /QC * /BCLK

IF (VCC) VMUXSA = VRASO + VMUXSA * QB * QA +
VMUXSA * /QA * QB

IF (VCC) VWR = QC * VMRQ * /BRD +
QC * VRASO * /BRD

IF (VCC) BCLK = QA * IQB * /QC

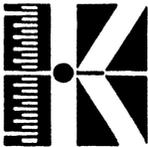
IF (VCC) IQB = QB

IF (VCC) ACKN = VMUXSA * QA * QB * QC
+ VMRQ * /SEL.VDAT

IF (VCC) VRD.STRB = QA * QB * QC

DESCRIPTION:

VRASO: ROW ADDRESS STROBE (VIDEO BANK)
VMUXSA: SELECT INPUT 'A' FOR VIDEO MEMORY ADDRESS MULTIPLEXERS
VWR: VIDEO MEMORY WRITE STROBE
BCLK: BYTE CLOCK
ACKN: ACKNOWLEDGE TO CPU AFTER VIDEO MEMORY REQUEST
VRD.STRB: VIDEO MEMORY READ STROBE



PAL12H6
PAT002
PAL8 KDT6

FDC TIMING GENERATOR

PAL DESIGN SPECIFICATION
26/08/1982
CHECKSUM: CD9F

MFM /STD 4MHZ QA QB 2MHZ QD 9 GND
11 QC CLK.393 W.CLK FDC.CLK S.CLK CD1 CLR.393 8MHZ VCC

$$\text{CLR.393} = \text{STD} * \text{MFM} +$$
$$\text{STD} * / \text{MFM} * 2\text{MHZ} +$$
$$/ \text{STD} * \text{MFM} * 2\text{MHZ} +$$
$$/ \text{STD} * / \text{MFM} * 1\text{MHZ}$$
$$\text{CLR.393} = \text{STD} * \text{MFM} +$$
$$\text{QC} * 2\text{MHZ}$$
$$\text{W.CLK} = \text{STD} * \text{MFM} * 2\text{MHZ} * 1\text{MHZ} +$$
$$\text{QC}$$
$$\text{CD1} = / \text{STD} * / \text{MFM}$$
$$\text{S.CLK} = 2\text{MHZ}$$
$$\text{FDC.CLK} = \text{STD} * 8\text{MHZ} + / \text{STD} * 4\text{MHZ}$$

DESCRIPTION:

CLK.393 : CLOCK INPUT FOR 'LS393 (COUNTER 2)
CLR.393 : CLEAR INPUT FOR 'LS393 (COUNTER 2)
W.CLK : FDC WRITE CLOCK
CD1 : DATA SEPARATOR CONTROL INPUT 1
S.CLK : BAUDRATE GENERATOR REFERENCE CLOCK (CTC INPUT)
FDC.CLK : FDC CLOCK



8. Liste aller Adreßsymbole für I/O-Ports

Tabelle 39:

```
;This module contains all the hardware related
;equates for the KDT6 computer board, like
;I/O-addresses and I/O-bit assignments
;-----
dma                equ 00h ;on board dma

sio.channel.a     equ 04h
sio.channel.b     equ 05h

ctc1.channel.0    equ 08h
ctc1.channel.1    equ 09h
ctc1.channel.2    equ 0ah
ctc1.channel.3    equ 0bh

pio.port.a        equ 0ch
pio.port.b        equ 0dh

ctc2.channel.0    equ 10h
ctc2.channel.1    equ 11h
ctc2.channel.2    equ 12h
ctc2.channel.3    equ 13h

fdc.765.status    equ 14h ;fdc status register
fdc.765.data      equ 15h ;fdc data register

crtc.pointer      equ 18h ;crtc pointer register
crtc.data         equ 19h ;crtc data register

stp.0             equ 1ch ;status port 0
keyboard          equ 1dh ;keyboard input register
fdc.dack          equ 1eh ;fdc data acknowledge
fdc.tc           equ 1fh ;fdc terminal count input

map.reg.0         equ 20h ;
map.reg.1         equ 21h
map.reg.2         equ 22h
map.reg.3         equ 23h
map.reg.4         equ 24h
map.reg.5         equ 25h
map.reg.6         equ 26h
map.reg.7         equ 27h
map.reg.8         equ 28h
map.reg.9         equ 29h
map.reg.10        equ 2ah
map.reg.11        equ 2bh
map.reg.12        equ 2ch
map.reg.13        equ 2dh
map.reg.14        equ 2eh
map.reg.15        equ 2fh

vmb0              equ 30h ;bank 0
vmb0.auto.inc     equ 31h ;bank 0 with auto increment

;Ports 32h...35h not used since KDT6 rev. 1.2

auto.dec          equ 36h ;bank 0 with auto decrement
vmb0.auto.inc.1   equ 37h ;bank 0 with auto increment
```



```
stp.1.write    equ 38h ;status port 1 (read)
stp.1.read     equ 39h ;status port 1 (write)
stp.2.write    equ 3ah ;status port 2 (write)

dma.map.reg    equ 3ch ;dma map register
wdog.reg       equ 3dh ;watch dog register
wdog.trigger   equ 3eh ;watch dog trigger input

sasi.ctrl      equ 3bh ;sasi control port
sasi.data      equ 3fh ;sasi data port

sasi.ctrl      equ 3bh ;sasi control port
sasi.data      equ 3fh ;sasi data port

val.low        equ 41h ;video address latch (low)
val.high       equ 40h ;video address latch (high)

;Bit assignments for status port 0
;-----

watchdog       equ 0   ;watchdog (enable=1/dis.=0)
sysfrequ       equ 1   ;system frequency (full=1/half=0)
sound          equ 2   ;sound (enable=1/disable=0)
a12.cg         equ 3   ;character generator address a12
dma.ready      equ 4   ;select dma trigger (fdc=0/sio=1)
poff           equ 5   ;prom off control (off=1/on=0)
stddsk        equ 6   ;select standard/mini floppy disk drive
                ;(mini=1/standard=0)
motor          equ 7   ;fd-drive motor on control (on=1/off=0)

;Bit assignments for status port 1
;-----

va14           equ 0   ;bit 14 video scroll address
va15           equ 1   ;bit 15 " " " "
vbit8          equ 2   ;video bit 8 (e.g. char. invert)
vbit9          equ 3   ;video bit 9 (e.g. char. blinking)
sel.all        equ 4   ;select 3 video memory banks
vid.inv        equ 5   ;video invert (background bright=1)
sel.dm         equ 6   ;select display mode (alpha=1/graph.=0)
sel.sysm       equ 7   ;select system memory (disable mapper=1)

;Bit assignment for SASI-Control Port
;-----

SEL.bit        equ 3   ;Select bit
RES.bit        equ 1   ;Reset bit
IO.bit         equ 5   ;I/O bit
CD.bit         equ 4   ;C/D bit
MSG.bit        equ 3   ;MSG bit
REQ.bit        equ 2   ;REQ bit (Request)
BSY.bit        equ 1   ;BSY bit (Busy)
```



```
;Bit assignments for status port 2
```

```
-----  
mapd3          equ 0   ;memory mapper data bit 3  
mapd2          equ 1   ;memory mapper data bit 2  
mapd1          equ 2   ;memory mapper data bit 1  
mapd0          equ 3   ;memory mapper data bit 0
```

```
;Port assignment for TCB/IOV (only required because of  
;serial Keyboard)
```

```
-----  
iov.dart2.cha  equ 58h  
iov.dart2.chb  equ 59h  
iov.ctc1.ch0   equ 54h  
iov.ctc1.ch1   equ 55h  
iov.ctc1.ch2   equ 56h ;used for baudrate (ser. Keyb.)  
iov.ctc1.ch3   equ 57h
```



9.1 Änderung von Rev. 1.1A auf Rev. 1.1B

Grund der Änderung: Schaltungsänderung, 16 MHz Quarz für Floppy entfällt.

Art der Änderung: 2,16 MHz Oszillator direkt mit IC46 Pin1 verbinden (IC74LS393).

9.2 Änderung von Rev. 1.1B auf Rev. 1.1C

Grund der Änderung: Funktionskompatibler Einsatz der Bausteine 74LS610 und 74LS612.

Art der Änderung: Verbindung von IC10 Pin 28 auf IC10 Pin 40

9.3 Änderung von Rev. 1.1C auf Rev. 1.1D (1.2A)

Grund der Änderung: Timing-Probleme im Videoteil.

Art der Änderung: IC49 (74LS14) wird gegen 74LS04 getauscht.



9.4 Änderung von Rev. 1.2A auf 1.2B

- Grund der Änderung:
1. Universeller Einsatz des Bausteins 74LS610 und 74LS612 (Memory Mapper) auf dem KDT6 Board. Bisläng fand nur der Baustein 74LS612 Verwendung.
 2. Beseitigung der Probleme bei Graphikbetriebes Boards
 3. Universeller Einsatz von "MPI" und "TANDON" Drives.

- Art der Änderung:
- zu 1. Verbindung IC10/Pin 28 --> IC10/Pin 40
- zu 2. Verbindung IC40/Pin7 (Bestückungsseite) ---> IC48/Pin12(Lötseite)
- Draht wird durch die Durchkontaktierung zwischen IC40 und Stecker"D" durchgezogen.
- zu 3. Verbindung Stecker"F"/Pin6 ---> Stecker "F"/Pin34.

**Inhaltsverzeichnis**

		Seite
1.	Einführung	2
2.	Reparatur-Flußplan für KDT6	3
3.	Signal-/Baugruppenerläuterungen	4

Abbildungen:

Nr.	Titel	Seite
1	Reparatur-Flußplan für KDT6	3
2	Position EPROM 2732 (PROM3)	4
3	FDC Write Clock Timing	8
4	INDEX-Signal	9
5	Interrupt-Prioritätskette auf der KDT6 mit Ersatzschaltbild für PAL3	10
6	24 Bit-Adresse	12
7	MMU-Adressierung	13
8	Speicher der KDT6	17
9	SYNC-Signale	18
10	RAM-Bank-Umschaltsockel	21
11	KDT6-Video Timing	22
12	Fehlerhaftes -VRD.STRB-Signal	23
13	WR-Signal	24



1. Einführung

Die Zentralplatine KDT6 stellt in Verbindung mit der IO-Platine, auf der sich hauptsächlich nur Treiberbausteine und Steckverbinder befinden, eine Funktionseinheit dar. Aus diesem Grund wird die Kombination KDT6 mit Interface-Board als eine Einheit betrachtet. Dies hat insbesondere zur Folge, daß bei der Fehlersuche keine frühzeitige Entscheidungshilfe darüber gegeben werden kann, auf welcher der beiden Platinen ein Fehler wahrscheinlich zu finden sein wird.

Ein Test der KDT6 ist schon deshalb nur in Verbindung mit dem Interface-Board sinnvoll, da sich dort unter anderem auch die Anschlüsse für den Monitor und die Tastatur befinden.

Zur Fehlereingrenzung auf Bauteilebene ist eine Vorgehensweise nach folgendem Flußplan empfehlenswert.

Als Gedankenstütze für auszuführende Arbeiten sind dabei nur Stichworte angegeben. Dem erfahrenen Service-Techniker werden diese Hinweise genügen. Im Zweifelsfall kann im Anschluß an den Flußplan unter dem jeweiligen Stichwort eine ausführliche Beschreibung der Signale/Bauteile nachgeschlagen werden.

Insbesondere wird dort ausführlich auf die Themen Speicherverwaltung und -Organisation eingegangen. Die jeweiligen Beschreibungen werden dort, wo es notwendig erschien, durch Oszillographenbilder von typischen zu erwartenden Signalen ergänzt.

Ergänzt werden die Reparaturhinweise außerdem durch die Schaltpläne sowie den dazugehörigen Bestückungsplänen, auf denen die zu den Teilschaltplänen gehörigen Bauteile besonders gekennzeichnet sind, um dem Service-Techniker die Orientierung auf der Platine zu erleichtern.

Verweise bei Bauteilen beziehen sich stets auf eine Blattnummer der Schaltpläne.

Zur Reparatur der KDT6 sollte folgende Ausstattung vorhanden sein:

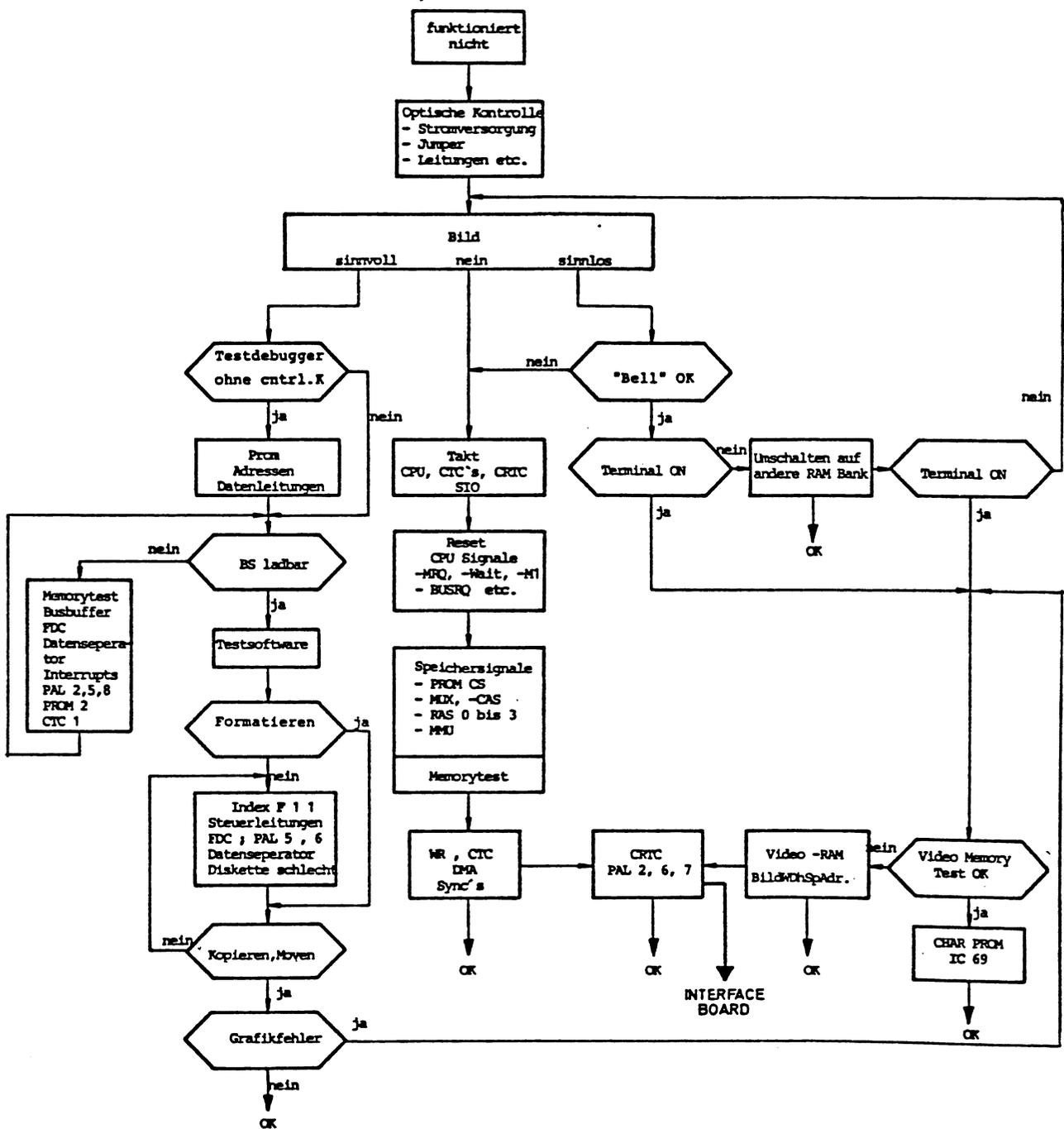
- Oszilloscope mit 2 Kanälen > 20 MHz
- Vielfachmeßgerät
- Terminal mit 9600 Baud
- Keyboard parallel
- Umschaltsockel für PAL1 (--> Umschalten)

- Testdiskette für KDT6/TCB-Systeme

- 2 Test-PROMs:
 - "WR55")
 - "OUT55") siehe Text



2. Reparatur-Flußplan für KDT6



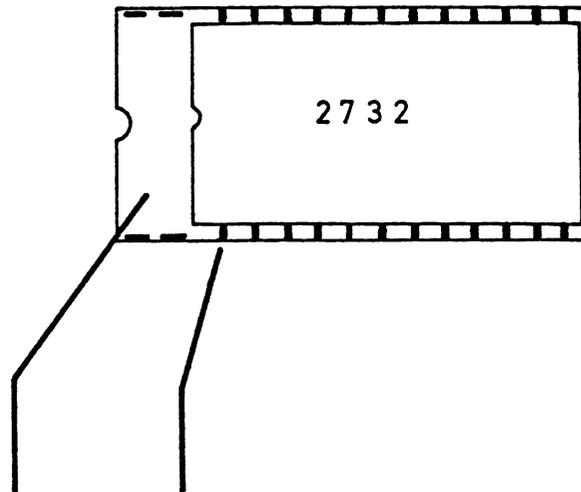


3. Signal-/Baugruppenerläuterungen (alphabetisch geordnet)

Bildwiederhol-
speicher-
adressierung: siehe: - Speichertest
 - Videoteil

CHAR-Prom Der Zeichensatz ist in einem EPROM entweder Typ
2764 oder 2732 (8 oder 4 kByte) gespeichert.

Wird ein EPROM 2732 verwendet, so muß es wie
folgt eingesteckt werden:



Fassung Pin 1 des IC in Pin 3 der Fassung

Abb. 2: Position EPROM 2732 (PROM 3)

Können nicht alle Zeichen erzeugt werden, so kann dies seine Ursache in einem fehlerhaften Characterprom (---> tauschen) oder fehlerhafter Adressierung des Eproms bzw. des Speicherrams haben.

---> IC 67 (74LS166 Schieberegister)
---> IC 69 (74LS166 Schieberegister)

Insbesondere ist auf Vorhandensein des Signals
BYTE.CLK zu achten.

---> IC 67 Pin 15
---> IC 68 Pin 11
---> IC 69 Pin 15

**CPU**

Wenn sich überhaupt keine Reaktion am System erkennen läßt, überprüfen Sie, ob die CPU richtig arbeitet.

Dazu sollten zuerst die wichtigsten CPU-Signale überprüft werden.

Hierbei ist es zunächst nicht notwendig, genaueres über das Aussehen der einzelnen Signale zu wissen. Wichtig bei den im folgenden angeführten Signalen ist nur, daß sie sich ändern. Ständig auf Low oder High liegende Signale sind stets verdächtig. Näheres über die Signale können Sie unter den entsprechenden Stichpunkten nachlesen.

Die Daten- und Adreßleitungen können entweder z.B. mit dem Testdebugger-Kommando

```
>WR 5000 55 -->
```

**Test PROM
"WR 55"**

oder, falls der Testdebugger nicht aufgerufen werden kann, wird ein Testprom mit folgendem Programm anstelle des BOOT-Proms eingesetzt:

```
0000 WR 4000 55  
0001 JP 0000
```

Es wird nun stets das Datum 55 Hex auf Adresse 4000 geschrieben. An den Datenleitungen kann nun 55 Hex gemessen werden.

Falls nicht ist zu überprüfen, ob 55H ins RAM geschrieben wird und ob Bank Nr.0 richtig selektiert wird.

Wenn nicht, muß die MMU (IC10, Blatt 3) und PAL1 (Blatt 3) überprüft werden.

CRTC

siehe Video-Controller

CS

(Chip-Select)

Die gesamte promresidente Debuggersoftware ist so geschrieben, daß alle Grundroutinen (Initialisierung, Kommandos, Verwalter, Bildschirmausgabe etc.) in PROM1 liegen. Somit ist der Adreßbereich des ablaufenden Programms auf PROM1 (0-FFF) und den benötigten RAM-Bereich (4000-44FFH) begrenzt. Daraus ergibt sich die Forderung, daß während der Transferphase (entspricht M1-Zyklus) nur PROM1 selektiert werden darf. Also kann an PIN 18 von PROM1 gemessen werden, ob dieses PROM auch zyklisch selektiert wird.



Falls nicht:

- > Prom defekt; Buspuffer defekt;
ein I/O-Baustein spricht auf den Datenbus;
eine Adresse hängt.
- > Falls das PROM nie selektiert wird, so ist
entweder das PROM defekt, oder die Signale
-RD, -MRQ, -RFSH etc. zeigen ein Fehlver-
halten.

CTC

(Zähler/Zeitgeber-Baustein)

Diese Bausteine dienen zur Interrupt-/Takt-Generierung und sind u.a. für den Betrieb der PIO/SIO-Bausteine nötig.

Zeigt sich keine Reaktion auf dem Bildschirm bei Eingabe eines beliebigen Zeichens auf der Tastatur, so ist entweder die Tastatur oder aber CTC2 (Blatt 6) defekt.

Falls sich keine Reaktion auf dem angeschlossenen Terminal zeigt, so muß der SIO-Baustein überprüft werden.

CTC 1 liefert außerdem den Takt für die Baudrateneinstellung des SIOA (bei LA) bzw. SIOB (PSI).

Auch muß Jumper 3 überprüft werden, ob er in Stellung B steht, da er den Takt für die Baudratensteuerung liefert.

Diskette

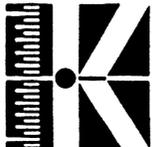
Eine schlechte Diskette oder ein dejustiertes Laufwerk läßt sich mit dem Disktestprogramm des Testdebuggers erkennen:

Testdebugger mit CNTRL-K aufrufen.

Diskette in Laufwerk einlegen.

```
>J 1800      (Einsprungpunkt Disktest)
>Drive ID:   (Laufwerksnummer, 1/2/11/12)
>Versuche:   (Leseversuche/Zugriff)
>LOOPS:      (Anzahl der Durchläufe)
>Mode:       (1/2: Ausdruck/Schaubild)
```

Falls bei "Mode" 2 eingegeben wurde, werden nun in einem Diagramm Soft- und Harderrors angezeigt. Schlechte Spuren auf einer Diskette lassen sich auf diese Weise leicht erkennen (Häufung der Lesefehler auf einer bestimmten Spur). Mit diesem Programm läßt sich außerdem ein dejustiertes Laufwerk erkennen: Wenn eine gute Diskette, die auf einem einwandfreien Laufwerk überprüft wurde, dort keine Fehler zeigt, eine Überprüfung auf einem anderen Laufwerk aber Fehler erkennen läßt, so ist dieses zweite Laufwerk dejustiert. Wichtig ist, daß die Behandlungsvorschriften für Disketten und Laufwerke stets eingehalten werden (Disketten vorsichtig in Laufwerk einlegen etc.)



Diesen Test sollte man über längere Zeit laufen lassen, damit auch eventuelle sporadische Fehler sowie Wärmefehler erkannt werden können (siehe auch "Testsoftware für KDT6").

DMA

(Direct Memory Access)

Mittels des Testdebuggers ist es möglich, entweder direkt unter Umgehung des DMA-Bausteins oder über den DMA-Baustein von einem Laufwerk zu lesen. Somit kann eine Spur einer beliebigen Diskette, auf der aber Daten vorhanden sein sollten, einmal über den DMA-Baustein in einen bestimmten Speicherbereich eingelesen werden, um dann mit den Daten derselben Spur, die aber ohne DMA in einen anderen Speicherbereich eingeschrieben wurden, verglichen zu werden.

Treten dann beim Vergleich dieser beiden Datenbereiche keine Fehler auf, so ist der DMA-Baustein höchstwahrscheinlich in Ordnung.

Ablauf des Testes: Diskette in Laufwerk 1,
Daten auf Spur 1

TD: >RT A 1 5000 (mit DMA)
>RT 1 1 6000 (ohne DMA)
>CP 5000 6000 1000 (Vergleich)

Zur Kontrolle kann der DMA-Baustein aus der Fassung gezogen werden. Das Einlesen der Daten ohne DMA

>RT 1 1 5000 -->

darf nur keine Fehlermeldung erzeugen. Falls dennoch ein CRC-Error erzeugt wird, so ist der Fehler an anderer Stelle zu suchen.

Bei Eingabe von

> RT A 1 5000 -->

muß ein CRC-Error angezeigt werden.

Kann das System über DMA nicht lesen, so muß nicht unbedingt der DMA-Baustein defekt sein, vielmehr kann der Fehler auch in den Steuer-signalen des DMA zu suchen sein, z.B. auf Blatt 2: -MRQ, -RD, -WR, -M1, -IORQ, CE etc.

FDC

(Floppy-Disk-Controller)

Zum Überprüfen der Steuerleitungen vom Controller zum Drive setzt man sich am besten folgende Kommandoschleife auf:

>S 5000 /WS;DO 5000 -->
>RS 1 1 6000;DO 5000 -->



Es wird nun der Inhalt von Sektor 1 Drive 1 ausgelesen und dann laufend wieder zurückgeschrieben. Somit läßt sich ein stehendes Bild auf dem Oszilloskop erzeugen.

Mit Oszilloskop und Schaltplan Blatt 9 läßt sich nun der Fehler schnell finden.

Die Read/Write-Logik läßt sich mit Hilfe des FC-Kommandos des Testdebuggers und eines Oszilloskopes überprüfen.

>FC 1 1 -->

Es wird nun ständig von der Floppy gelesen und man kann nun leicht alle Leitungen vom Drive zum Kontroller überprüfen. Ein einwandfreies Laufwerk wird natürlich vorausgesetzt. Dieses Programm wird nun gestartet. Das Scope mit einem Kanal an IORQ/ (PIN 20 CPU) anklemmen und danach triggern.

Nun kann man bequem alle Datenleitungen (D0 bis D7) und Steuerleitungen (CE, E, R/W) mit dem zweiten Kanal überprüfen.

Zu beachten ist, daß das Enable-Signal (PIN 23 activ HIGH) erst kurze Zeit, nachdem CE/ (activ LOW, Pin 25) LOW geworden ist, auf HIGH geht.

Zur Überprüfung von Port 6 mit seinen Ausgangssignalen eignet sich das auf der nächsten Seite ersichtliche Bild mit den Zeitverhältnissen der Signale.

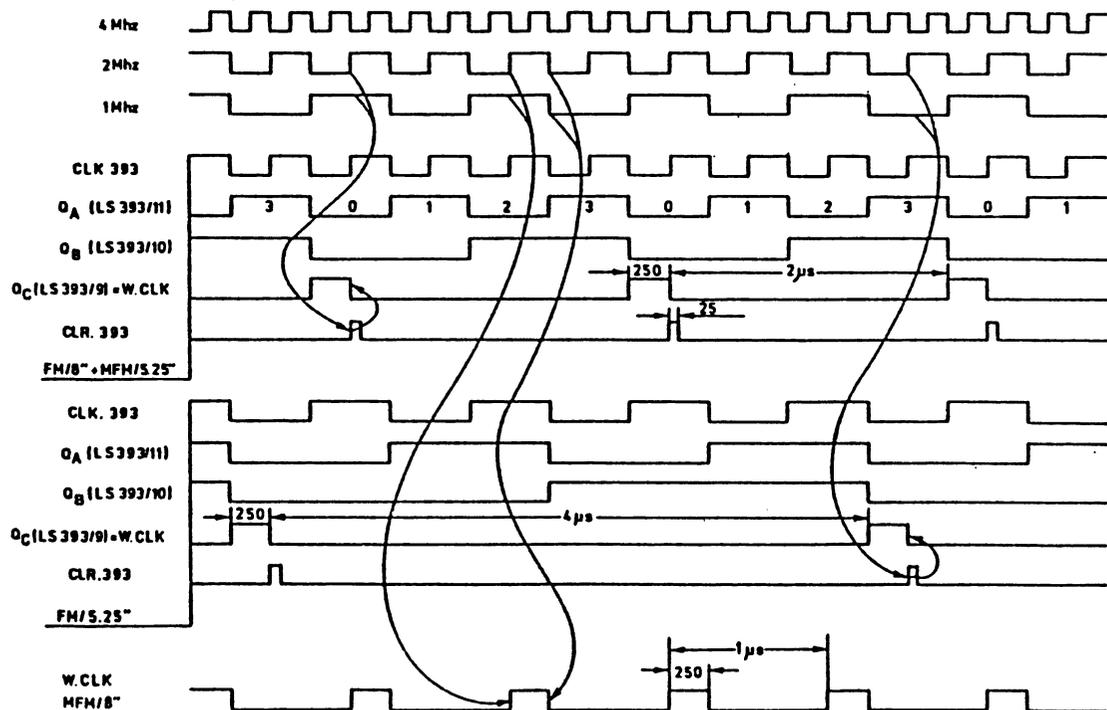
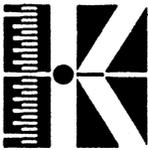


Abb. 3: FDC Write Clock Timing

**-INDEX**

Das Signal wird vom Floppy-Drive erzeugt. Bei jeder Umdrehung der Diskette, also alle 200 ms, wird ein 4 ms langer Puls gesendet. Dieses Signal ist neben den übrigen Steuersignalen unbedingt erforderlich. Das Signal "Index" teilt dem System mit, daß sich der Schreib-/Lesekopf am Anfang einer Spur, also bei Sektor 0 befindet. Das Überprüfen des Signales -INDEX geht am einfachsten mit dem Kommando

>FC 1 0 -->

mit dem dauernd vom Laufwerk 1, Spur 0 gelesen wird.

An PIN 17 des FD-Controllers (uP 765 Blatt 9) kann das Signal gemessen werden.

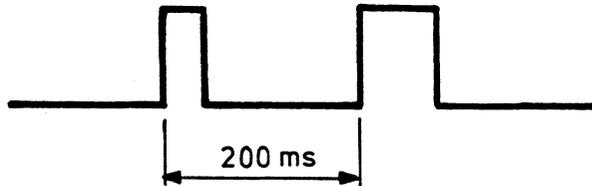


Abb. 4: INDEX-Signal

Interrupts

-NMI Der Z80 verfügt über einen Eingang -NMI (Non-maskable Interrupt). Dieser Interrupteingang kann nicht gesperrt (maskiert) werden und dient zur Meldung von Katastrophen, wie z.B. Netzausfall.

-INT Der Eingang -INT wird für alle anderen Unterbrechungsanforderungen herkommend von Peripherielementen (DMA, PIO, SIO, CTC) verwendet.

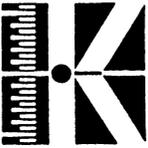
Er kann gesperrt (maskiert) werden durch den Befehl DI (Disable Interrupt) oder durch den Hardware-RESET. Der Befehl EI (Enable Interrupt) hebt die Maskierung wieder auf. Von den Interrupteingängen dominiert RESET über NMI und INT über INT.

In der Peripherie werden Interrupts nach dem Daisy-Chain-Prinzip (Eimerkette) gekettet:

Die Bausteine sind bezüglich der Priorität in Serie geschaltet über die Signale

IEI und IEO.

Derjenige periphere Baustein, der IEI high und IEO low liefert, hat Interrupt gemeldet und seinen Interrupt-Vektor ausgesandt.



Erstes Glied dieser Kette bei der KDT6 mit der höchsten Priorität ist die DMA (siehe auch Abb. 3, KDT6-HW).

In der folgenden Abbildung ist die Prioritätskette auf der KDT6 dargestellt.

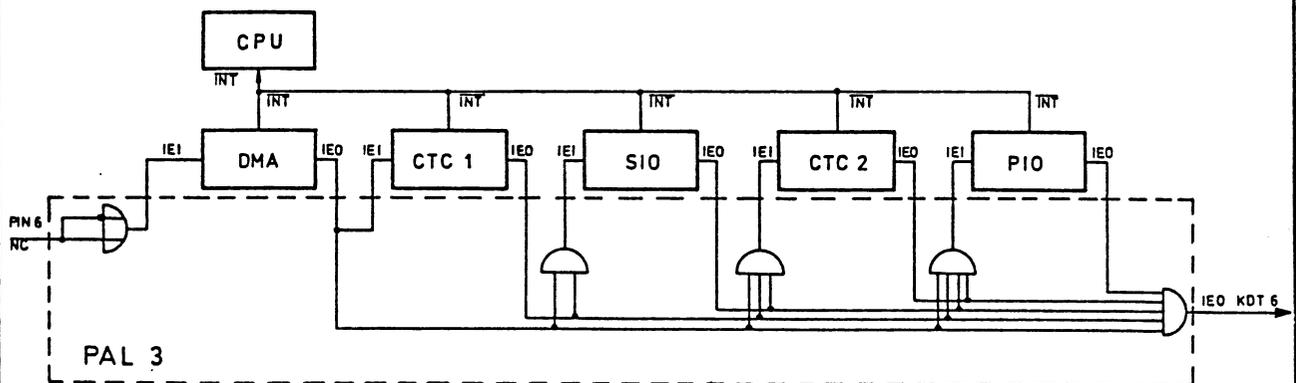
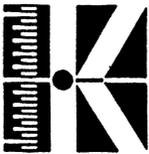


Abb. 5: Interrupt-Prioritätskette auf der KDT6 mit Ersatzschaltbild für die Logik des PAL3

Die durch die Kettenlänge auftretenden Schaltzeitprobleme können durch eine "Look-Ahead"-Schaltung umgangen werden. Auf der KDT6 wird diese Schaltung durch PAL3 dargestellt (siehe auch Blatt 5 und Programmierung PAL3).

Derjenige Baustein, der bei IEI high IEO hart auf low liegt, ist Ursache für auftretende Fehler. Sehr schnell läßt sich die Prioritätskette am PAL3 durchmessen.

--> PAL3, DMA, CTC1, SIO, CTC2, PIO



Memory Managment (74LS612/10)

Dieser Baustein arbeitet nicht, wenn eine der folgenden drei Bedingungen erfüllt wird:

- 1) BUSAK ist aktiv (PIN 14), d.h. ein DMA basierender Zugriff ist im Gange. Der DMA-Controller stellt die Adressen BAO...BA23 bereit. Die Ausgänge MOO...MO11 müssen dabei hochohmig sein.
- 2) Das Statussignal SEL.SYSM (Select System Memory) von Status Port 1 ist gesetzt.
- 3) Ein I/O Zugriff findet statt (IORQ aktiv)

In den beiden letzten Fällen sind die Adreßbits MBA16...MBA23 immer 0, sowie die Adreßbits MBA12...MBA15 unverändert. Dieser Zustand ist gekennzeichnet durch das Signal DIS.MAP (Disable Mapper) PIN 13.

Diese grobe Arbeitsweise kann relativ leicht überprüft werden.

Allgemeines zur Memory-Management-Unit (MMU)

Der Sinn dieser Einheit besteht darin, den mit 16 Bit Adreßbreite vorgegebenen physikalischen Adreßraum von 64 kByte zu vergrößern.

Dies ist nur durch eine Verbreiterung der durch die Z80-CPU vorgegebenen 16-Bit-Adresse möglich. Mit Hilfe des MMU-Bausteins 74LS612/10 ist es möglich, die Adreßbreite auf 24 Bit zu vergrößern. Dies entspricht einer Vergrößerung des physikalischen Adreßraums auf 16 MByte.

Der Baustein 74LS612/10 besitzt 16, jeweils 12 Bit breite sogenannte MAP-Register, die frei programmierbar sind. In diese Register werden die HIGH-Bytes der Basisadresse eines 4 kByte-Bereiches geladen.

Das Besetzen der geforderten 12 Bit geschieht folgendermaßen:

- 1) Der 12 Bit breite Inhalt eines MAP-Registers setzt sich aus 8 Datenbits und 4 weiteren aus Port 2 ausgelesenen Bits zusammen. Also muß dieser Port zunächst belegt werden.
- 2) Die Auswahl eines MAP-Registers geschieht durch 4 Adreßbits (BA0...BA3). Da die Basisadresse des Mapregisters bei 20H liegt, enthalten die Bits BA7...BA4 stets den Wert 2H = 0010.
- 3) Belegen der fehlenden 8 Bits des Mapregisters mit den 8 Datenbits.



Soll nun ein bestimmter Speicherbereich adressiert werden, so geschieht das wie folgt:

- 1) Auswahl eines Mapregisters mit den Adreßbits BA15...BA12
- 2) Zusammensetzen der 24-Bit Adresse:

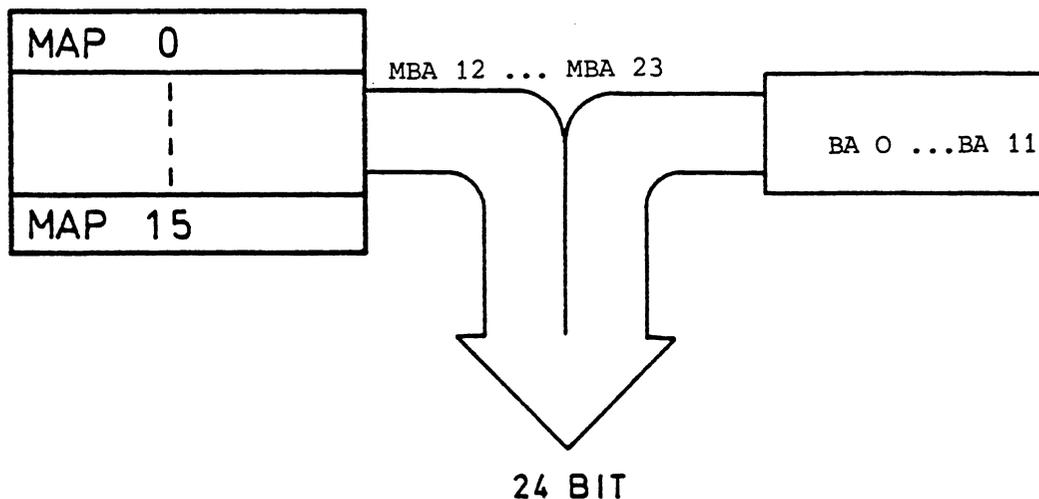


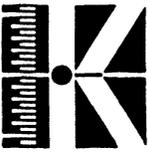
Abb. 6: 24 Bit-Adresse

Die Basisadresse eines 4 kByte-Bereiches kann so nach Belieben in einen physikalischen Adreßraum von max. 16 MByte gelegt werden.

MMU

Das Umschalten zwischen den einzelnen Speicherbänken funktioniert nicht. Mögliche Ursachen:

- > PAL 1 oder ICS defekt (Blatt 3)
- > ändern sich die Signale MOO...MO7 = MBA23...MBA16 (Blatt 3)
- > alle diese Bits 0?
falls ja: ---> DIS.MAP dauernd aktiv?
- > Fehler z.B. PAL 3 (Blatt 5)
- > ein Baustein dominiert auf einer dieser Leitungen (z.B. DMA)
(Meßpunkte TP 5, 6, 8, 9)



Zusammenfassend:

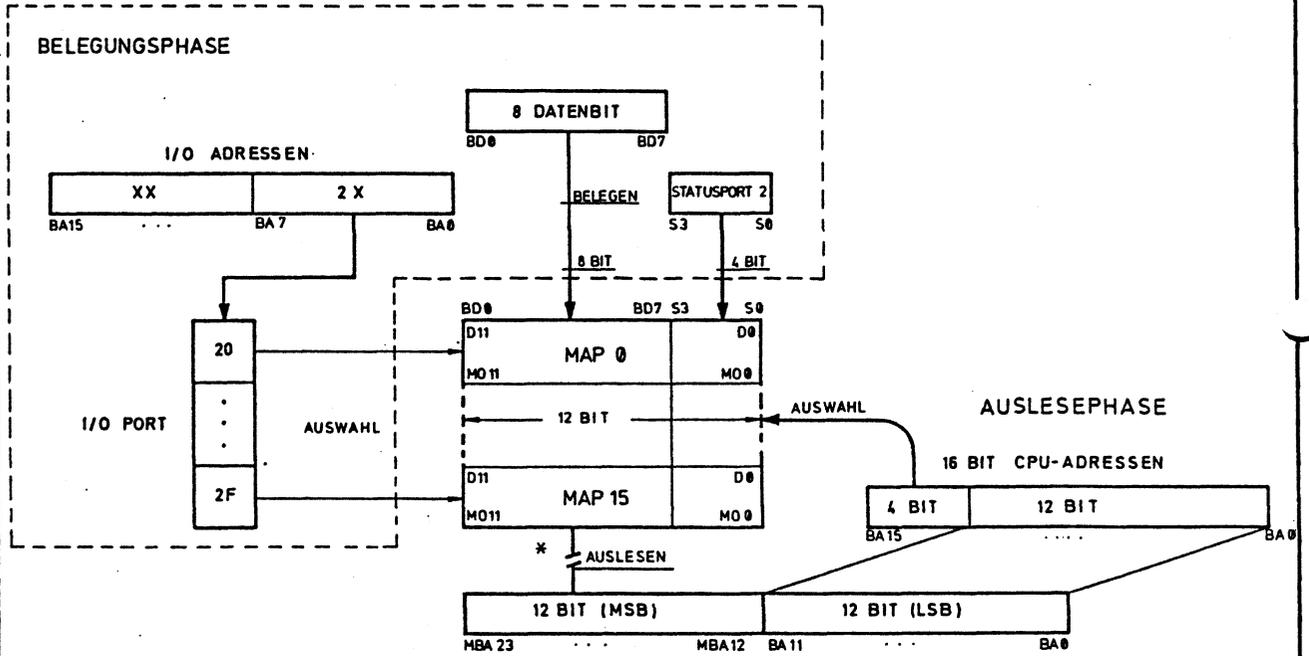
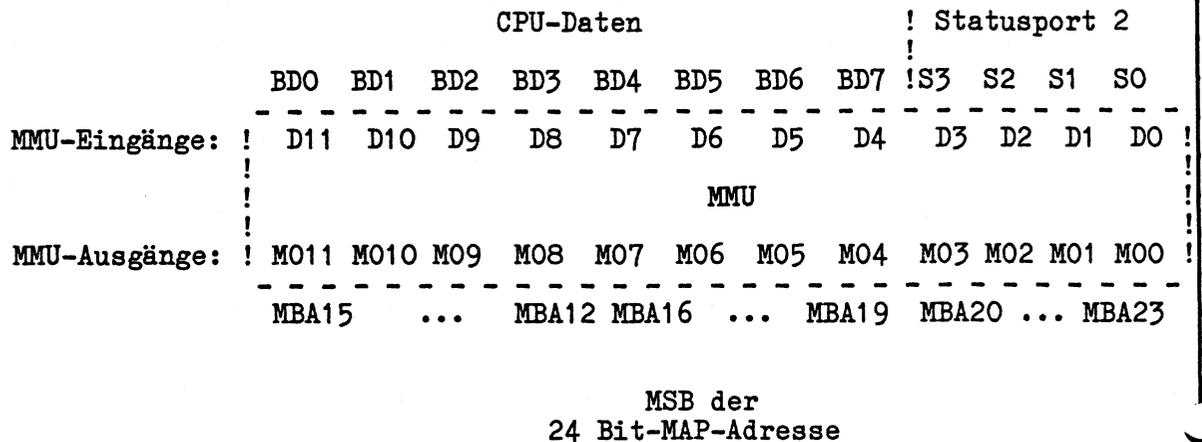
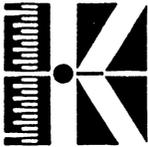


Abb. 7: MMU-Adressierung

* Bitzuordnung:



**-MRQ** (Memory-Request)

MRQ = aktiv bedeutet, daß auf dem Adreßbus die Adresse für einen Speicherzugriff (Lesen oder Schreiben) ansteht.

An Pin 19 der CPU (Blatt 1) messen. Das Signal muß zwischen LOW und HIGH wechseln.

MRQ/ liegt auf halbem Pegel:

---> arbeitet RESET/ (Pin 26) richtig?

Es muß nach Drücken der Reset-Taste ein mindestens einen Taktzyklus langer Puls ankommen.

IC23, D1, R7 und C1 überprüfen.

MRQ/ liegt ständig auf LOW oder auf HIGH:

---> Wahrscheinlich ist -WAIT dauernd aktiv (PIN 24 an der CPU). WAIT hält alle Steuer- und Adreßleitungen in dem Zustand, in dem sie waren.

Ist nun -WAIT dauernd aktiv, so wird auch -MRQ eingefroren. Als Ursachen für ein ständig aktives -WAIT kommen z.B. in Frage:

- | | | | |
|-------------------|-----------|---------|------------|
| - R9 | (Blatt 1) | - IC 47 | (Blatt 10) |
| - Stecker A | (Pin 44) | - IC 38 | (Blatt 11) |
| - IC 21 | (Blatt 1) | - IC 39 | (Blatt 11) |
| - IC 22 | (Blatt 2) | - IC 19 | (Blatt 11) |
| - CPU | | | |
| - RESET-Erzeugung | | | |

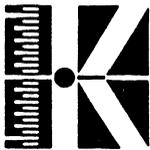
-RESET

-RESET dient zur Initialisierung der gesamten Hardware und wird entweder durch Drücken des Reset-Knopfes, oder aber durch Anlegen der Versorgungsspannung erzeugt. Während des Rückstellvorganges befinden sich Daten- und Adreßbus im hochohmigen, sämtliche übrigen Ausgänge der CPU im inaktiven Zustand. Beim Einschalten der Spannung folgt PIN2 am IC23 der Eingangsspannung sofort, während der zweite Eingang PIN1 über ein RC-Glied (R7, C1) verzögert wird. D1 wirkt als Entladediode.

Die CPU benötigt einen mindestens einen Taktzyklus langen Puls, nachdem Vcc auf mindestens 3.6 Volt angestiegen ist.

Wird -RESET nicht richtig erzeugt, so ist der Fehler bei R7, C1, D1 oder IC23 (alle auf Blatt 8) zu suchen.

Meist liegt die Ursache in einem zu kleinen C1. C1 kann in kritischen Fällen von 22 uF auf 47 uF vergrößert werden.



Speichertest

Der Memorytest schreibt nacheinander die hexadezimalen Werte 00, FF, 55, AA, 01, 02, 04, 08, 10, 20, 40, 80, FE, FD, FB, F7, EF, DF, BF, 7F, in den zu testenden Memorybereich ein und prüft die Richtigkeit. Also der gesamte zu testende Bereich wird zuerst mit 00 geladen und dann überprüft; als nächstes folgt FF usw.

Damit lassen sich harte RAM- oder Bufferfehler finden. Es besteht allerdings noch keine Aussage darüber, ob alle Adressen an den RAM's richtig anliegen. Um dies feststellen zu können, werden alle zu testenden Speicherzellen mit dem LOW-Byte ihrer Adresse geladen und danach überprüft. Es kommt z.B. auf die Adresse 5000 der Wert 00, auf 5001 01, auf 011 11 usw.

Würde nun das Adreßbit A0 hart auf LOW liegen, wird zwar zuerst - wie in unserem Beispiel - auf die Adresse 5000 der Wert 00 eingeschrieben, dann aber sofort mit 01 überschrieben, wenn auf die Adresse 5001 01 geschrieben werden sollte. Die nach dem Einschreiben erfolgende Überprüfung meldet diesen Fehler. Damit lassen sich alle Fehler mit Adreßbits A0 bis A7 finden.

Jetzt werden die zu testenden Speicherzellen mit den HIGH Bytes der Adressen geladen. Zum Beispiel:

die Adressen 5000H bis 50FFH mit 50H
die Adressen 5100H bis 51FFH mit 51H usw.

Damit lassen sich auch noch Adreßfehler der obersten Adreßbits finden.

Als nächstes wird der gesamte zu testende Speicher mit 76H (HALT) gefüllt, der CTC 1 Channel 0 (Adresse 08H) als Timer programmiert und ein Jump auf die erste zu testende Speicheradresse ausgeführt. Hier liest die CPU nun ständig diesen Befehl, bis der Interrupt des CTC erfolgt (ca. 512 X HALT). In der Interruptserviceroutine wird nun die Herkunftsadresse mit der Solladresse verglichen. Ist diese ok, wird ein Jump auf die nächste zu testende Speicheradresse ausgeführt usw.

Steht durch Umkippen eines Bits z.B. 77H (LD HL),A in der Speicherzelle, dann stimmt beim nächsten Interrupt die Herkunftsadresse nicht mit der Solladresse überein und es wird ein REALTIME Test Error angezeigt.

Achtung: Das Drücken einer Taste während dieses Test führt ebenfalls zur gleichen Fehlermeldung.

Der letzte Test innerhalb des Memorytests ist ein 100H langes Programm, das fast ausschließlich aus Ein-Byte-Befehlen besteht. Dieses Programm wird an den Anfang des zu testenden Speichers geladen und mit einem Jump darauf abgearbeitet. Es schreibt sich bis ans Ende des zu testenden Speichers fort.



Mit diesem Test lassen sich auch noch RAM's mit einer zu knappen Zugriffszeit finden (Timing von M1 Zyklen ist kürzer als beim normalen RD).

Zur Durchführung des Speichertests stehen zwei Hilfsmittel zur Verfügung:

- 1) Testdebugger (nur für Schreib-/Lese-Speicher)
- 2) Testsoftware auf Diskette (für Video- und Schreib-/Lesespeicher)

Um einen Speichertest durchführen zu können, bzw. um die richtigen Schlüsse aus den gewonnenen Ergebnissen zu ziehen, ist eine gute Kenntnis der Speicherorganisation der KDT6 notwendig.

Die KDT6 besitzt max. 8 kByte ROM-Speicher (2 EPROM's vom Typ 2732 mit je 4 kBit x 8), 256 kByte Schreib-/Lesespeicher, der aus 32 RAM's vom Typ 2164 mit je 64 kBit x 1 aufgebaut ist. Ferner ist ein Bildwiederhol-speicher 64k x 10 Bit vorhanden, der aus 10 RAM's vom Typ 2164 aufgebaut ist. Ferner ist noch ein EPROM aufgesetzt, das den Zeichensatz enthält (entweder Typ 2764 oder 2732; 8 oder 4 kByte Zeichensatz).

Die Adressierung der PROM's Nr. 1 und 2 erfolgt nicht über die Speicherverwaltung, sondern direkt über die gepufferten Adressen der CPU, da der PROM-Bereich adressiert werden muß, bevor die Speicherverwaltung adressiert wird. Über das Signal 'POFF' (Status Port 0, Bit 5) kann der PROM-Bereich völlig abgeschaltet werden.

Adreßbereiche der beiden PROM's:

-----	-----
Socket	Adreßbereich
-----	-----
PROM1	0000 - 0FFF
PROM2	1000 - 1FFF
-----	-----



Der Schreib-/Lesespeicher ist in 4 Bänke mit je 64 kByte organisiert. Die jeweilige Bank wird durch die 8 höchstwertigen Adreßbits der 24 Bit-Adresse ausgewählt (siehe auch Beschreibung MMU).

Bank Nr.!	Adreßbits ! A23...A18	A17	A16	A15...A0	! hex
0	0	0	0	x	! 00xxxx
1	0	0	1	x	! 01xxxx
2	0	1	0	x	! 02xxxx
3	0	1	1	x	! 03xxxx

Der Adreßdekodierer (Blatt 3) ist mit einem PAL-Baustein (PAL 1) realisiert. Er liefert die RAS- (Row-Adress-Strobe-) Signale für die Speicherbänke 0...3 (RAS0...RAS3), desweiteren die Steuersignale INT.MEM (Internal Memory) und SEL.RAM (Select RAM). Für einen Speicherzugriff auf eine RAM-Bank xy müssen die Signale SEL.RAM, INT.MEM und RASxy gleichzeitig aktiv sein.

Die Speicherbereiche sind auf der KDT6 folgendermaßen angeordnet:

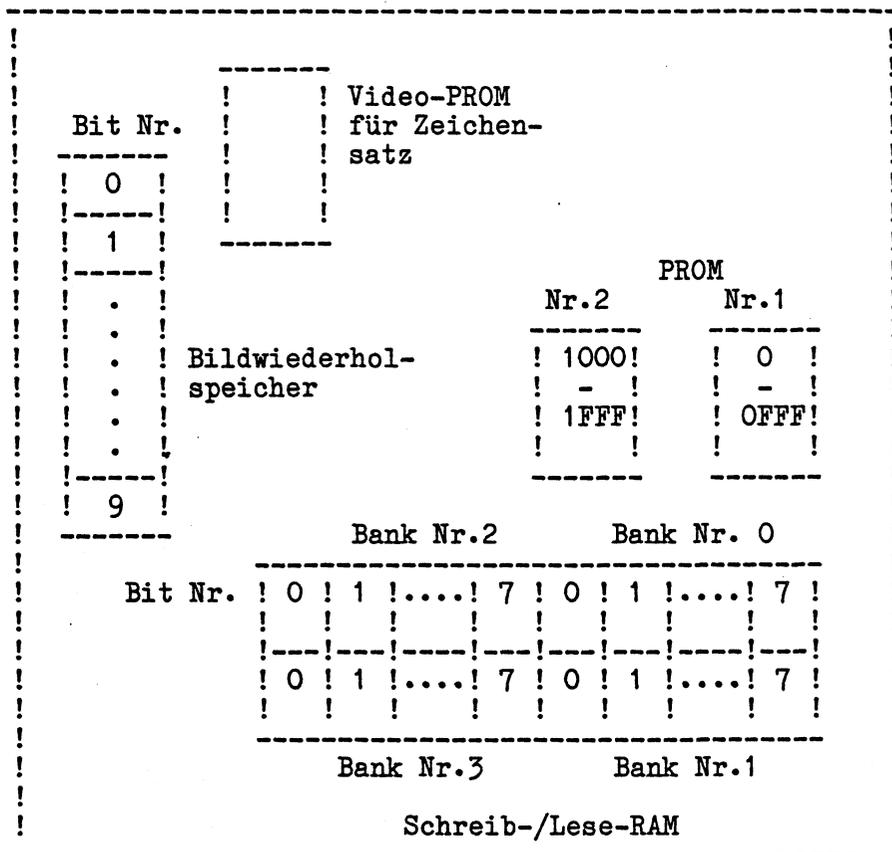
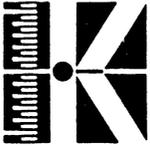


Abb. 8: Speicher der KDT6



Bei Durchführung des Memory-Testes (entweder mit Testdisk für Video-Bereich oder MX ---> Schreib-/Lese-RAM) läßt sich nun anhand der Fehlermeldung der fehlerhafte Speicherschaltkreis lokalisieren:

z.B. Test in Schreib-/Lese RAM Bank 3

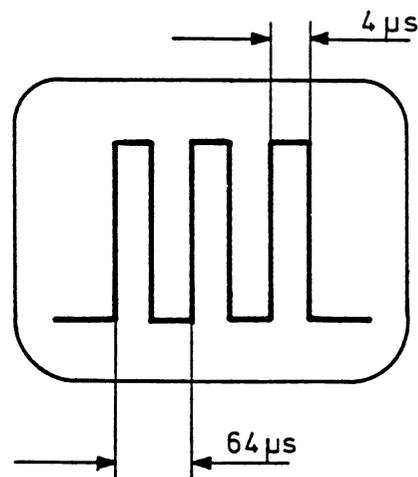
ingelesen 3AH = 00 11 1010
ausgelesen 2AH = 00 10 1010

---> IC Bit 4 in Bank 3 defekt; aber auch Fehler in Adreßzuführung oder Leiterbahn denkbar.

Zeigt die Fehlermeldung auch in einer anderen Bank stets auf das gleiche Bit, so kann es auch sein, daß das IC 62 (Blatt 4) defekt ist, oder aber eine Adreßleitung "hängt". Ebenso müssen die Multiplexer in IC25, IC27 (Blatt 4) überprüft werden (ebenso Blatt 4). Weitere Fehlermöglichkeiten sind IC26 (Treiber), sowie alle Daten und Adreßleitungen auf Blatt 4 und die auf diesen Leitungen hängenden Schaltkreise (Blatt 1, 2, 3, 5, 12).

Sync-Signale

H-SYNC



V-SYNC.

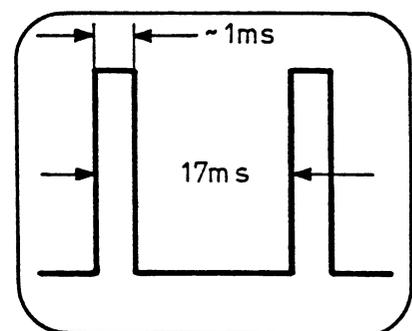


Abb. 9: SYNC-Signale



Schwingt 12.36 MHz (bzw. bei PSI 13,5168 MHz)
Oszillator ?
---> an TP's messen (Blatt 10)

TP7: BYTE.CLK }
TP10: VRAS } zur Zeitabfolge, siehe
TP11: VWR } "Video-Controller"
TP12: VRD }

Am Ausgang des Video-Controllers (Blatt 2) die Synchronisier-Signale VSYNC, HSYNC messen (Pin 39 und 40).

Haben Horizontalsync und/oder Vertikalsync nicht den richtigen Abstand oder sind sie nicht vorhanden, so ist es denkbar, daß der CRTC (Schaltplan Blatt 11) nicht richtig programmiert wird. Es sollte dann der Datenpfad und die Steuerleitungen zum CTC untersucht werden.

Zur Darstellung der übrigen Signale wird am besten eine Schreibschleife für den Videocontroller aufgesetzt. Dies geschieht mit dem Kommando

>O 31 55 (*)

des Testdebuggers, wobei anstelle des Wertes 55 auch der ASCII-Code eines beliebigen anderen Zeichens stehen kann. Das jeweilige Zeichen wird nun dauernd auf den Bildschirm geschrieben, wodurch eine Überprüfung aller Signale ermöglicht wird.

(*) Dies läßt sich natürlich nur realisieren, falls der CRTC richtig arbeitet.

Test PROM
"OUT55"

Falls der Testdebugger nicht aufgerufen werden kann, wird ein Testprom mit folgendem Programm anstelle des BOOT-Proms eingesetzt.

```
0000 LD A,55H
0002 OUT (18H),A
0004 OUT (31H),A
0006 JP 0002
```

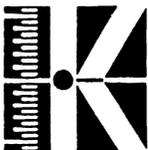
Takt

Blatt 1: An Pin 6 der CPU muß ein 4 MHz Takt (TTL-CLK) liegen. Falls nicht:

---> Blatt 8: Oszillator + Teiler
(IC24, IC22) überprüfen, oder

---> Blatt 1: Clocktreiber (T1, T2, R1-R6)
überprüfen.

Die Taktsignale müssen auch an SIO, PIO sowie CTC's anliegen.



Die Taktfrequenz wird während der BOOT-Phase halbiert, um auch langsame Proms verwenden zu können.

An der MMU muß am Strobe-Eingang (IC10, Pin 5, Blatt 3) ein über IC 17 (Blatt 3) halbiertes Takt anliegen, falls SEL.MAP aktiv ist.

Außerdem müssen die abgeleiteten Signale FD.CLK (Blatt 8, IC 2) = 16 MHz und SEL.CLK (Blatt 5, IC43, Pin 5) = 8 MHz vorhanden sein.

Terminal ON

Um festzustellen, daß es sich um einen Fehler im Videoteil handelt, kann dieser erst einmal durch Anschluß eines Terminals an den SIO umgangen werden.

Durch Eingabe des Testdebugger-Kommandos ON wird die serielle Schnittstelle eingeschaltet, die Baudrate ist auf 9600 Baud gestellt.

Die Initialisierung des SIO geschieht sofort nach RESET oder Einschalten und nicht erst nach Ausführung des ON-Kommandos.

Welche serielle Schnittstelle (A oder B) eingeschaltet wird, hängt von der Testdebugger-Version ab.

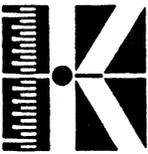
Erscheint keine Meldung auf dem Terminal, so kann ein Fehler in RAM-Bank 0 vorliegen, der durch Umschalten auf eine andere Bank (--> Umschalten) umgangen werden kann.

Tritt danach der Fehler immer noch auf, so ist die Ursache woanders (CPU, PAL1, MMU) zu suchen.

Testdebugger ohne CNTL-K

Der Testdebugger ist so geschrieben, daß alle Grundroutinen im PROM 1 sind. Nach dem Start (Reset) wird nun die gesamte Hardware der KDT6 initialisiert, der Bildschirm gelöscht, ein "Bell" erzeugt und dann geprüft, ob auf der Adresse 17FC die Kombination 00 FF 55 AA steht.

Ist dies der Fall, so wird ein Jump auf den Einsprungpunkt des Urladers ausgeführt, d.h. es wird versucht, von der Floppy zu laden.



Erscheint nun, ohne daß CNTL-K gedrückt wurde, das Wort Testdebugger etc. am Bildschirm, so wird die Kombination 00 FF 55 AA nicht gefunden. Zur Überprüfung eignet sich ein Readloop auf die Adresse 17FC

>RD 17FC

Nun kann mit dem Oszilloskop überprüft werden, ob PROM 1 selektiert wird und die Adreßbits richtig ankommen. Wenn ja ---> PROM defekt; wenn nein ---> Schaltplan Blatt 1 (Buffer, -CS, CPU).

Umschalten auf andere RAM-Bank Nach Einschalten der Spannungsversorgung oder RESET ist der Mapper so initialisiert, daß die Speicherbank 0 im 64k-Adreßbereich der CPU liegt.

Ist ein Daten- oder Adreßfehler in der unteren Hälfte dieser Bank vorhanden, so kann dieser erst einmal dadurch umgangen werden, daß durch Umverdrahten von -RAS0 mit z.B. -RAS2 ein anderer HW-Bankbereich als Bank 0 initialisiert wird.

Das Umschalten geschieht durch den in der folgenden Abbildung gezeigten Doppelsockel.

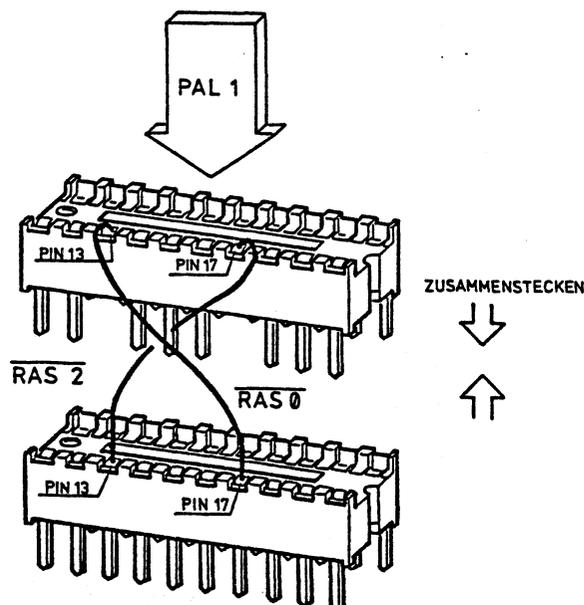


Abb. 10: RAM-Bank-Umschaltsockel
(Bank 0 vertauscht mit Bank 2)

Tritt danach weiterhin keine Änderung ein (Meldung auf Terminal), so ist der Fehler bei

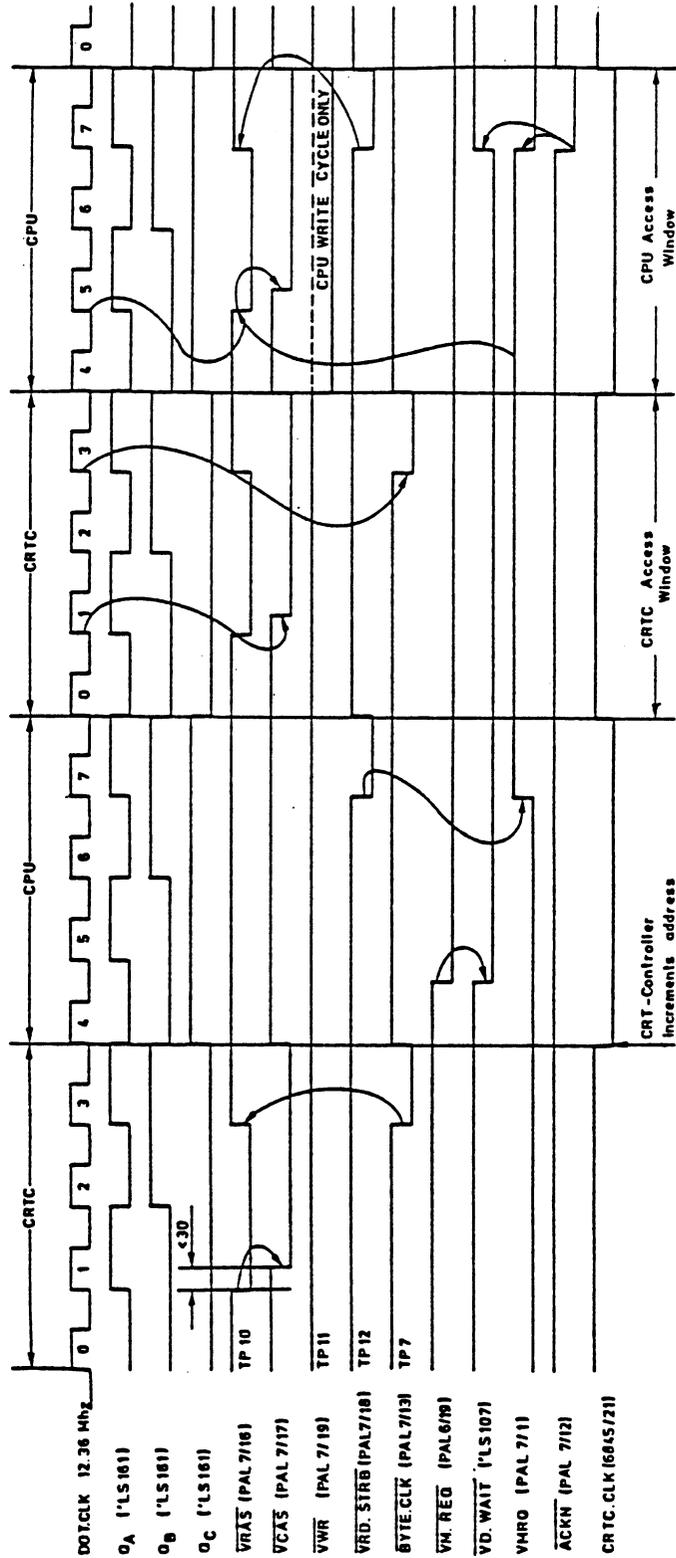
---> PAL1, MMU, CPU, PROM1

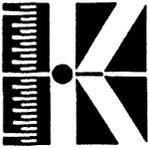
zu suchen.



Video-Controller

Er erzeugt alle Signale zur Monitorsteuerung. Das folgende Diagramm auf der nächsten Seite zeigt den zeitlichen Ablauf der benötigten/erzeugten Signale. Die Signale HSync und VSync sind bei "Sync-Signale" beschrieben.





Videoteil Eine Überprüfung des Videoteils erfordert nach dem Controllerteil noch weitere 3 Stufen:

- 1) Videomemory mit Zeichensatz EPROM (Blatt 13)
- 2) Bildwiederholungspeicheradressierung (Blatt 12)
- 3) Video Interface (auf Interface-Board, siehe dort)

Treten auf dem Monitor Schleier oder instabile Zeichen auf, so ist insbesondere auf

---> PAL 7

das Signal -VRD.STRB an Pin 18 oder TP12 anzuschauen. Häufig schaltet PAL7 zu schnell, so daß eine charakteristische Störspitze auftritt (siehe folgende Abb.).

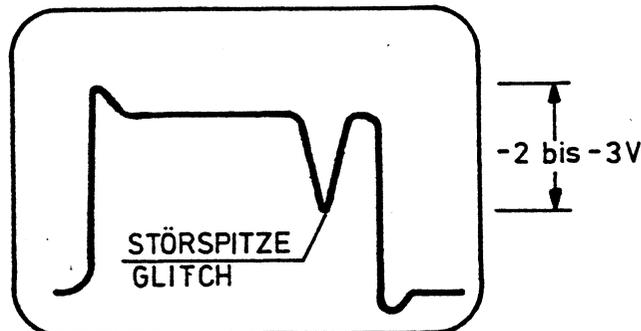


Abb. 12: Fehlerhaftes VRD.STRB-Signal

Durch Auswechseln des PAL's oder durch Überbrücken von Pin 9 und Pin 10 (GND) mit einem Kondensator von 82 pF (Verzögerung), läßt sich dieser Fehler beseitigen.

Zeigt die Graphik Fehler, so muß zuerst die einwandfreie Funktion des Videomemorys sichergestellt werden. Also mit Testprogramm (Diskette) Memorytest durchführen.

Zeigt der Memorytest keine Fehler, so kann ein Defekt nur noch in den nachgeschalteten Baueinheiten zu suchen sein (IC 40, IC 67, PROM 3, IC 69, Blatt 13). Außerdem wäre ein Fehler im Videointerface denkbar, der aber mit dem entsprechenden Schaltplan und Oszilloskop leicht zu beheben sein dürfte (siehe Interface-Board).

Siehe auch "Video-Controller" und "SYNC's".

**-WAIT**

-WAIT hält alle Steuer- und Adreßleitungen in dem Zustand, in dem sie waren. Ist also WAIT ständig aktiv, so werden die CPU-Signale wie z.B. -MRQ "eingefroren".

Ein LOW-Signal am WAIT-Eingang zeigt der CPU, daß die angesprochenen Speicher- oder I/O-Bausteine zur Datenübertragung noch nicht bereit sind.

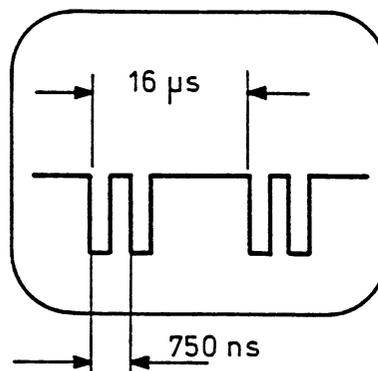
-WR

-WR = aktiv bedeutet, daß die CPU Daten für den Speicher oder einen I/O-Baustein auf dem Datenbus bereithält.

Während des Ablaufs des in Testprom "WR55" gespeicherten Programms wird immer wieder geprüft, ob ein neues Zeichen eingegeben worden ist. Dies geschieht in einem Unterprogramm, das mit CALL aufgerufen wird. Hierzu wird stets die Adresse des nächsten Befehls im Stack abgelegt, was zwei WRITE-Zyklen erfordert.

An TP16 müssen deshalb -WR Enable-Pulse in Zweiergruppen mit einem Abstand von ca. 16 μ s zueinander zu sehen sein. Der Abstand innerhalb einer Gruppe muß etwa 750 ns (= 3 Taktzyklen) betragen.

Kommen nun die -WR-Pulse nicht wie oben angegeben, muß untersucht werden, ob der benötigte RAM-Bereich beschrieben oder gelesen wird. Außerdem muß sichergestellt werden, ob überhaupt ein Programm ab Adresse 0 abgearbeitet werden kann.

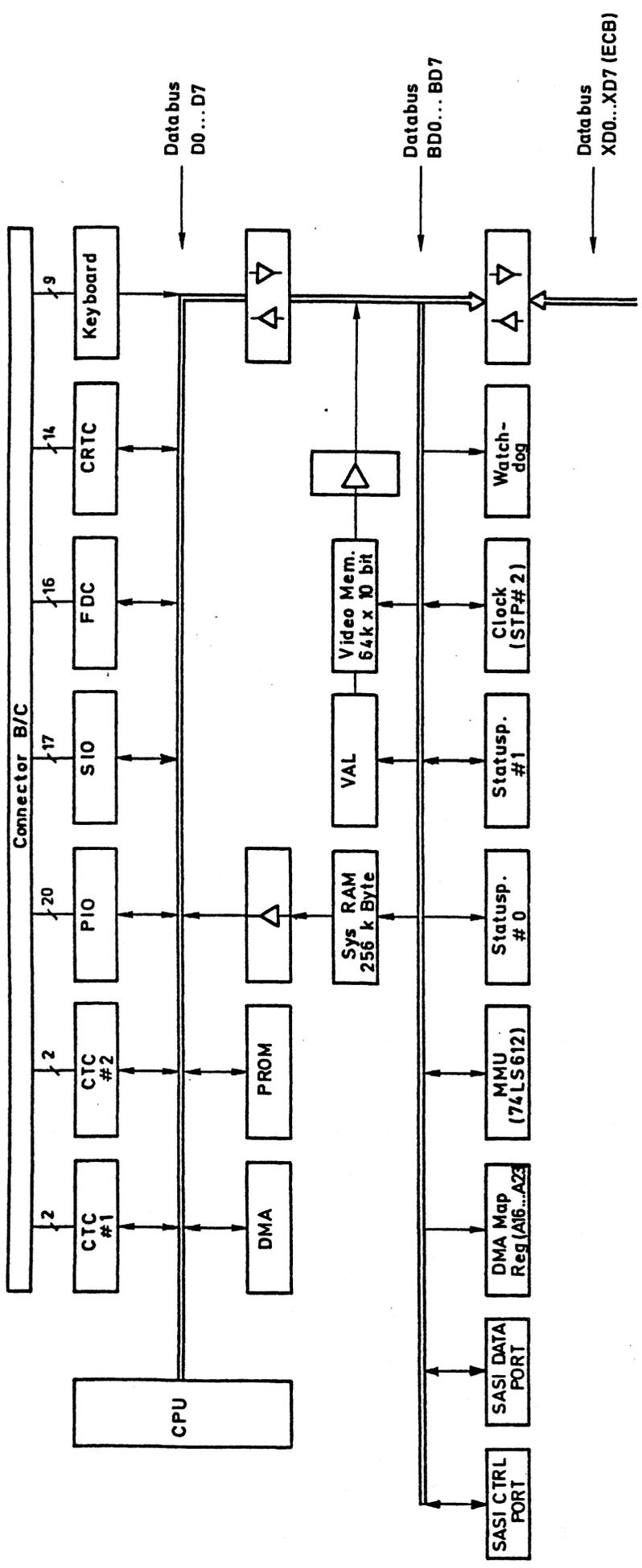


WR - PULS

Abb. 13: WR-Signal



1	a	Datenbus	
	b	Adreßbus	
2	a	Lage Jumper	
	b	Voreinstellung der Jumper	
3	a	Lage aller Testpunkte	
	b	Tabelle Testpunkte	
4	a	Bestückungsplan der KDT6	
	b	Lage CPU	
5	a	CPU/Buffer/Takt	1. von 14
	b	Lage DMA	
6	a	DMA + PROMs	2. von 14
	b	Lage MMU	
7	a	MMU	3. von 14
	b	Lage RAM-Memory	
8	a	RAM-Memory	4. von 14
	b	Lage Int.-Pos. + I/O - Adr.Dek.	
9	a	Interrrupt-Priorität + I/O-Adreßdeko- der	5. von 14
	b	Lage CTC	
10	a	CTC	6. von 14
	b	Lage SIO/PIO	
11	a	SIO/PIO	7. von 14
	b	Lage Uhr + Takterzeugung	
12	a	Uhr + Takterzeugung	8. von 14
	b	Lage FD-Treiber	
13	a	FD-Treiber	9. von 14
	b	Lage Video Memory	
14	a	Video Memory-Access Controller + Timing Generator	10. von 14
	b	Lage Video	
15	a	Video (CRTC)	11. von 14
	b	Lage Bildwiederhol-speicherad- ressierung	
16	a	Bildwiederhol-speicherad- ressierung	12. von 14
	b	Lage Video-RAM	
17	a	Video-RAM	13. von 14
	b	Lage SASI	
18	a	SASI	14. von 14



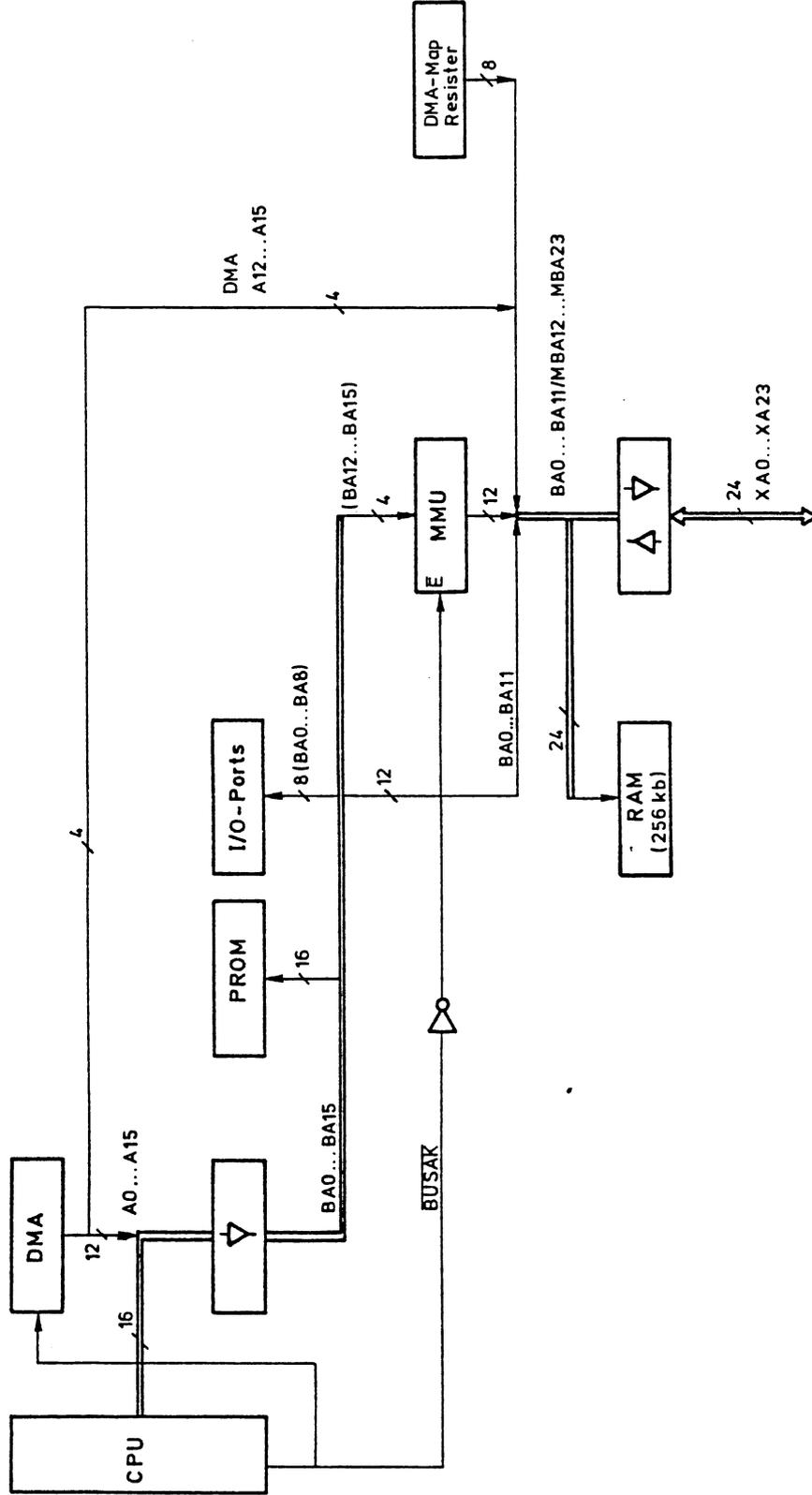
Benennung		KDT 6	
Data Bus Structure		1010	
Tag		Name	
Bearb.	20.4.82	SPIES	
Gepr.	22.4.82		
KONTRON ELECTRONIC			
Rev.	1.1	Änderungs-Nr.	20
zu Gerät		zu A/R	
7		6	
Blatt-Nr.		v. Bl.	
		v. Bl.	

Ax = unbuffered CPU address

Bax = buffered CPU address

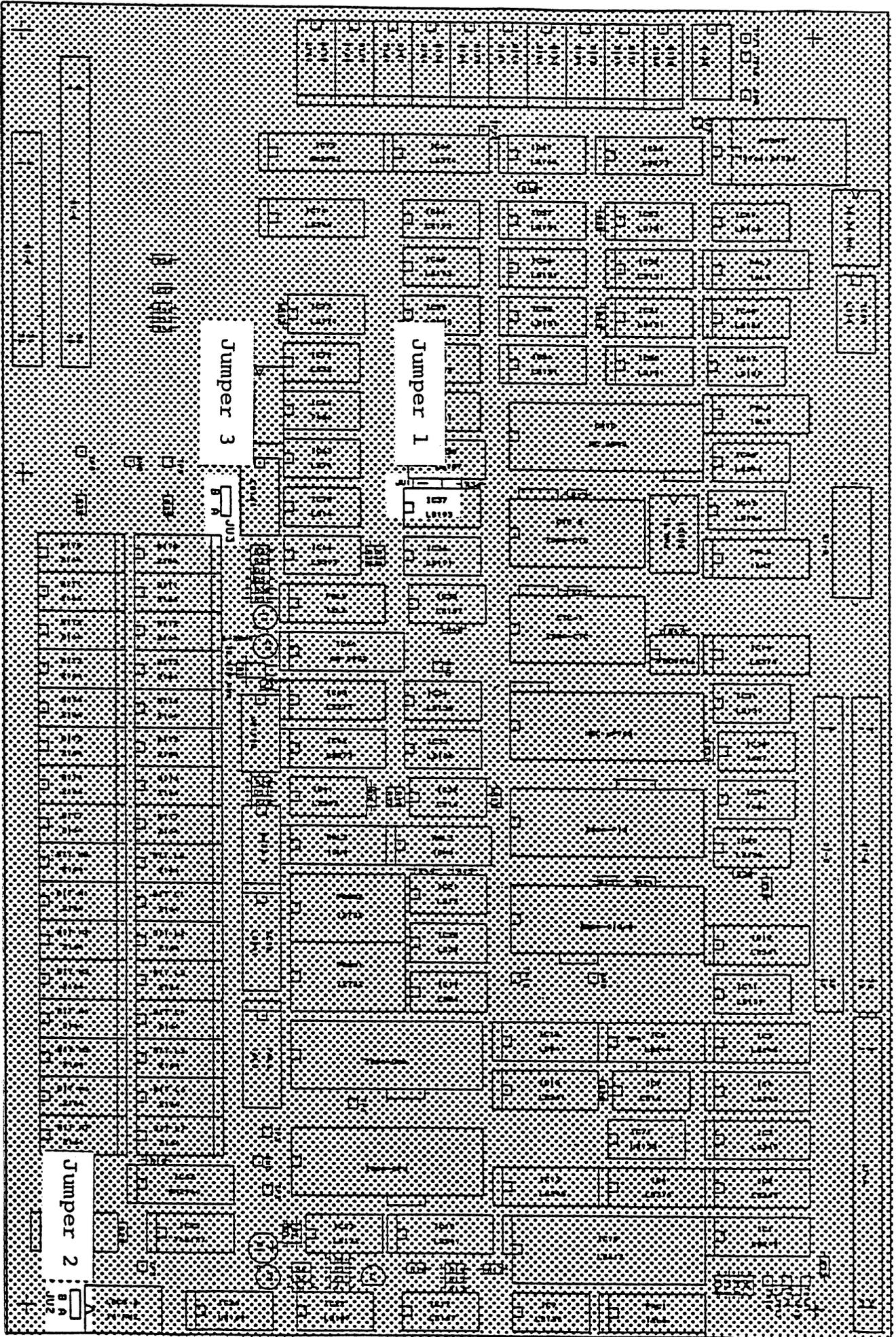
MBax = mapped address from MMU

XAx = buffered ECB address (external address)



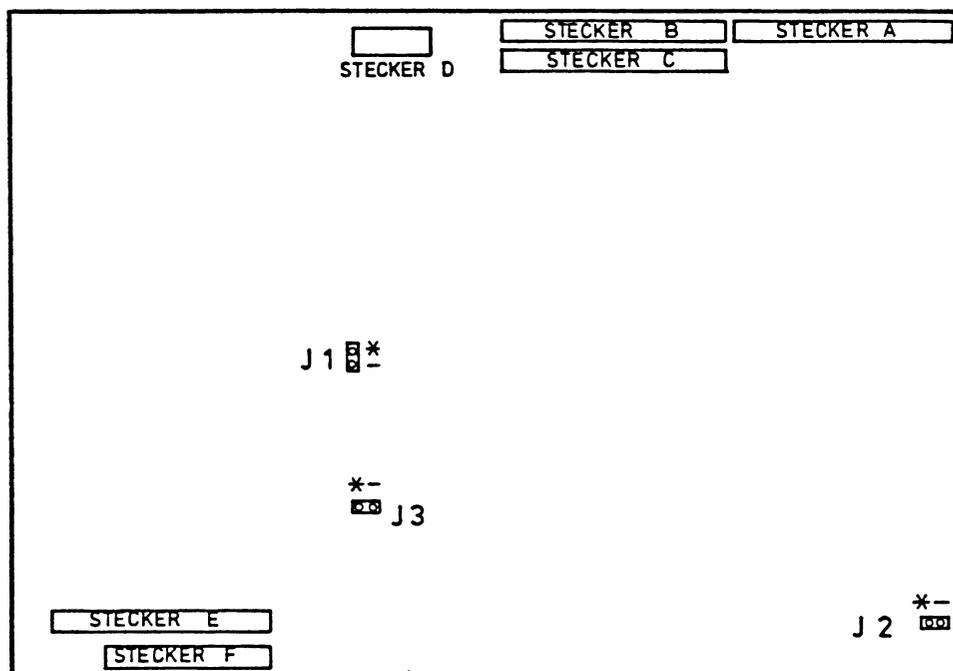
Benennung		KDT 6	
Name		Address Bus Structure	
Tag	Name	Zeichn.-Nr.	Blatt-Nr.
Bearb. 20.4.82	SPIES	1010	v.
Gepr. 22.4.82			Bl.
Rev. Änderungs-Nr.		zu Gerät	zu Anlage
1J	20.4.82		
KONTRONIK ELECTRONIC			

Lage der Jumper (KDT 6)



Voreinstellung der Jumper auf KDT6 Rev. 1.2

- * bedeutet : Jumper gesteckt
- bedeutet : Jumper nicht gesteckt



KDT6 - Bestückungsseite: Jumper

Beschreibung ("--->") bedeutet: Voreinstellung):

Jumper J1:

-
- A : 64 kByte Video-Memory
- > B : 16 kByte Video-Memory

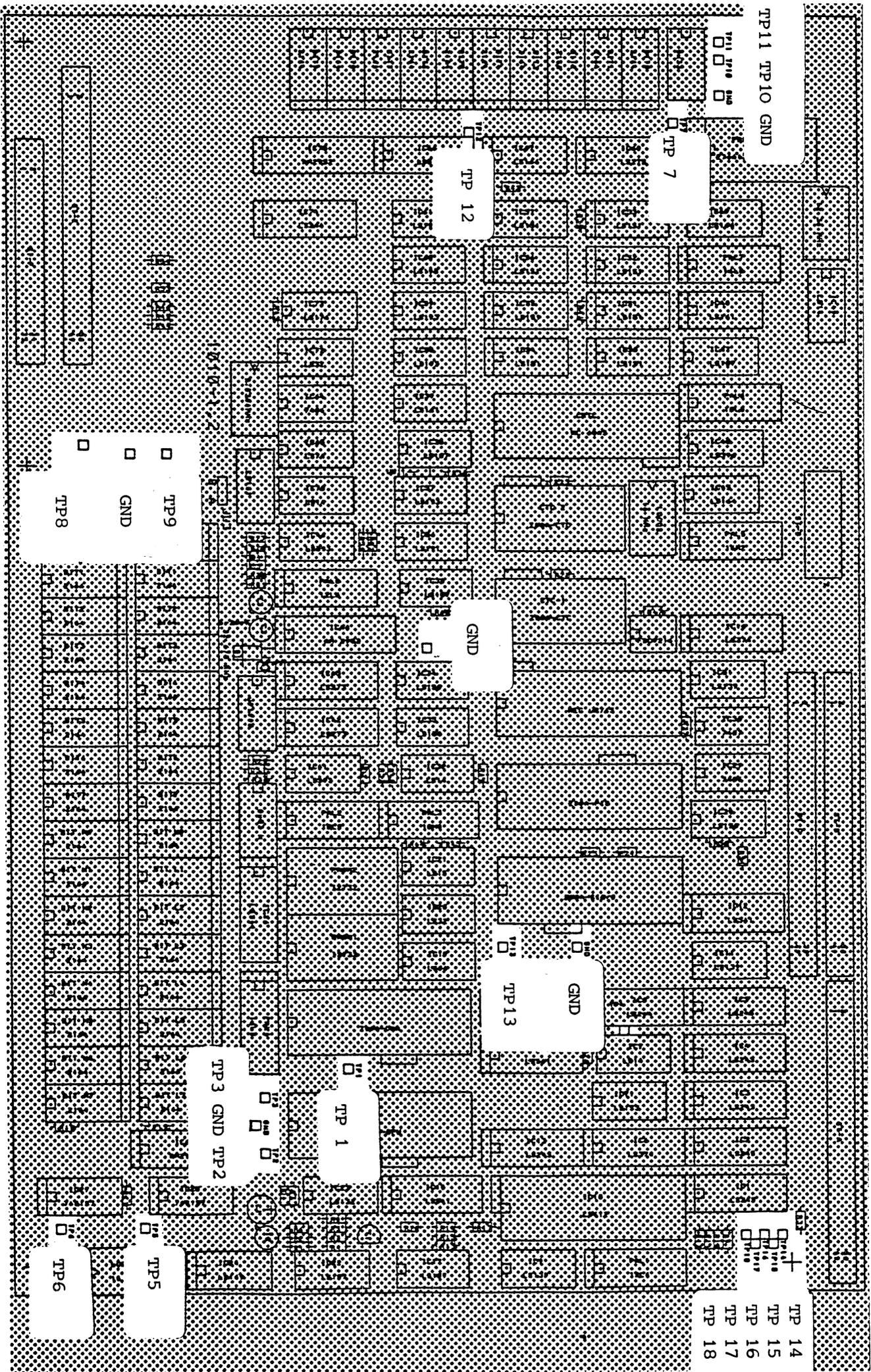
Jumper J2:

-
- A : getrennte Oszillatoren für Floppy- und CPU-Takt-Erzeugung (OSZ1 und OSZ2)
- > B : gemeinsamer Oszillator (OSZ1; 16 MHz)

Jumper J3:

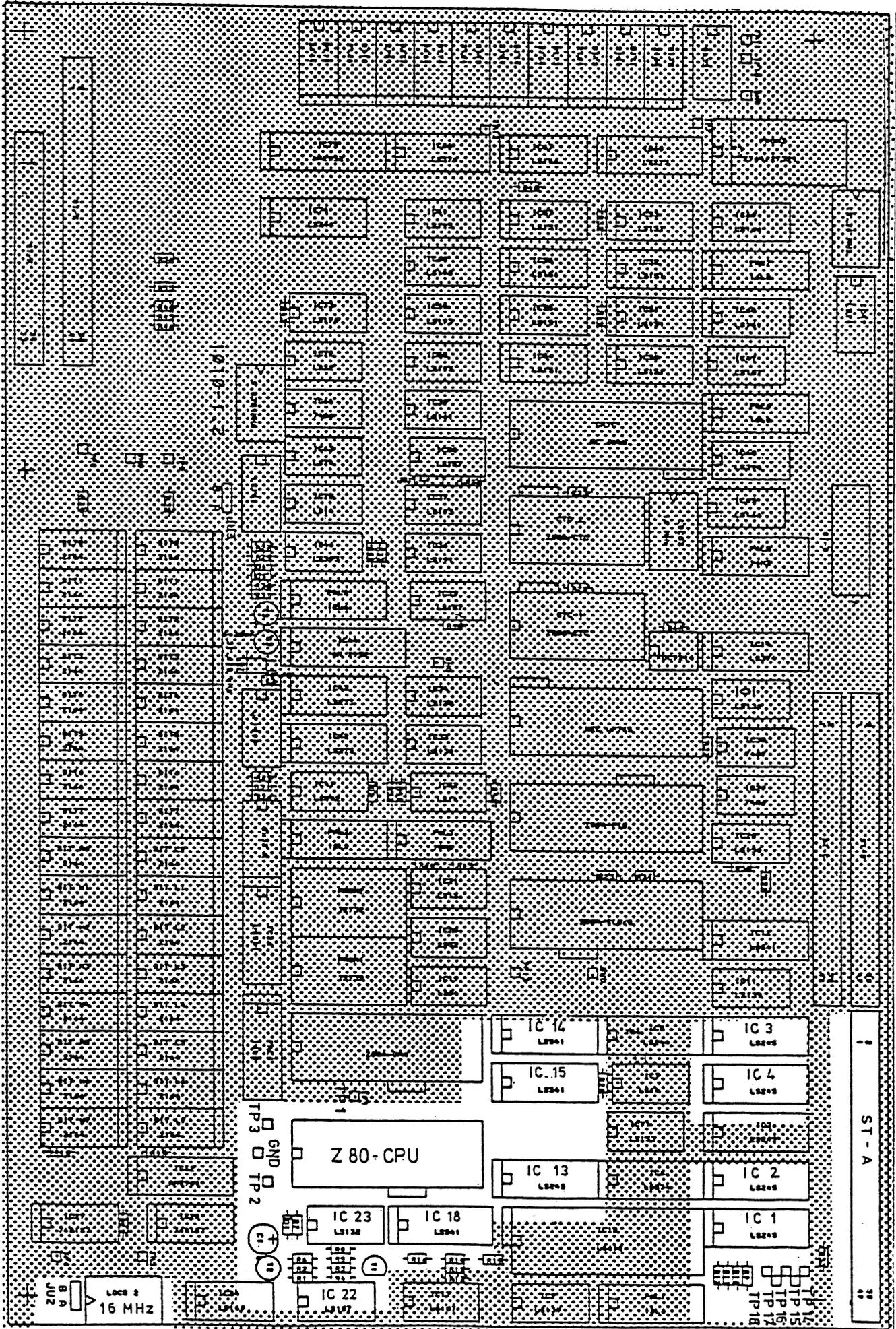
-
- A : 2.0000 MHz für Baudratenerzeugung
- > B : 1.2288 MHz für Baudratenerzeugung

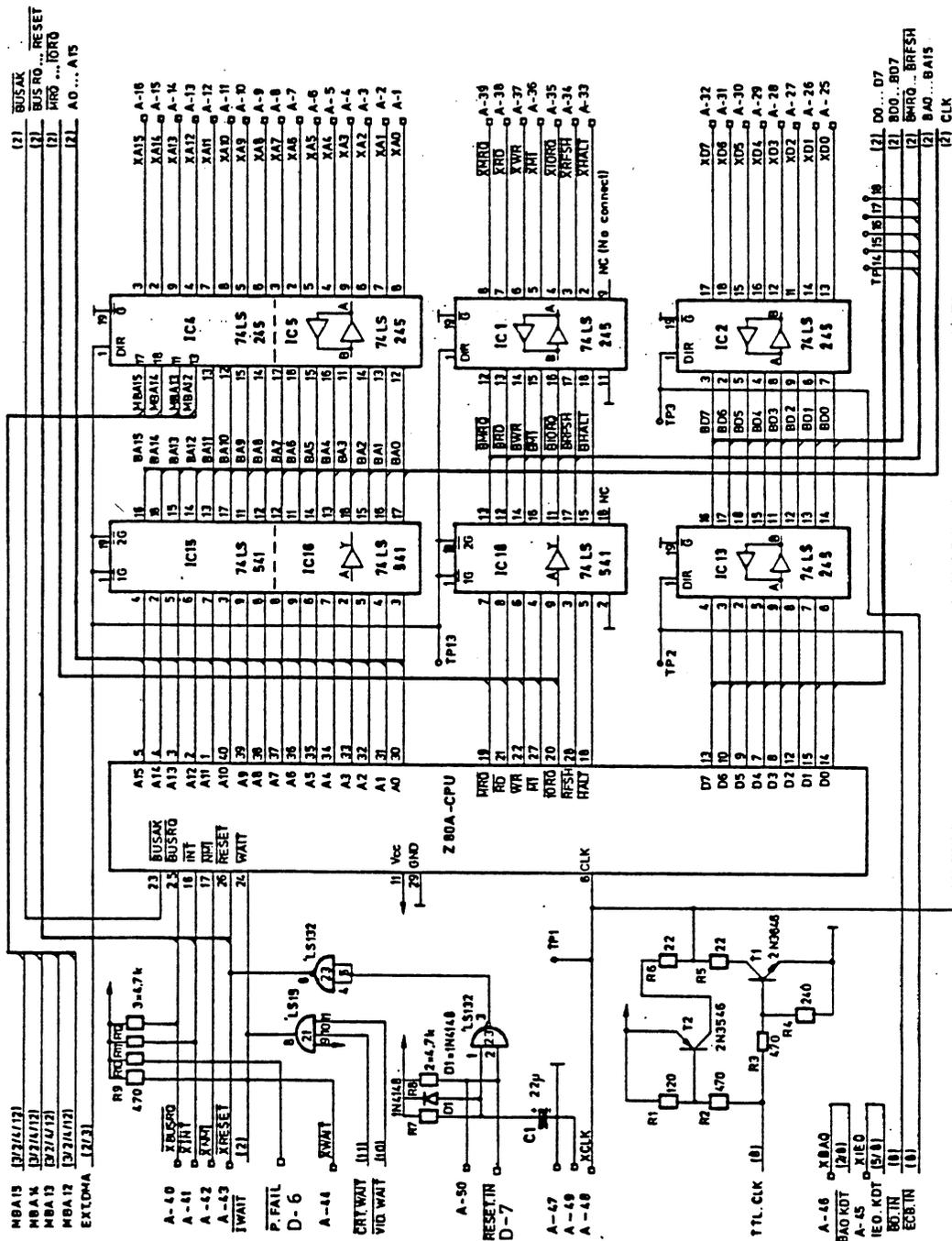
Lage aller Testpunkte (KDT 6)



Testpunkte

TP Nr.	Signalname	Bedeutung
1	CLK	Systemtakt
2	-BD.IN	Bussteuerung interner Datenbus
3	-ECB.IN	Bussteuerung externer Datenbus (ECB)
4	-MUXS	RAM Adreßmultiplexer Umschaltung
5	-RAS0	Row Address Strobe (Bank 0)
6	-RAS1	Row Address Strobe (Bank 1)
7	-BYTE.CLK	Byte Clock der Video Controller Schaltung
8	-RAS3	Row Address Strobe (Bank 3)
9	-RAS2	Row Address Strobe (Bank 2)
10	-VRAS	Row Address Strobe (Video Bank)
11	-VWR	Write Strobe (Video Memory)
12	-VRD.STRB	Read Strobe (Video Memory)
13	EXT.DMA	externer DMA-Zugriff
14	-BMRQ	CPU-MRQ gepuffert
15	-BRD	CPU-RD gepuffert
16	-BWR	CPU-WR gepuffert
17	-BM1	CPU-M1 gepuffert
18	-BIORQ	CPU-IORQ gepuffert
19	GND	Ground
20	GND	Ground
21	GND	Ground
22	GND	Ground



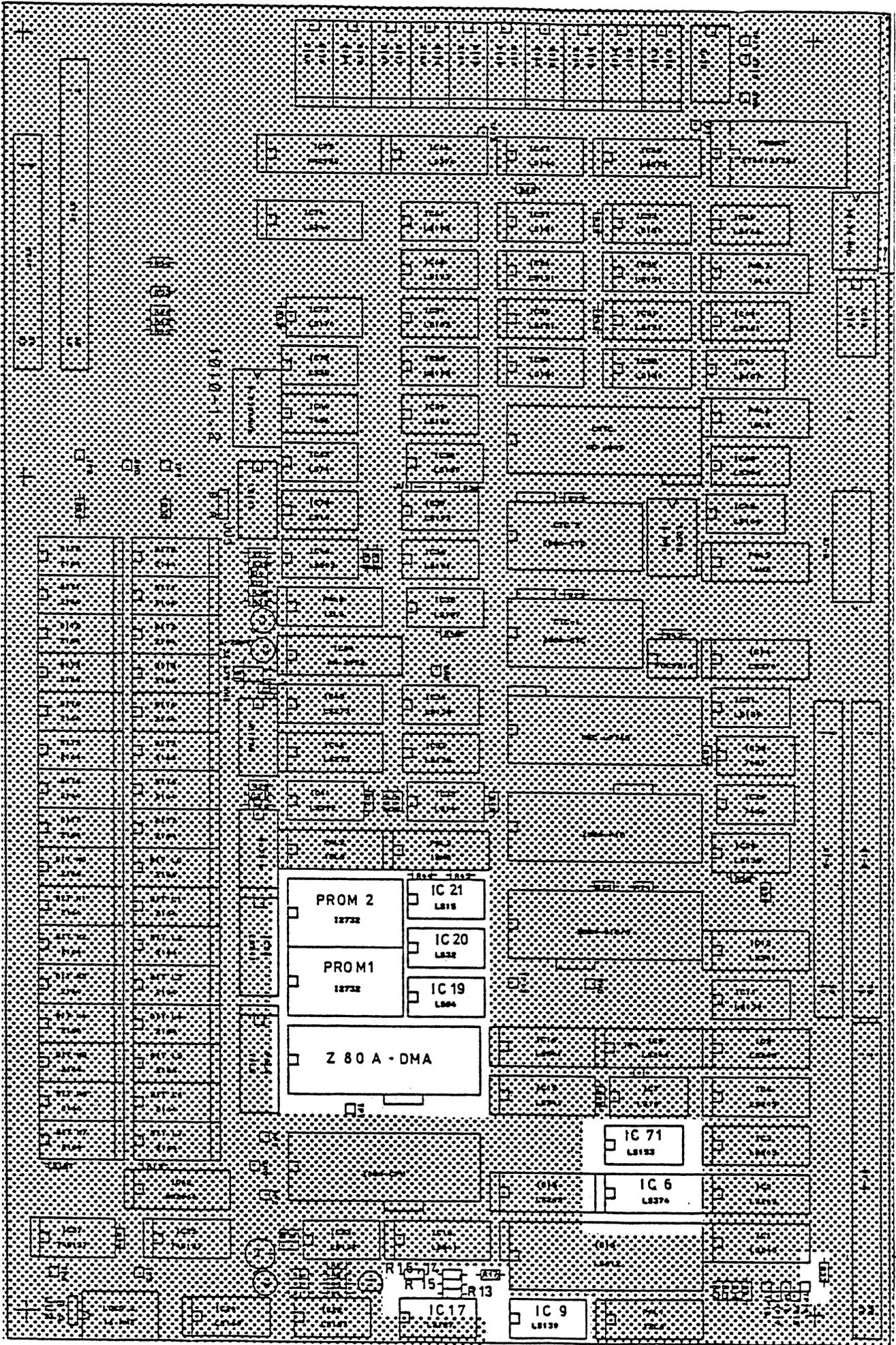


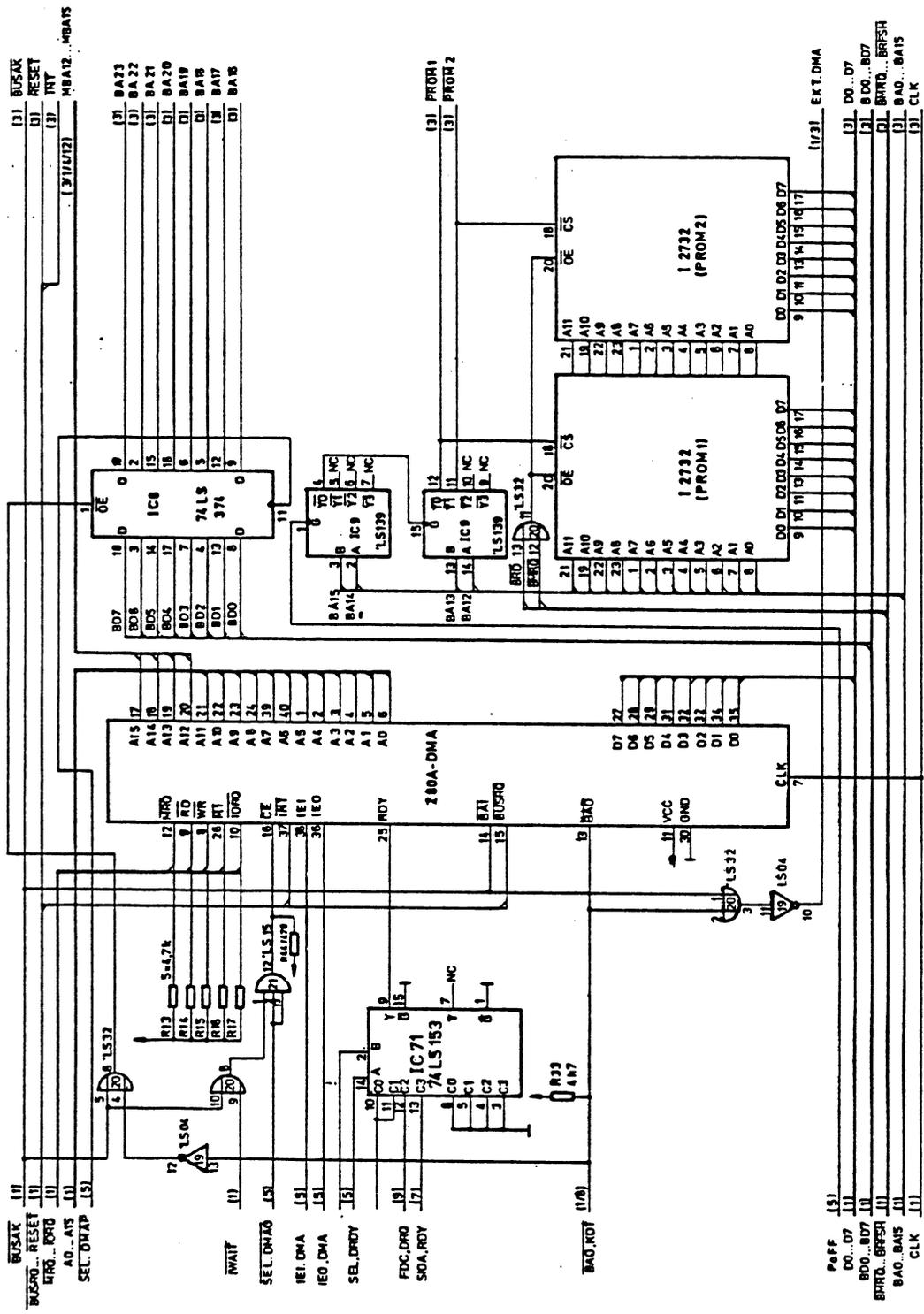
CPU / PUFFER / TAKT

KDT 6

1010

KONTRONIK		Zustand	
Bestell-Nr.	Produkt-Nr.	Bestell-Nr.	Produkt-Nr.
11012	11012		
111	111		
112	112		
113	113		
114	114		
115	115		
116	116		
117	117		
118	118		
119	119		
120	120		





BUSAK (1) BUSAK
 RESET (1) RESET
 INT (1) INT
 MBSA12 (1) MBSA12...MBSA15
 MBSA15 (1) MBSA15

B07 (1) BA23
 B06 (1) BA22
 B05 (1) BA21
 B04 (1) BA20
 B03 (1) BA19
 B02 (1) BA18
 B01 (1) BA17
 B00 (1) BA16

BA15 (1) BA15
 BA14 (1) BA14
 BA13 (1) BA13
 BA12 (1) BA12

BA10 (1) BA10
 BA09 (1) BA09
 BA08 (1) BA08
 BA07 (1) BA07
 BA06 (1) BA06
 BA05 (1) BA05
 BA04 (1) BA04
 BA03 (1) BA03
 BA02 (1) BA02
 BA01 (1) BA01
 BA00 (1) BA00

BA15 (1) BA15
 BA14 (1) BA14
 BA13 (1) BA13
 BA12 (1) BA12

BA10 (1) BA10
 BA09 (1) BA09
 BA08 (1) BA08
 BA07 (1) BA07
 BA06 (1) BA06
 BA05 (1) BA05
 BA04 (1) BA04
 BA03 (1) BA03
 BA02 (1) BA02
 BA01 (1) BA01
 BA00 (1) BA00

BA15 (1) BA15
 BA14 (1) BA14
 BA13 (1) BA13
 BA12 (1) BA12

Item	Quantity	Part Number	Remarks
IC	2	12732	PROMS
IC	1	280A	DMA
IC	1	LS04	Inverter
IC	1	LS32	NAND Gate
IC	1	LS139	Decoder
RES	1	100	Resistor
RES	1	10K	Resistor

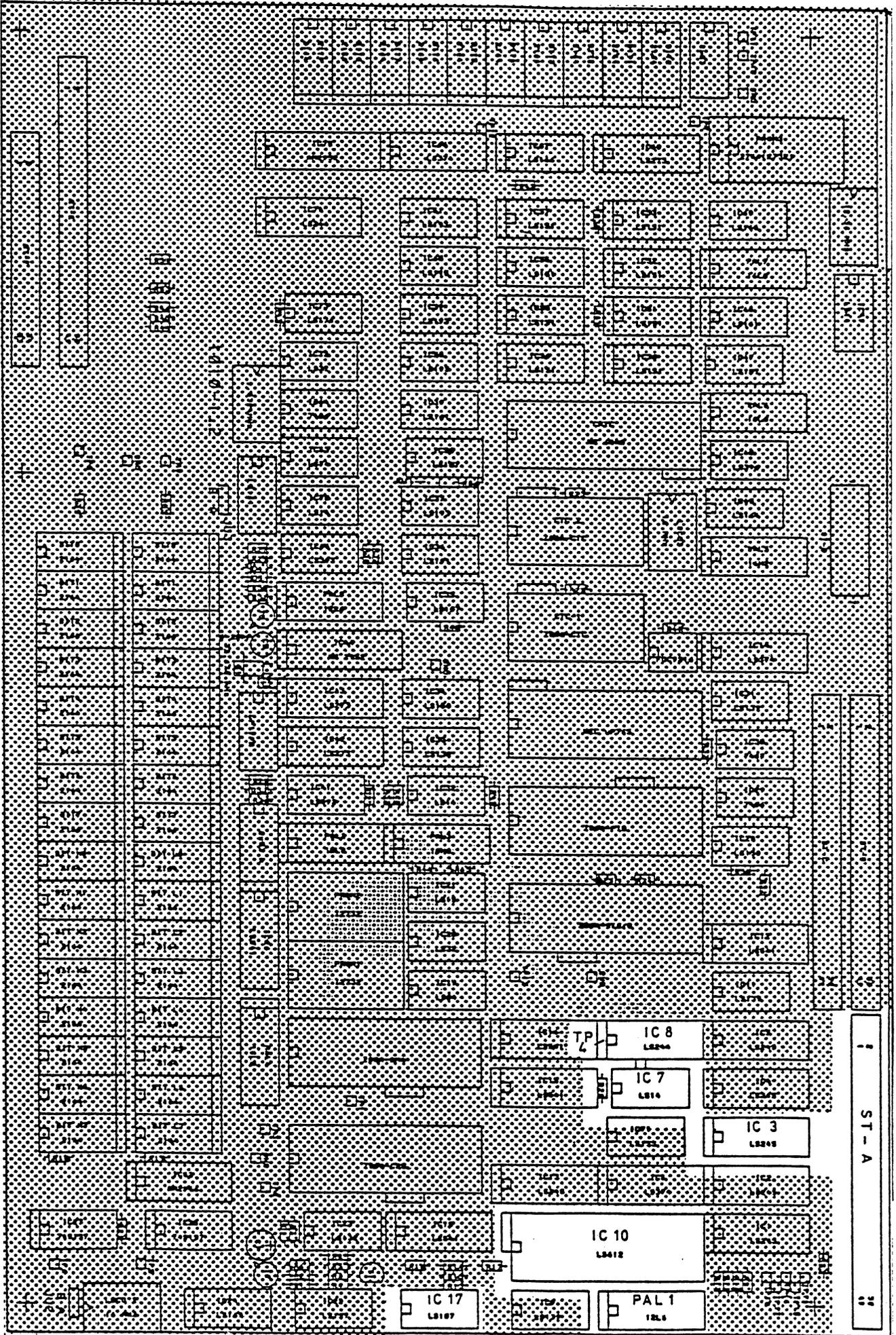
DMA + PROMS

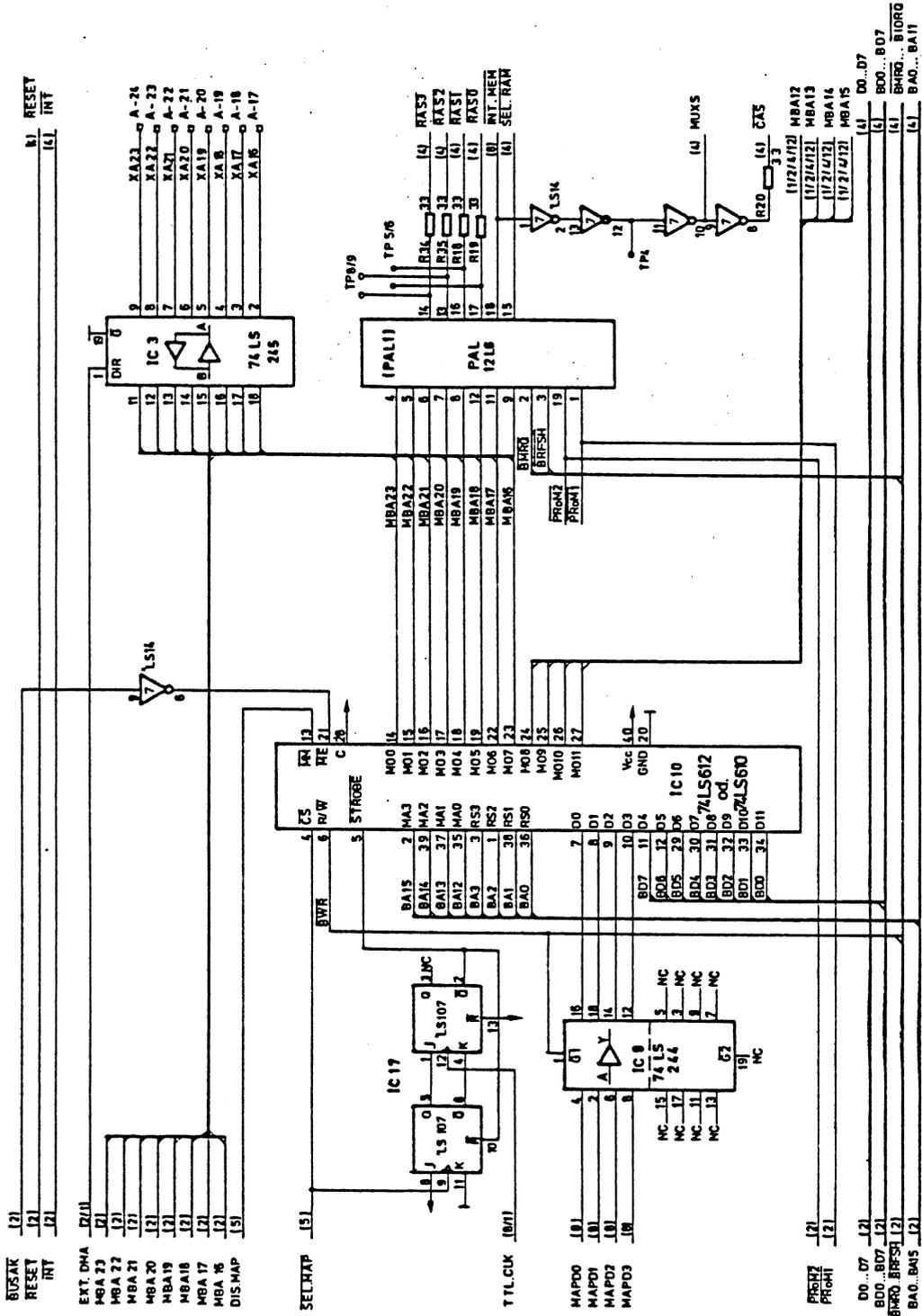
KDT 6

1010

1000

1000

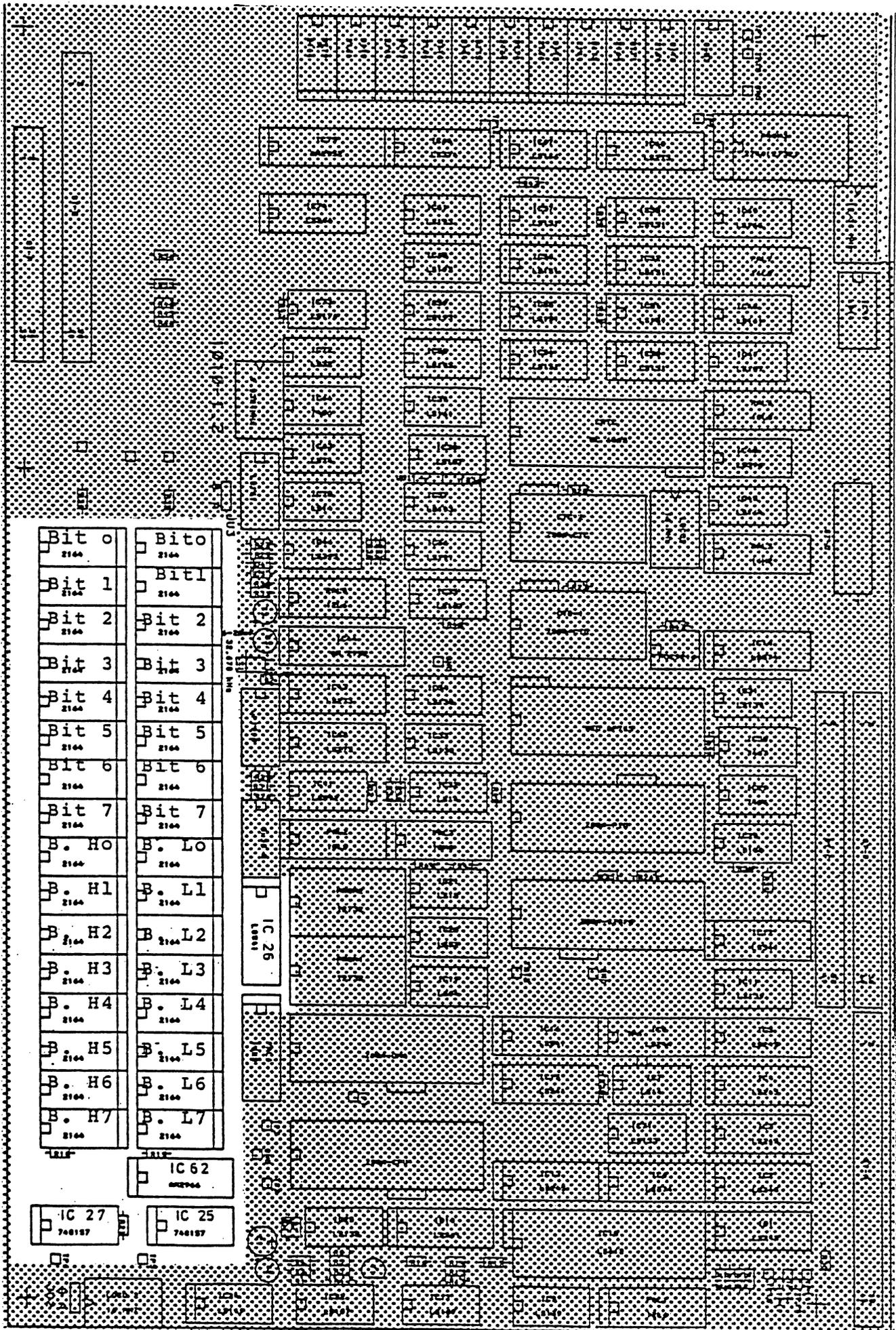


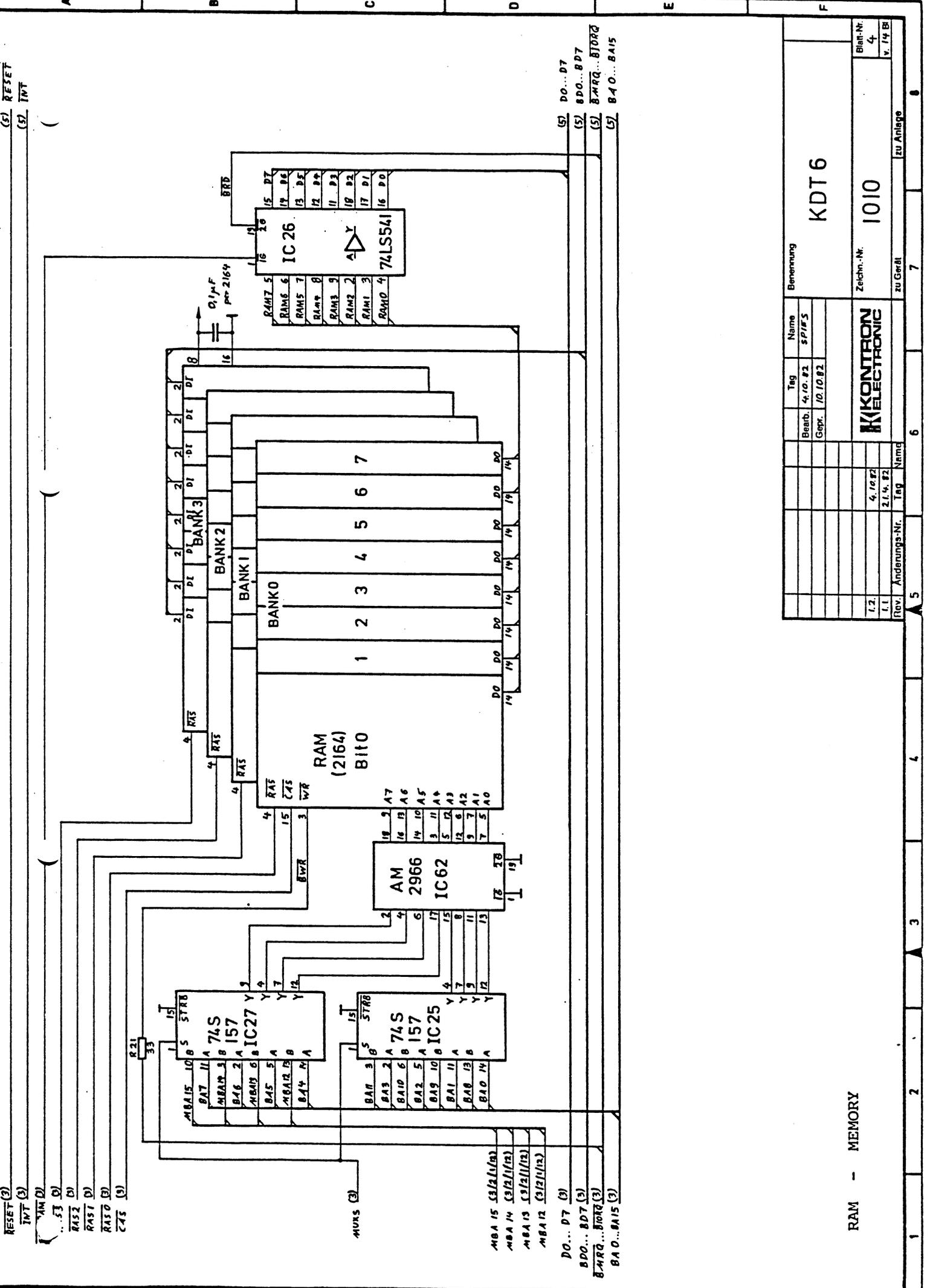


Part No.	1010
Rev.	1
Quantity	1
Material	1010
Manufacturer	KONTRON ELECTRONIC
Order No.	1010
Drawn by	
Checked by	
Approved by	
Date	

MMU

RAM - MEMORY





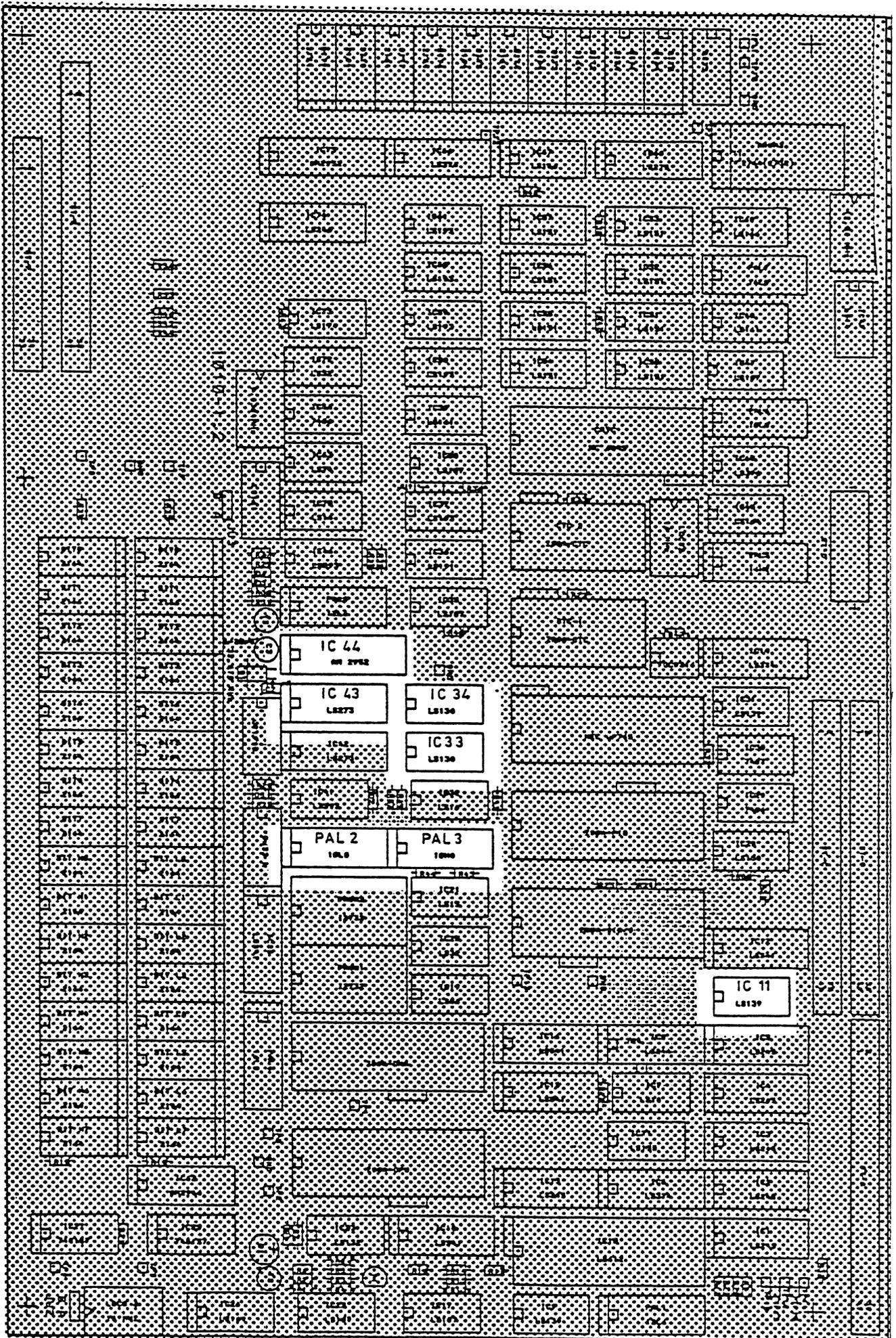
RESET (3)
INT (3)
... (3)
RAM (2)
... (3)
RAS (3)
CAS (3)
WR (3)
MURS (3)
DO... D7 (3)
BD0... BD7 (3)
BMRQ... BMRQ (3)
BA0... BA15 (3)

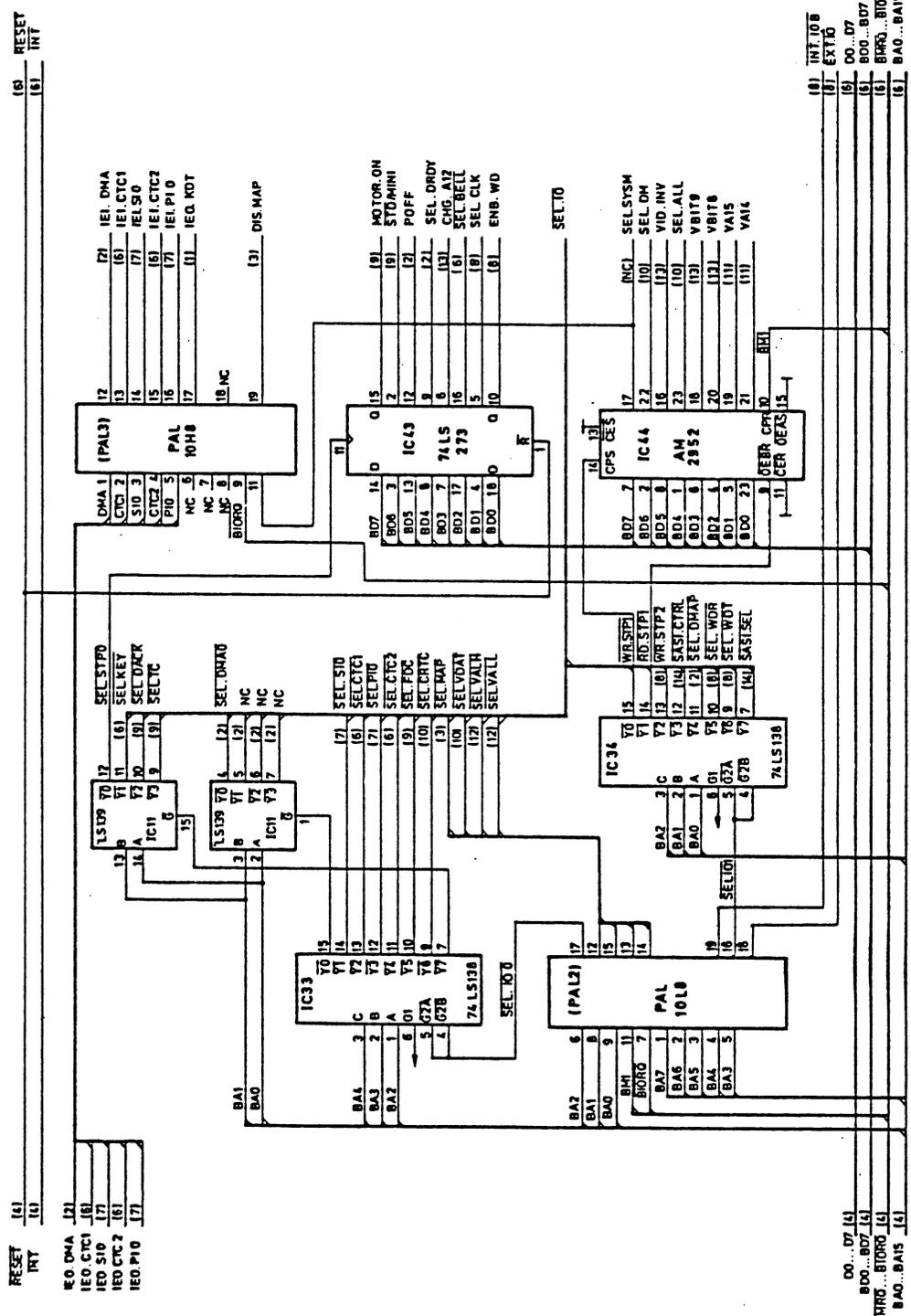
MBA 15 (3/2/1/12)
MBA 14 (3/2/1/12)
MBA 13 (3/2/1/12)
MBA 12 (3/2/1/12)
DO... D7 (3)
BD0... BD7 (3)
BMRQ... BMRQ (3)
BA0... BA15 (3)

RAM - MEMORY

Benennung		KDT 6	
Tag	Name		
4.10.82	SP/RS		
Gepr.	10.10.82		
KONTRONIK		Zelchm.-Nr. 1010	
Blatt-Nr. 4		v. 14 Bl.	
1.2	4.10.82		
1.1	21.4.82		
Rev.	Änderungs-Nr.	Tag	Name
5	6	7	8
zu Gerat		zu Anlage	

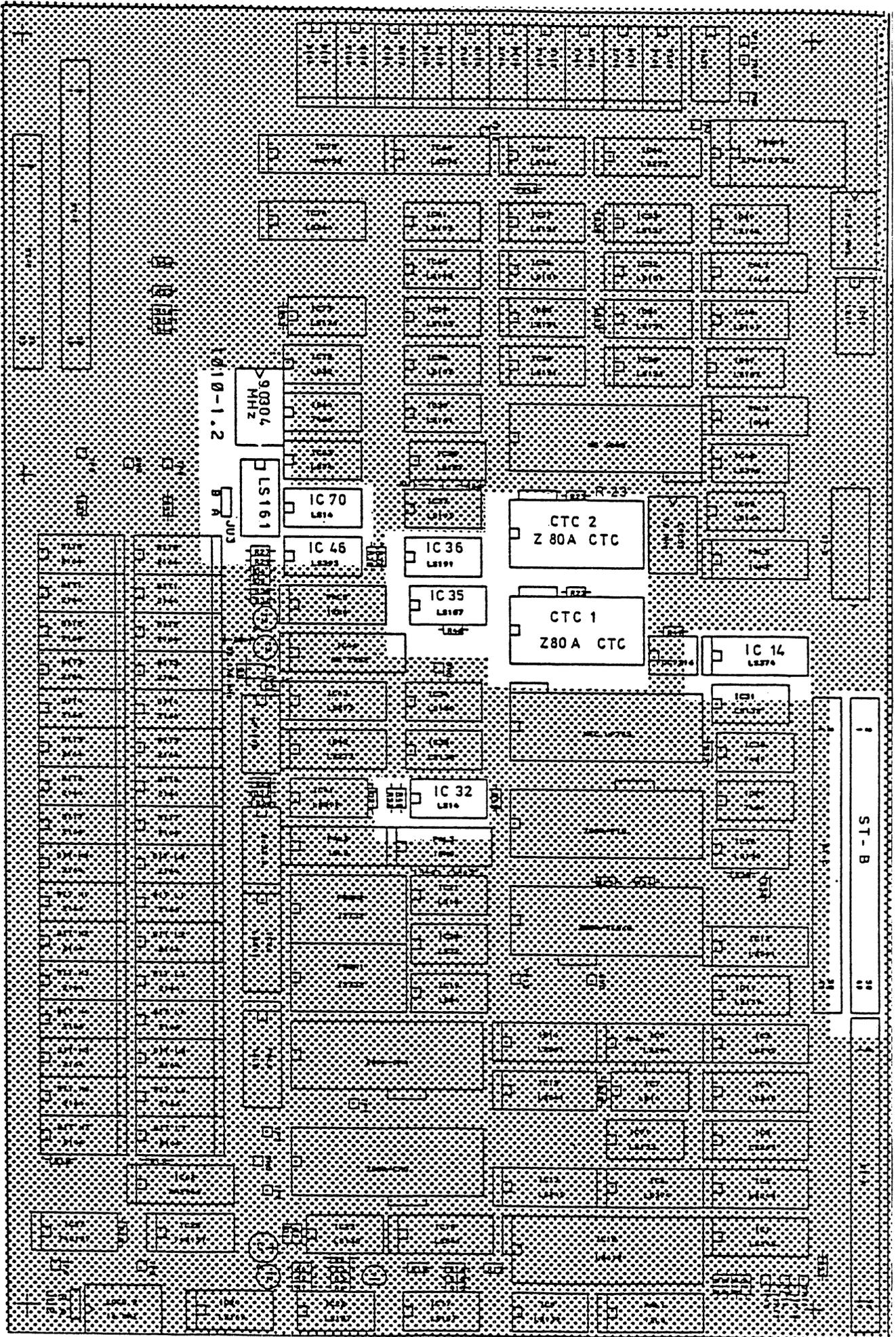
INTERRUPT - PRIORITÄT UND I/O ADRESSDEKODER

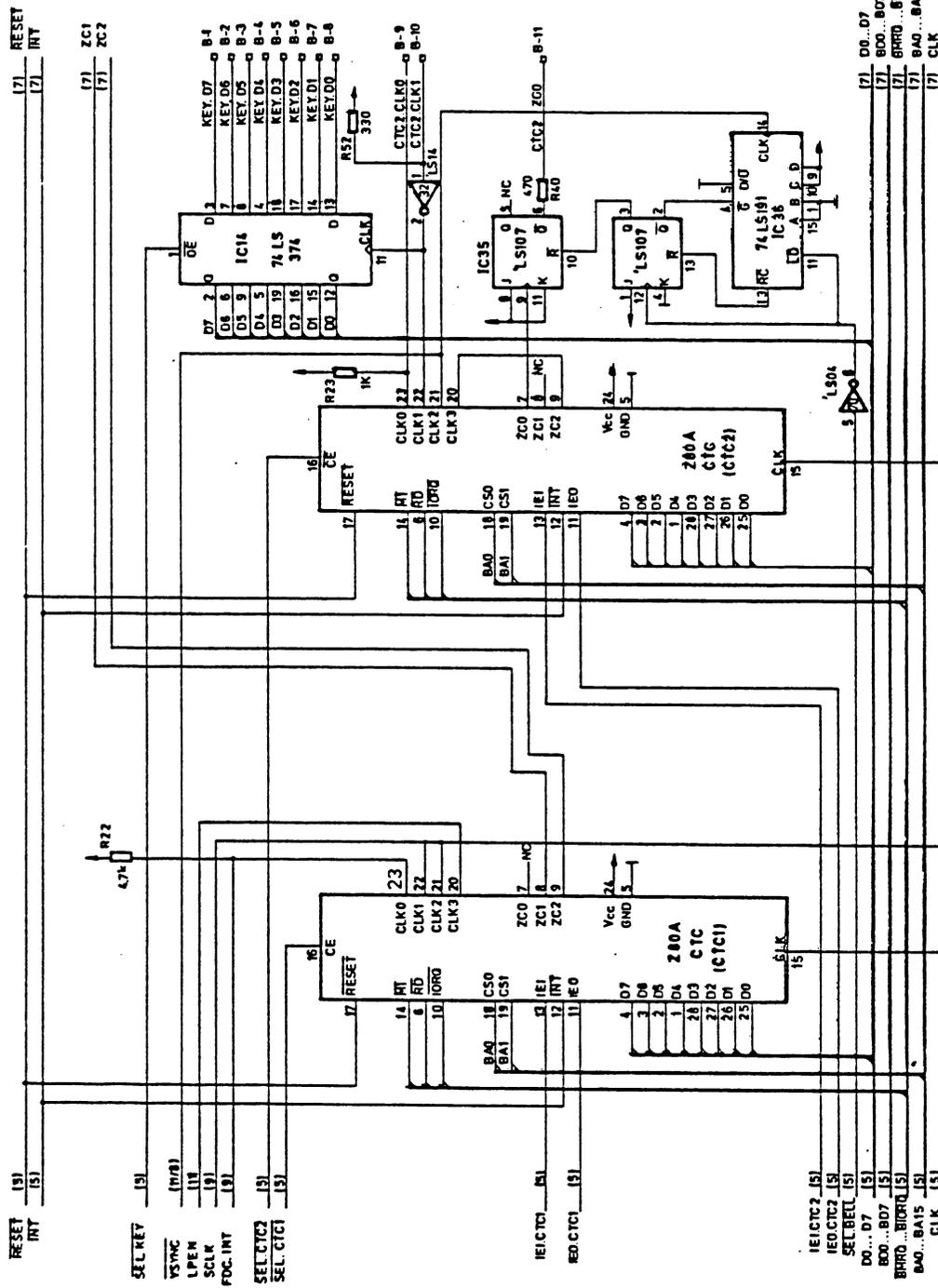




Proj. Name	KONTROL
Drawn	19.08.82
Sheet No.	3
Sheet Total	5
Author	L. U. S.
Check	L. U. S.
Approved	L. U. S.
Drawn No.	1010
Drawn Date	19.08.82
Project	KDT 6

INTERRUPT - PRIORITÄT UND I/O ADRESSEKODER





17	RESET	17	INT
17	ZC1	17	ZC2
17	DO...D7	17	DO...D7
17	B00...B07	17	B00...B07
17	BRR0...BRR7	17	BRR0...BRR7
17	BA0...BA15	17	BA0...BA15
17	CLK	17	CLK

17	RESET	17	INT
17	ZC1	17	ZC2
17	DO...D7	17	DO...D7
17	B00...B07	17	B00...B07
17	BRR0...BRR7	17	BRR0...BRR7
17	BA0...BA15	17	BA0...BA15
17	CLK	17	CLK

17	RESET	17	INT
17	ZC1	17	ZC2
17	DO...D7	17	DO...D7
17	B00...B07	17	B00...B07
17	BRR0...BRR7	17	BRR0...BRR7
17	BA0...BA15	17	BA0...BA15
17	CLK	17	CLK

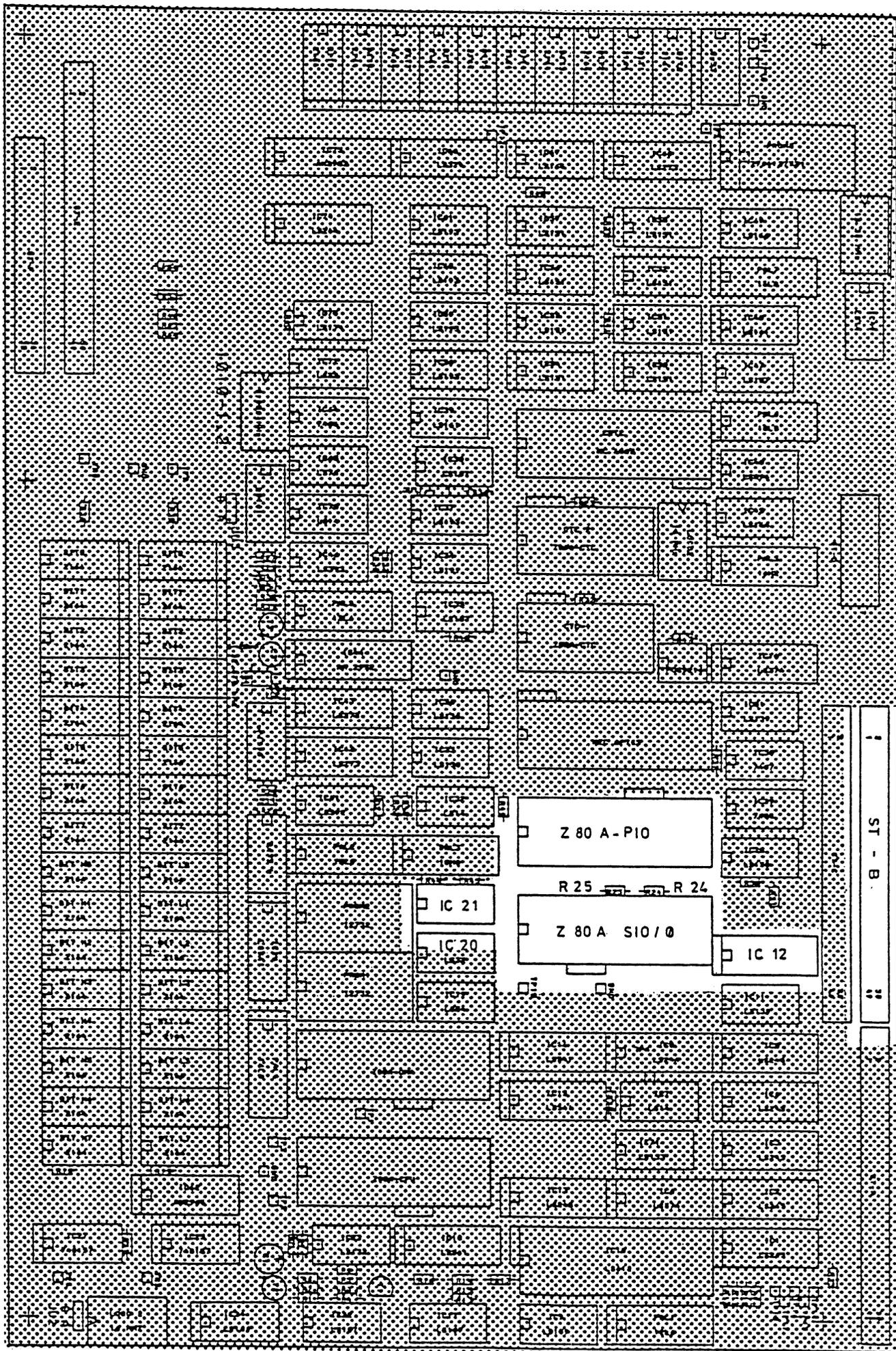
17	RESET	17	INT
17	ZC1	17	ZC2
17	DO...D7	17	DO...D7
17	B00...B07	17	B00...B07
17	BRR0...BRR7	17	BRR0...BRR7
17	BA0...BA15	17	BA0...BA15
17	CLK	17	CLK

17	RESET	17	INT
17	ZC1	17	ZC2
17	DO...D7	17	DO...D7
17	B00...B07	17	B00...B07
17	BRR0...BRR7	17	BRR0...BRR7
17	BA0...BA15	17	BA0...BA15
17	CLK	17	CLK

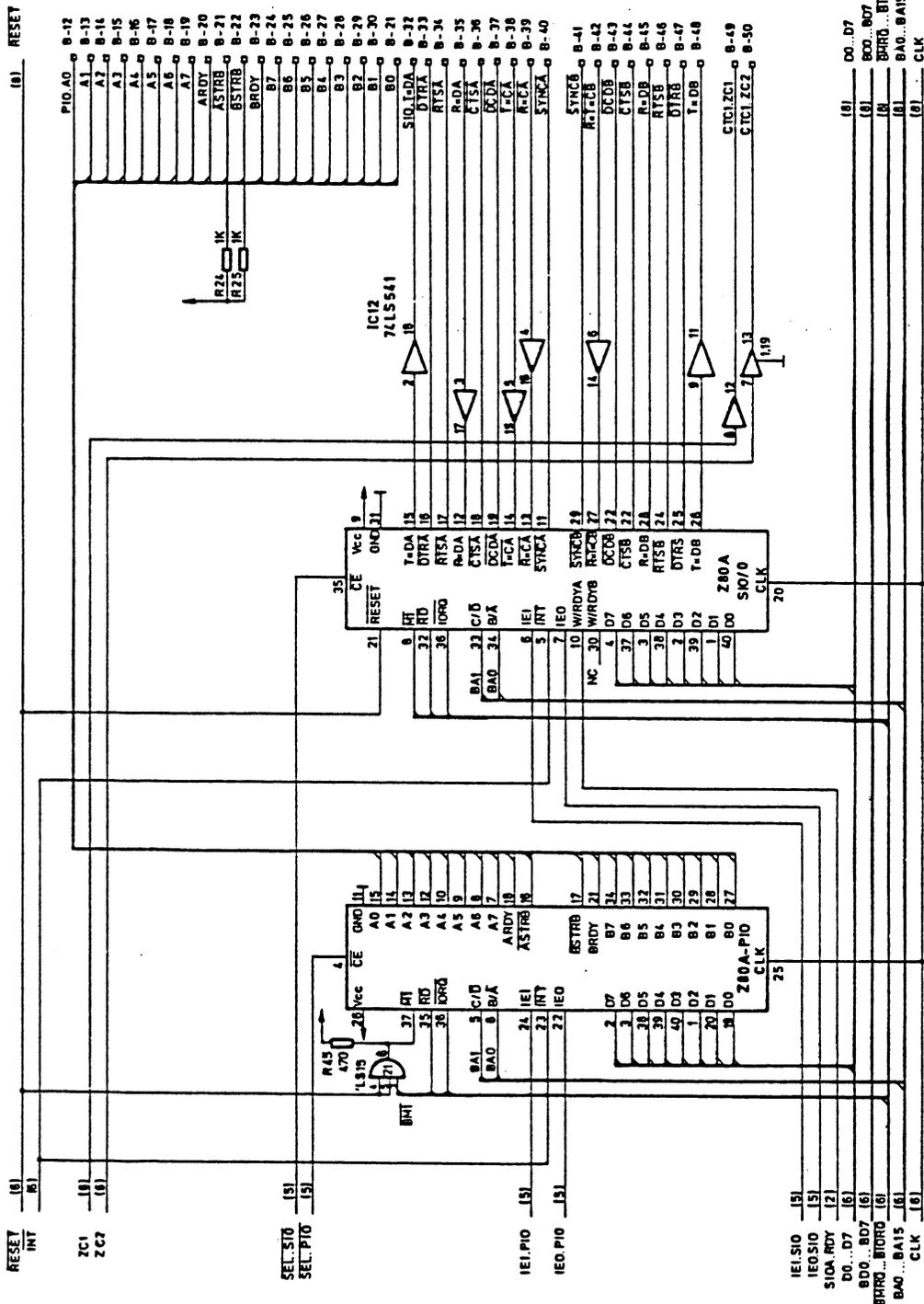
C T C

KONTAKT
1010

KDT 6



ST - B



Name		KONTAKT	
Sheet	21.02	SPIES	
Date	10.10.82		
Zachow. Nr.		1010	
Zakaz. Nr.		7	
Zakaz. Nr.		15.07	
Zakaz. Nr.		15.07	

SIO / PIO

KDT 6

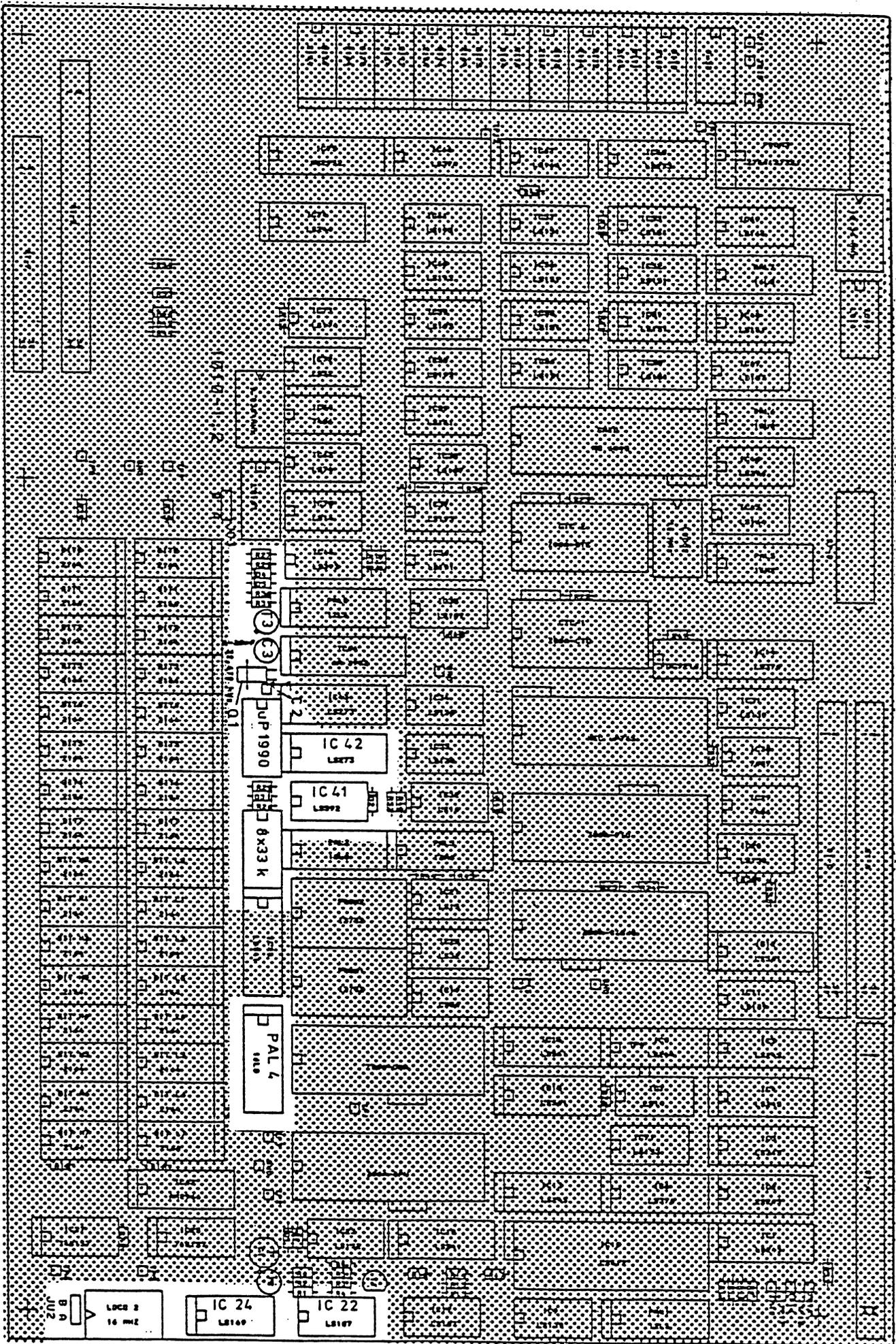
Zachow. Nr. 1010

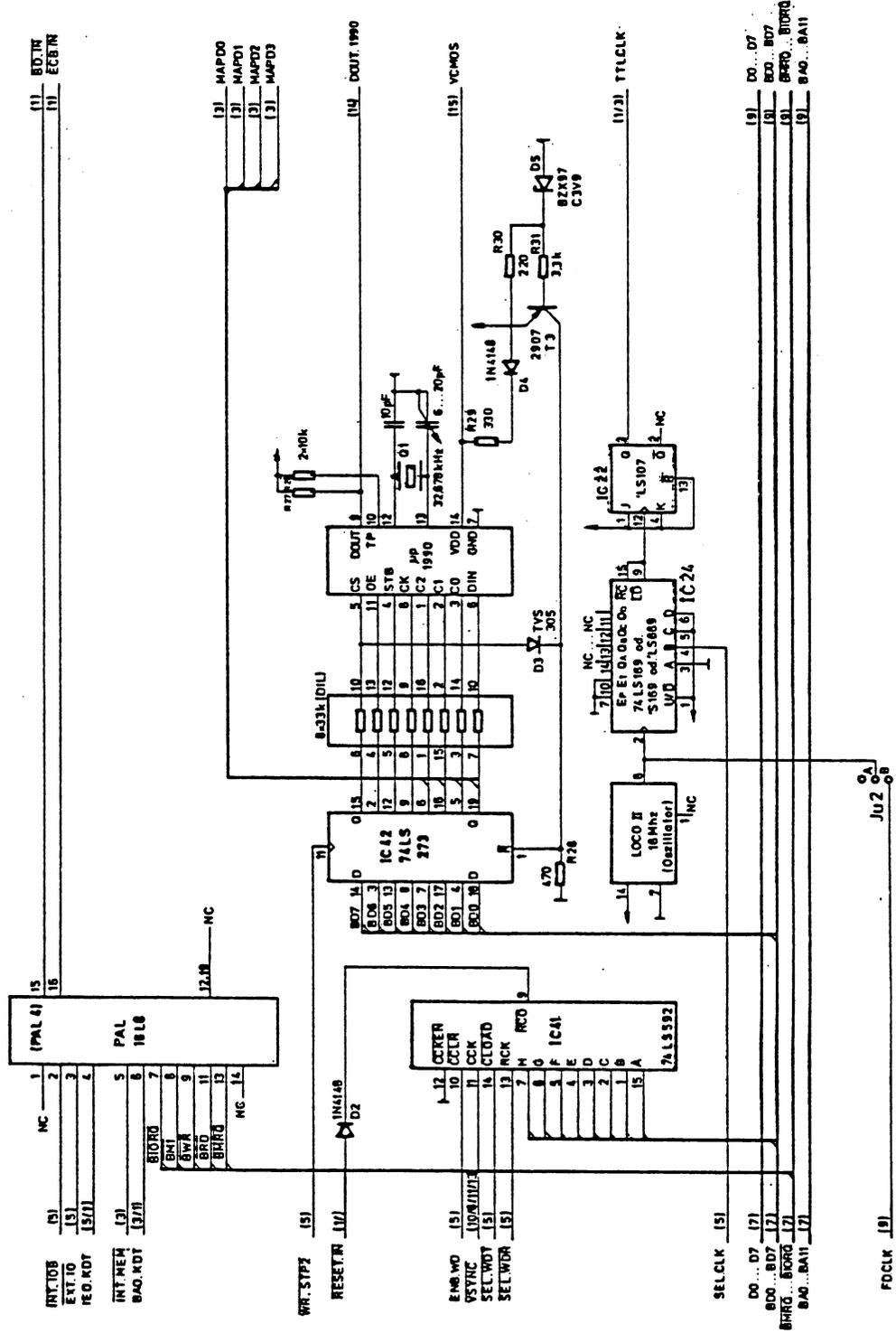
Zakaz. Nr. 7

Zakaz. Nr. 15.07

Zakaz. Nr. 15.07

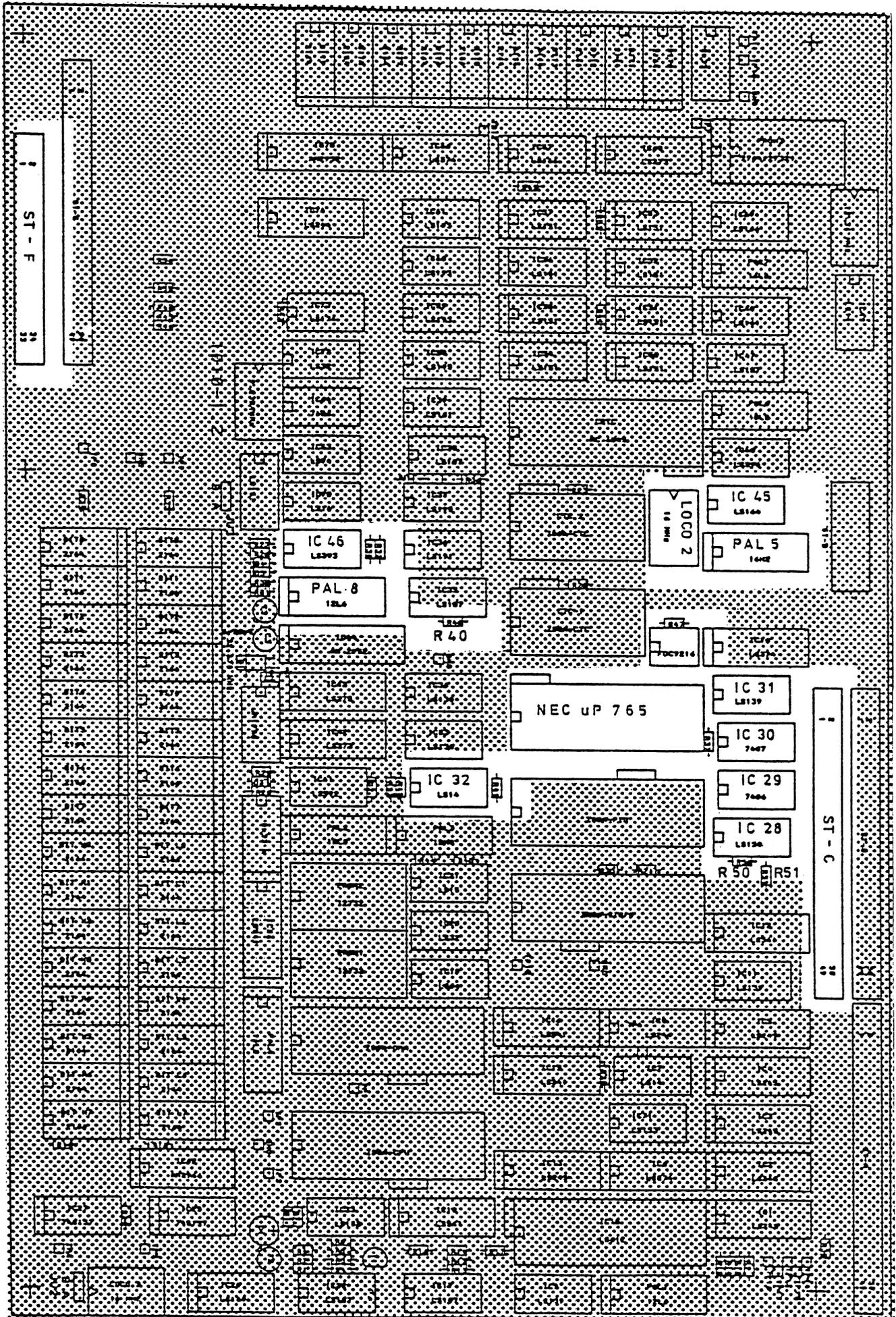
UHR UND TAKTGERÄTE

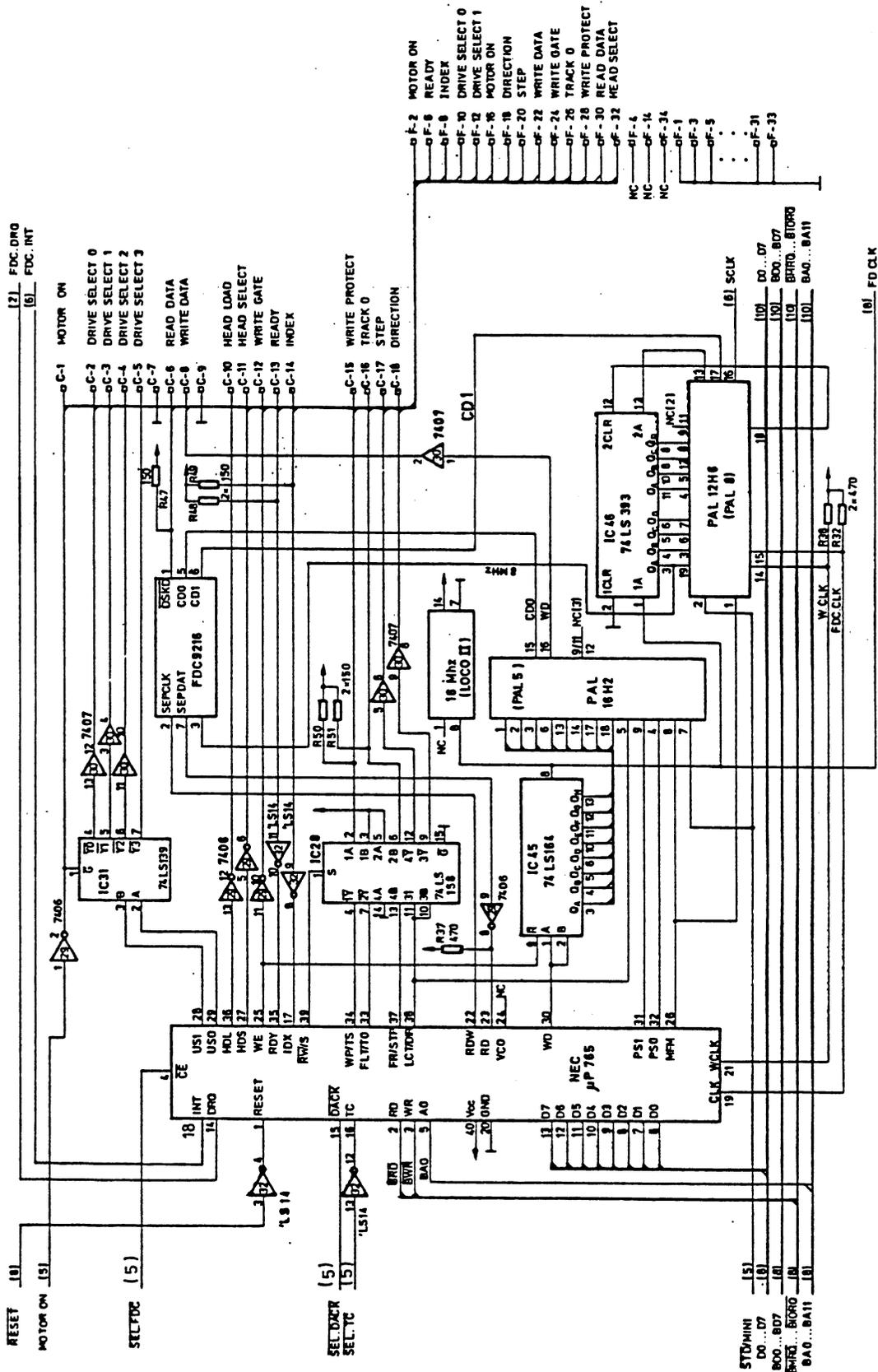




Name		KONTROL	
Titel		KDT 6	
Zeichnungs-Nr.		1010	
Blatt-Nr.		10	
Blatt-Gesamt		10	
Gezeichnet		[Signature]	
Geprüft		[Signature]	
Freigegeben		[Signature]	
Datum		[Date]	

UHR UND TAKTERZEUGUNG

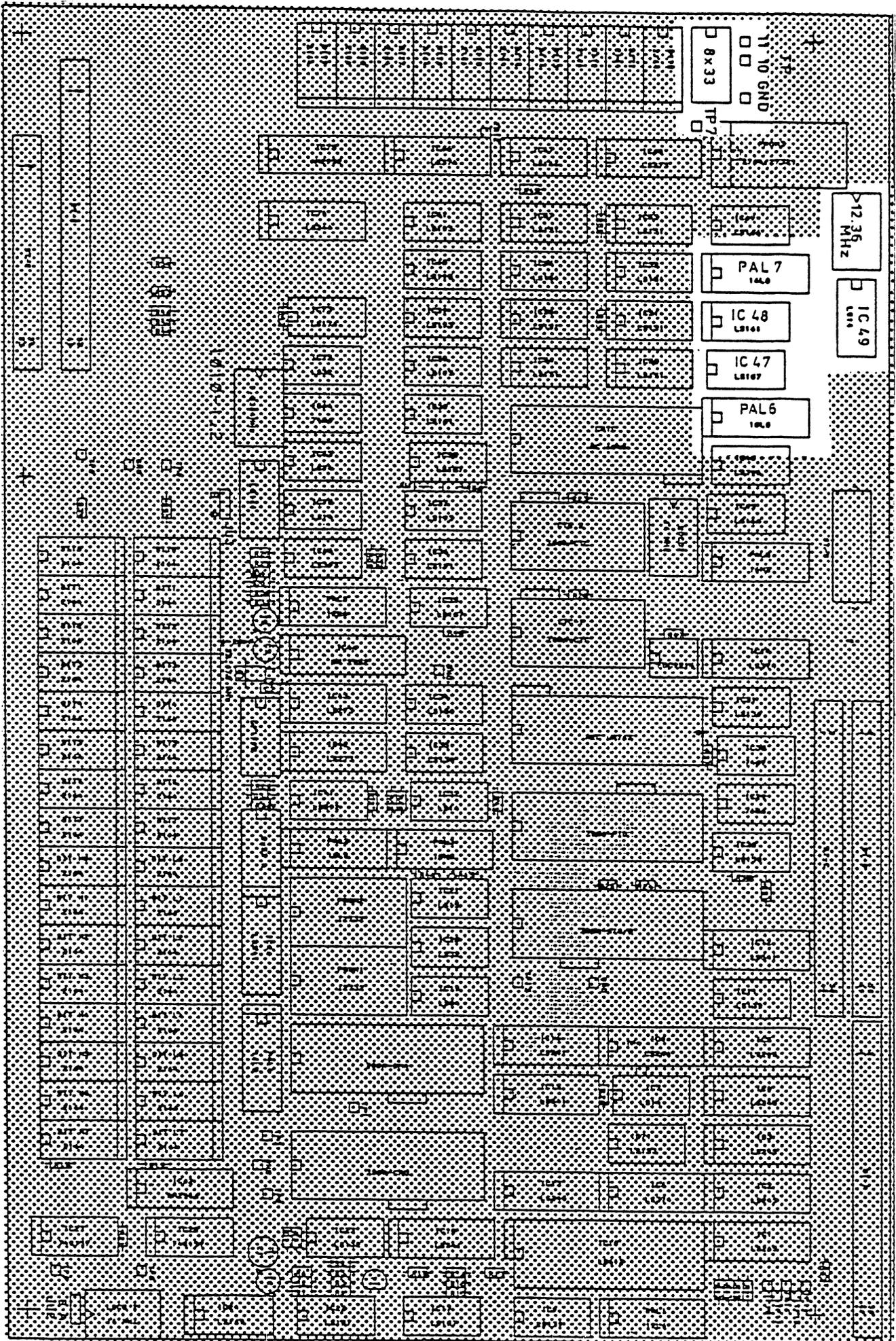


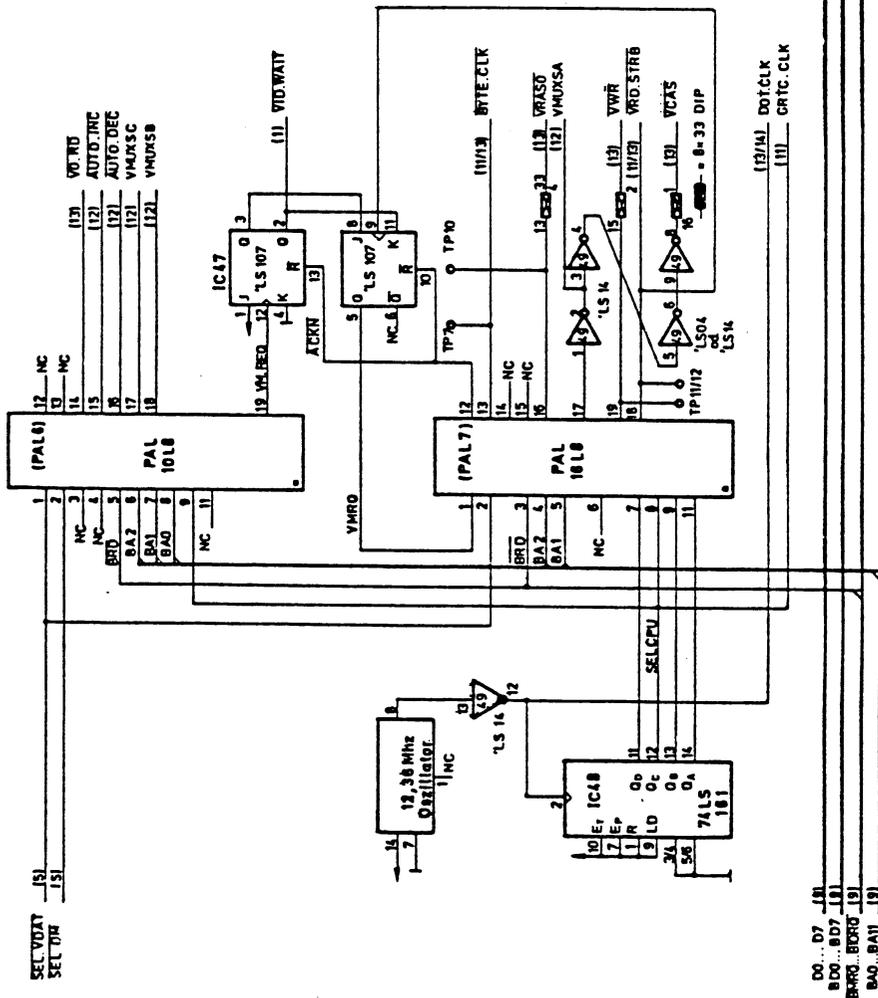


Rev. No.	1
Drawn By	...
Checked By	...
Approved By	...
Date	...
Sheet No.	1010
Project No.	...
Part No.	...
Quantity	...
Material	...
Notes	...

FD - TREIBER

VIDEO MEMORY - ACCESS CONTROLLER UND TIMING GENERATOR





VIDEO MEMORY - ACCESS CONTROLLER + TIMING GENERATOR

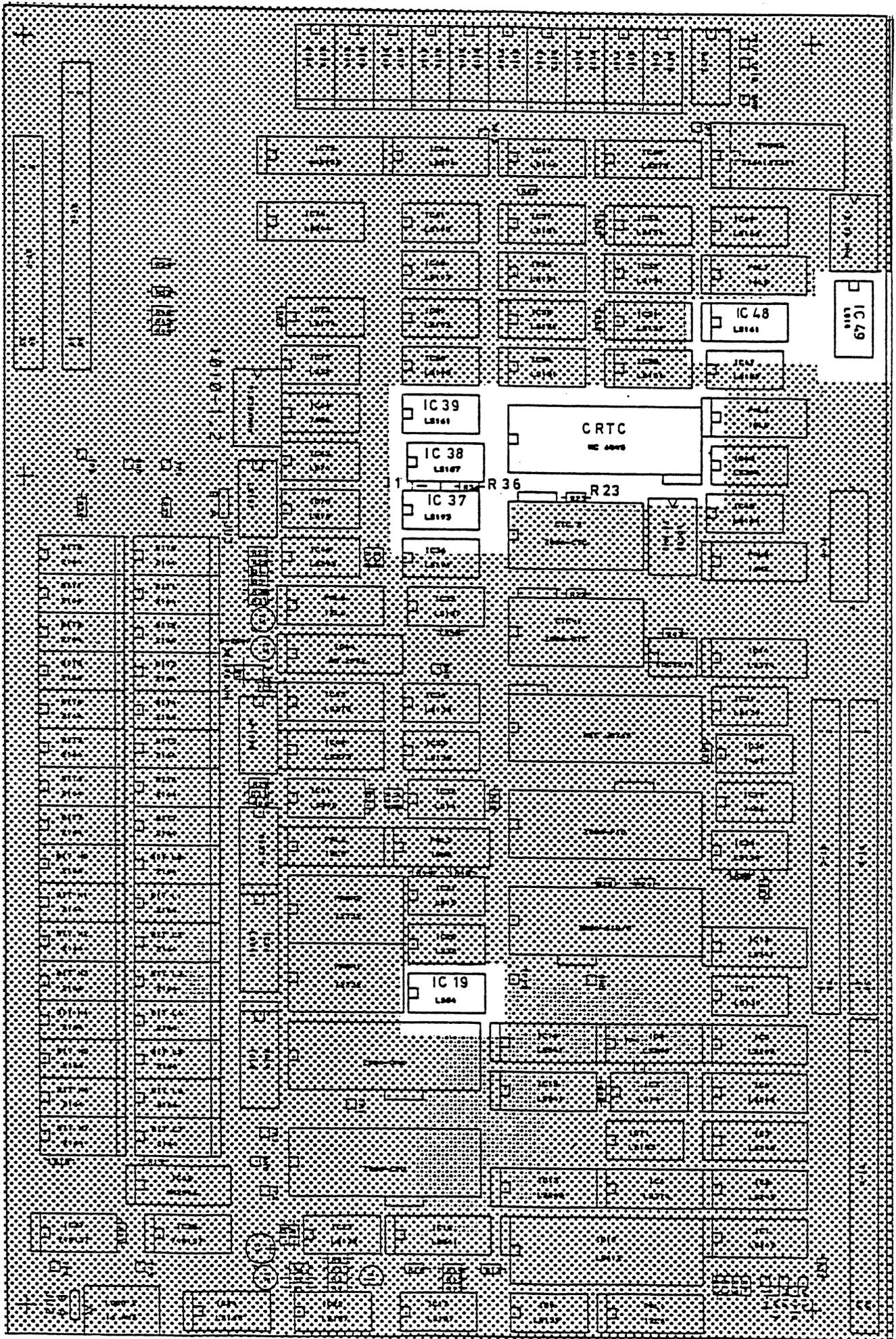
DO...D7	J11	D0...D7
BDO...BD7	J11	BDO...BD7
BWR...BWR0	J11	BWR...BWR0
BA0...BA11	J11	BA0...BA11

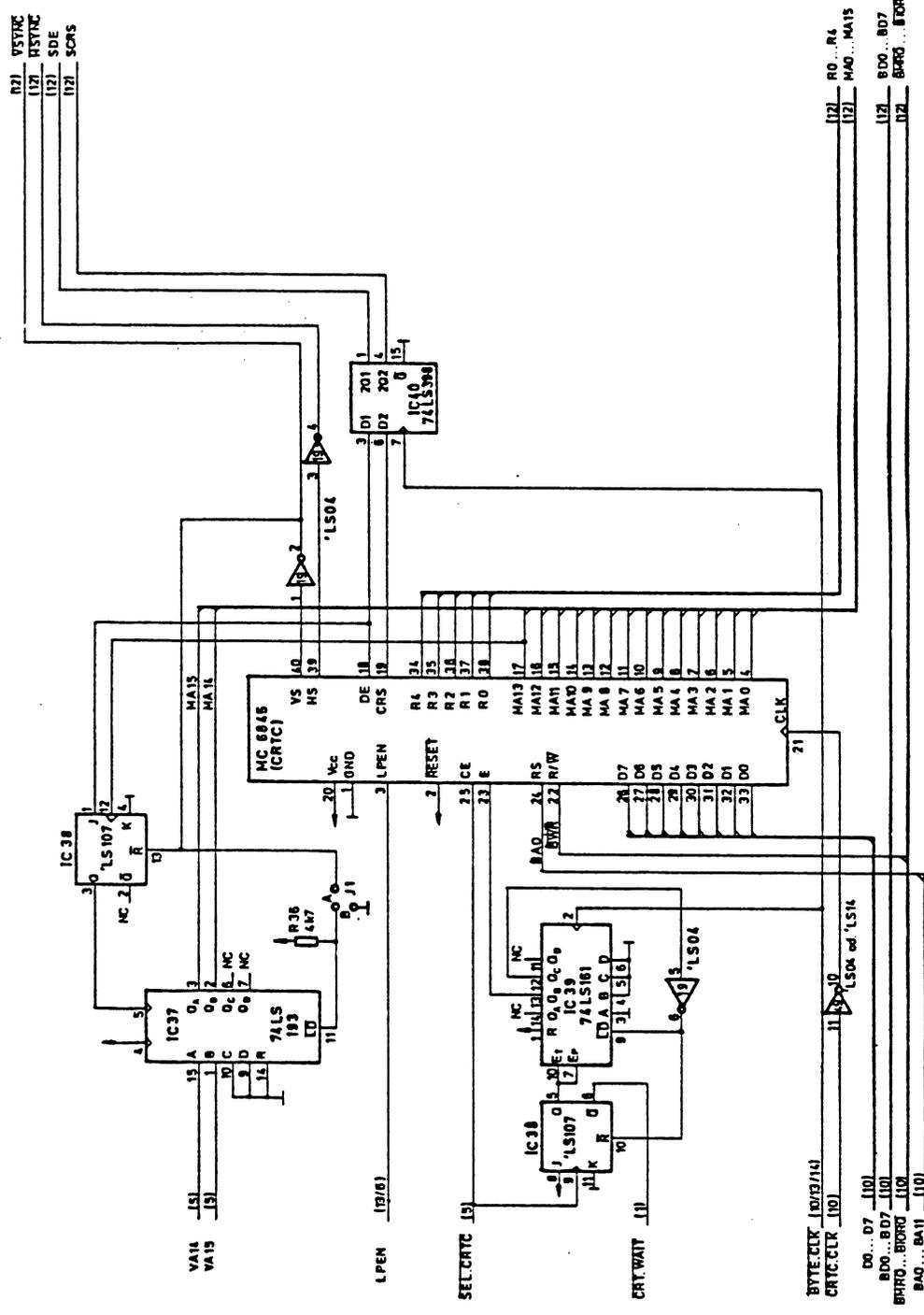
Rev. No.	10
Part No.	1010
Quantity	1
Lot No.	
Spec. No.	
Drawn By	K. S. S. S.
Checked By	
Approved By	
Date	
Project	
Sheet No.	10
Total Sheets	10

KDT 6

1010

VIDEO (CRTC)

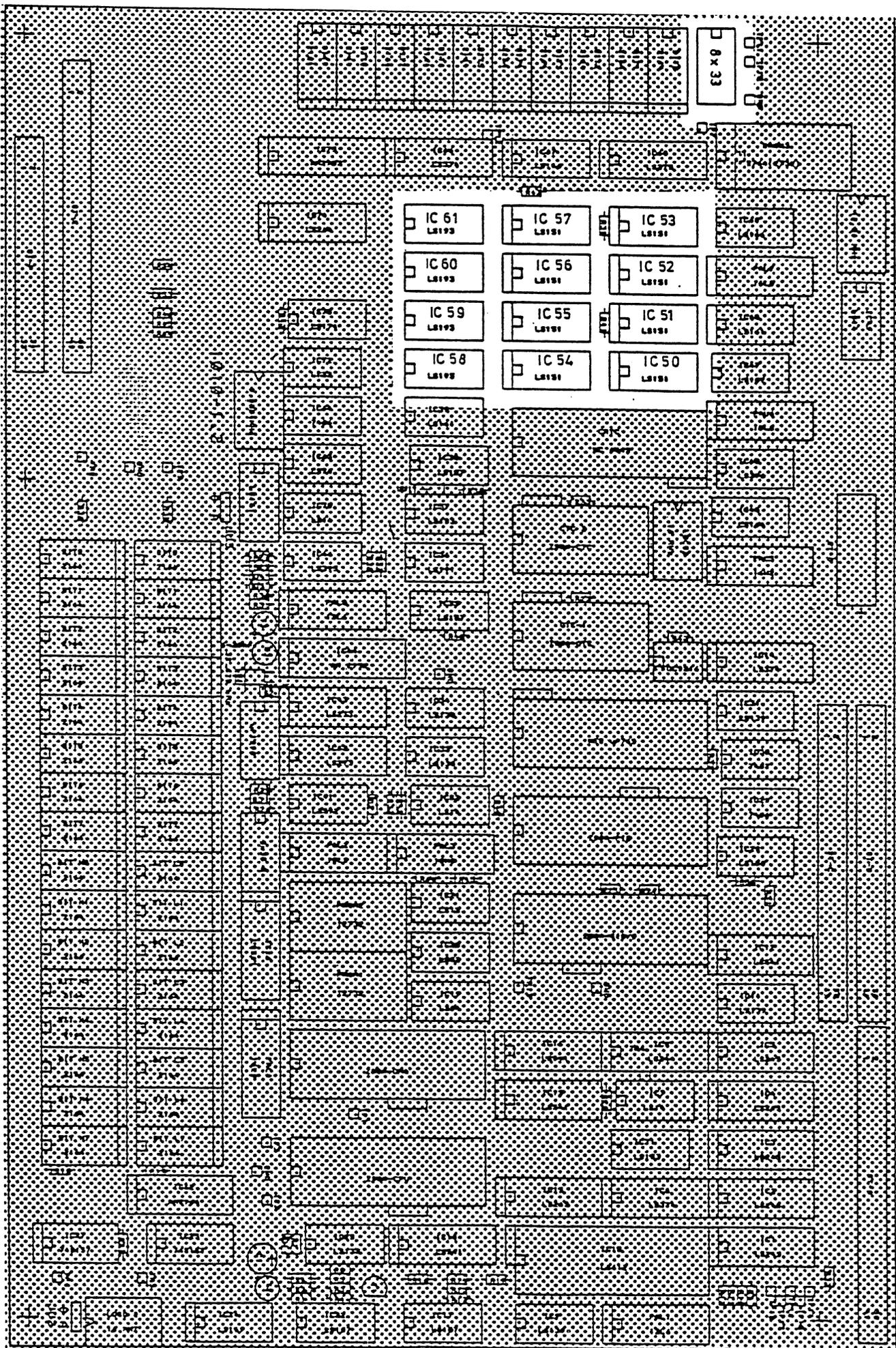




VIDEO (CRIC)

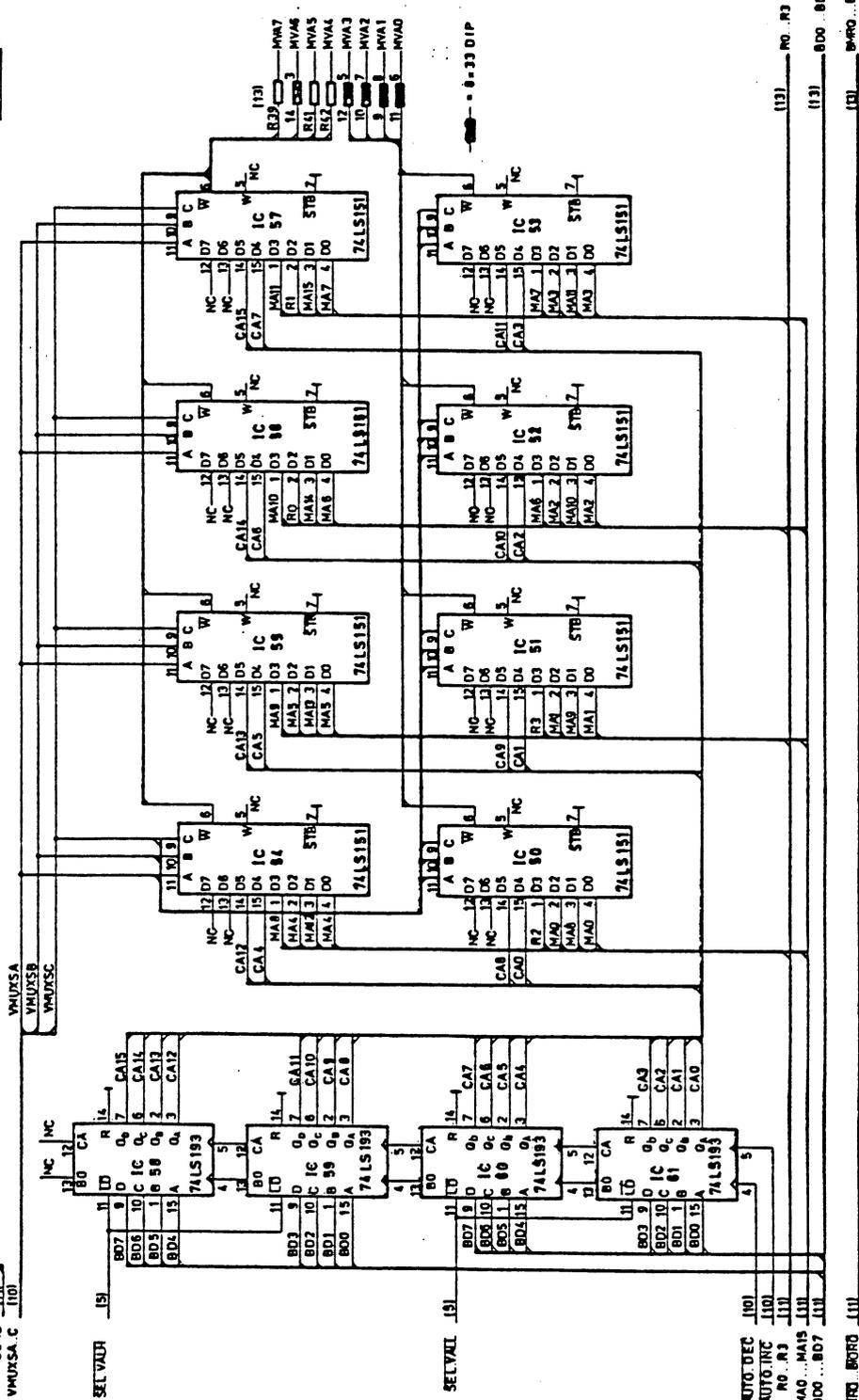
KDT 6	
12	5.30.84
11	21.6.84
10	10.12.83
9	10.12.83
8	10.12.83
7	10.12.83
6	10.12.83
5	10.12.83
4	10.12.83
3	10.12.83
2	10.12.83
1	10.12.83

BILDWIEDERHOLSPEICHERADRESSIERUNG



- (12) VSYNG
- (13) RSYNG
- (13) SDE
- (13) SCRS

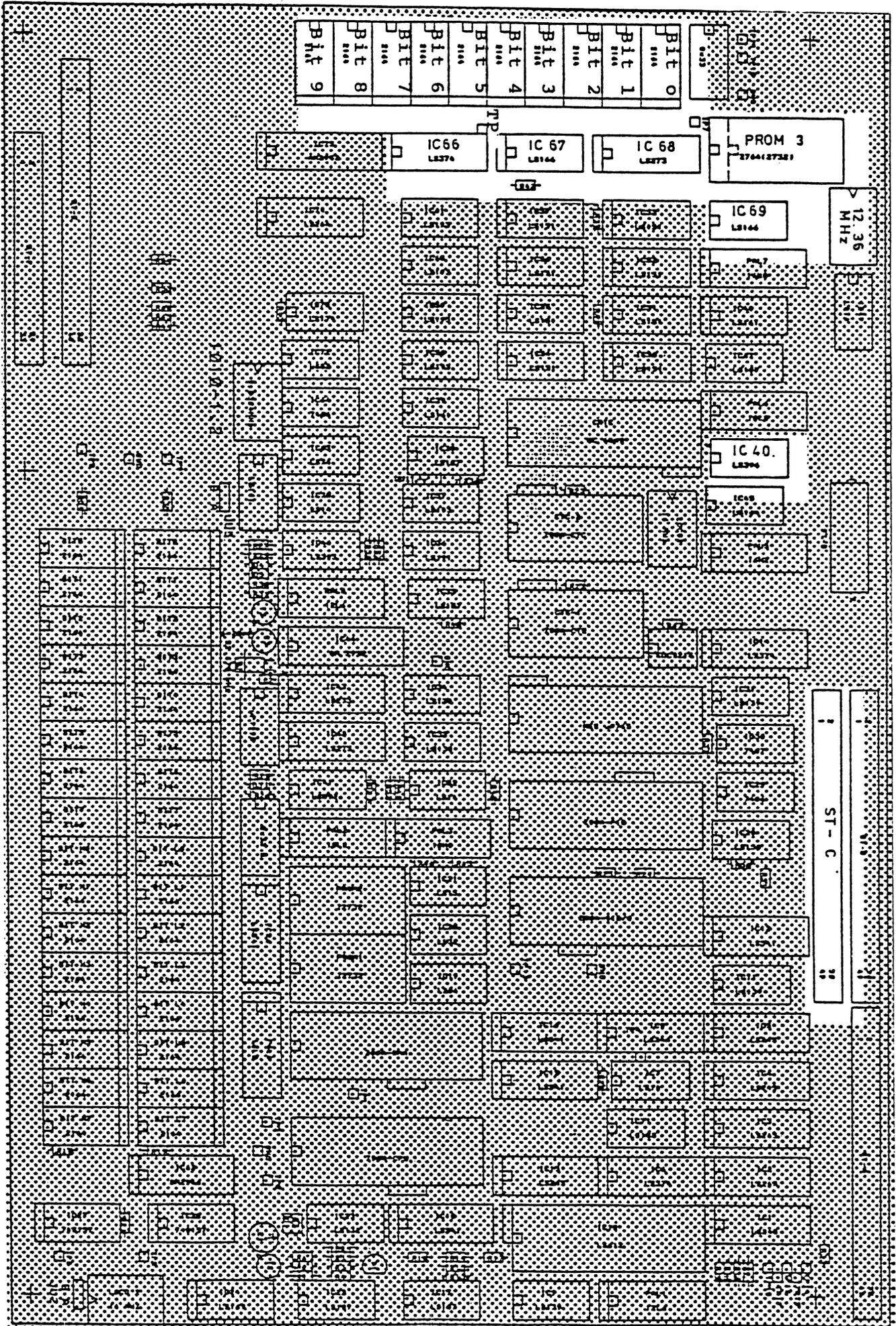
- (11) VSYNG
- (11) RSYNG
- (11) SDE
- (11) SCRS
- (11) VMXSA.C



- (13) NO. R3
- (13) 800 807
- (13) 800 807
- (13) 800 807

BILDWIEDERHOLSPEICHERADRESSIERUNG

Bestand		Name		Rev.	
Bezeichnung	Menge	Bezeichnung	Menge	Bezeichnung	Menge
214.82	1	SP1ES	1		
10.10.82					
KITBESTAND					
Zahlen-Nr. 1010					
12	51082				
11	214.82				
Rev. Änderung-Nr. Name					



KVSYSMC C-24
 KRSYSMC C-25
 SDE C-26
 SCRS C-27
 VB179 C-31
 VB178 C-31

VO17TL144
 VO27TL144
 VO17NY151
 VO27NY151
 XLPEN C-28
 XDM C-30
 MC C-43...C-45

IC40
 9 D3 203
 12 D4 204
 7 G
 5 IS
 7ALS208

RAM7
 RAM6
 RAM5
 RAM4
 RAM3
 RAM2
 RAM1
 RAM0

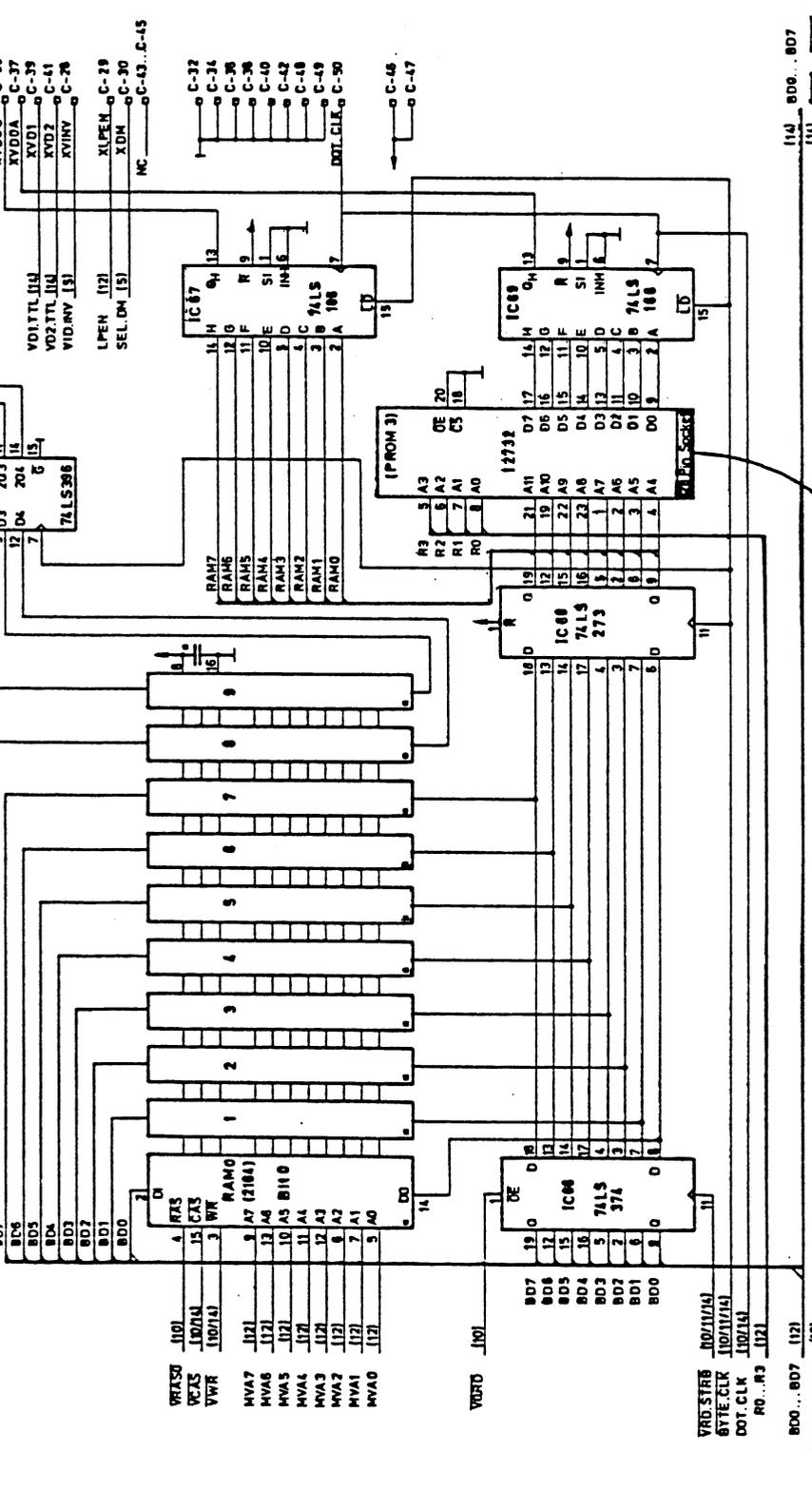
IC87
 16 H
 12 G
 11 F
 10 E
 9 D
 8 C
 7 B
 6 A
 5
 4
 3
 2
 1
 0

IC88
 16 H
 12 G
 11 F
 10 E
 9 D
 8 C
 7 B
 6 A
 5
 4
 3
 2
 1
 0

IC96
 19 0
 18 1
 17 2
 16 3
 15 4
 14 5
 13 6
 12 7
 11 8
 10 9
 9 A2 (2104)
 8 A1
 7 A0
 6 A2
 5 A1
 4 A0

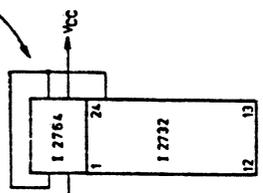
(IPROM 3)
 21 A11
 19 A10
 18 A9
 17 A8
 16 A7
 15 A6
 14 A5
 13 A4
 12 A3
 11 A2
 10 A1
 9 A0
 8 A2
 7 A1
 6 A0

IC89
 16 H
 14 M
 12 J
 11 I
 10 H
 9 G
 8 F
 7 E
 6 D
 5 C
 4 B
 3 A
 2 A
 1
 0

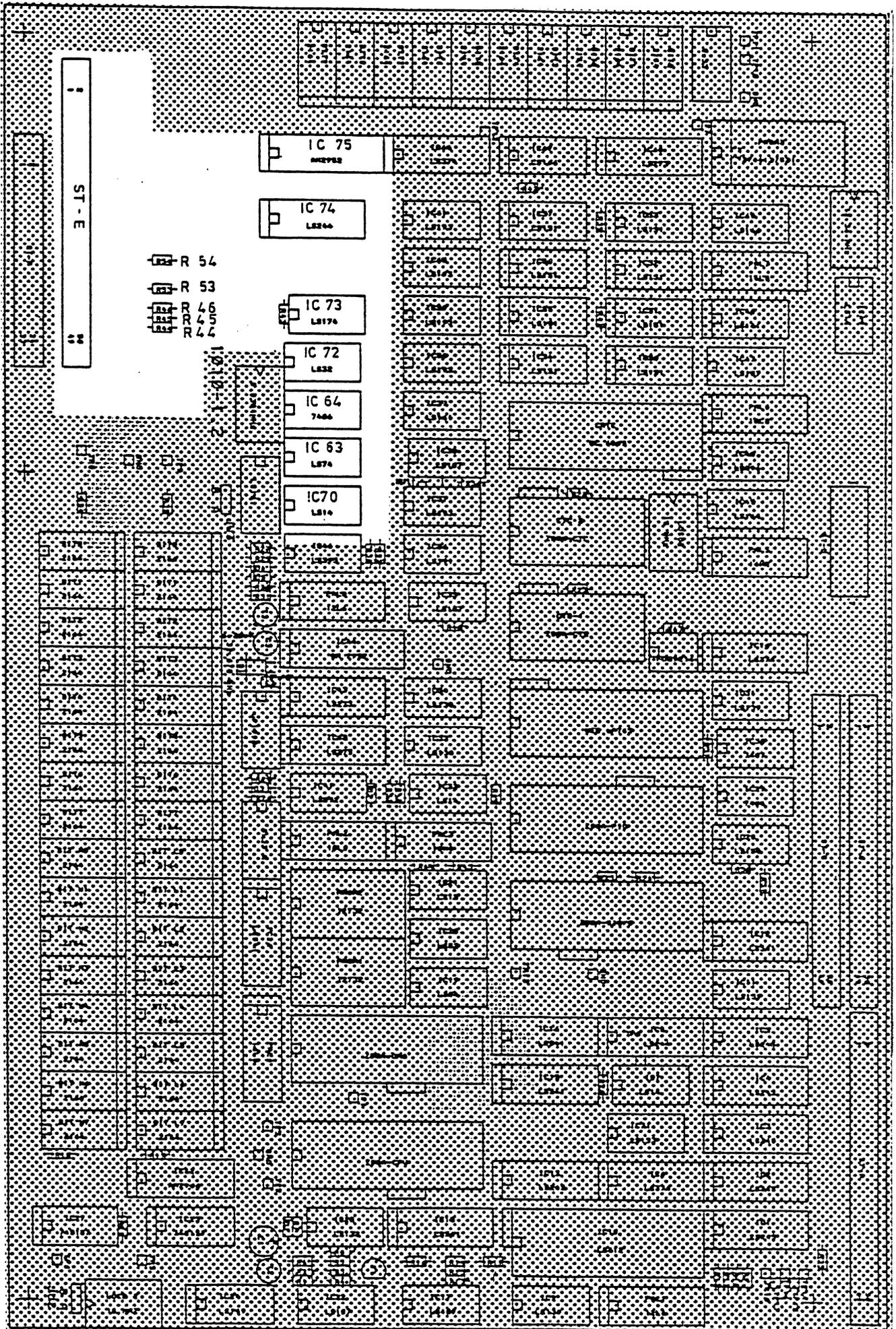


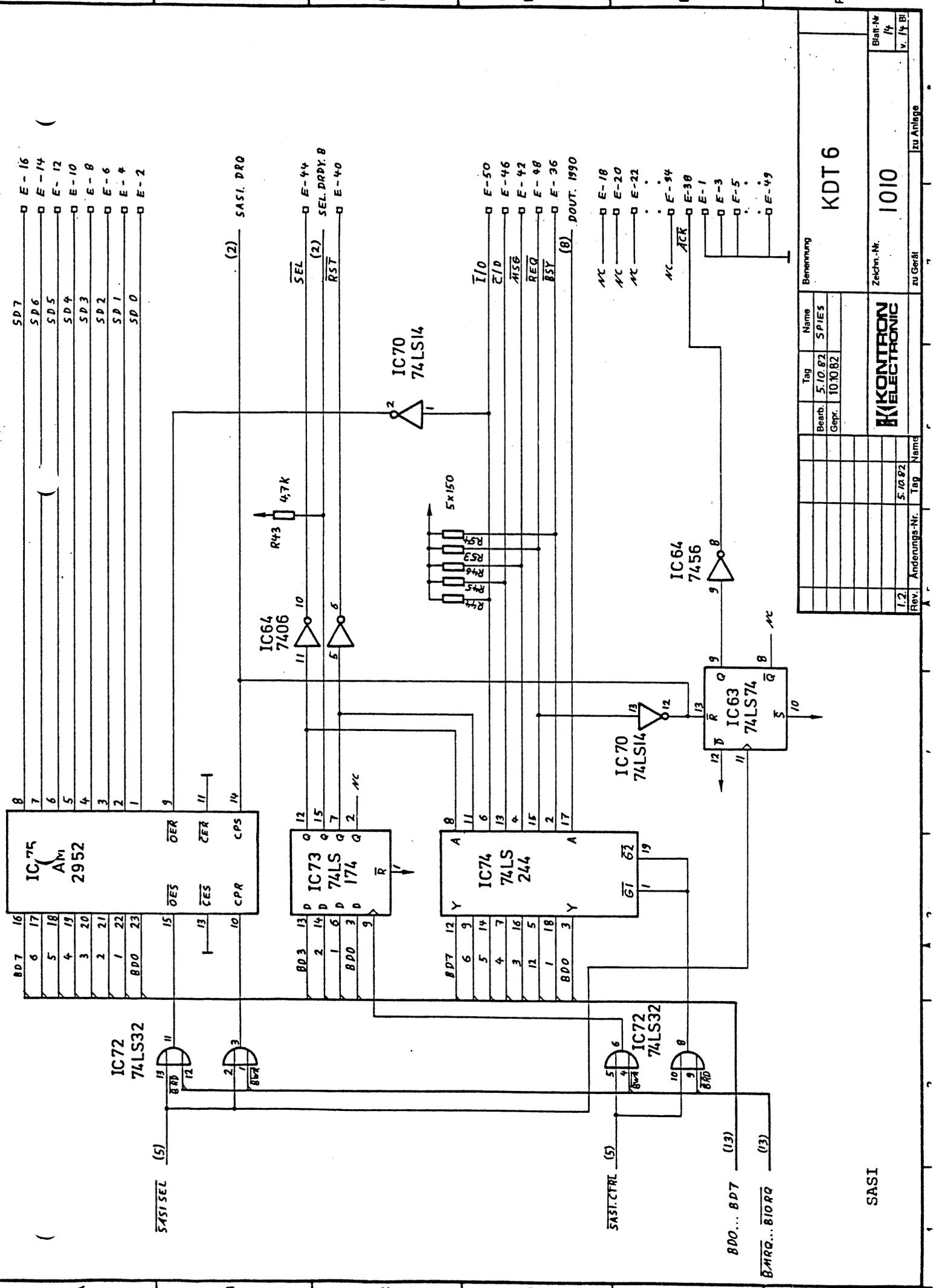
No.	Author/Rev.	Date	By	Rev.
1.1		5/10/82		
1.2		7/21/82		
1.3		7/21/82		
1.4				
1.5				

KIDS-1000
 1010
 KDT 6



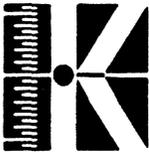
VIDEO - RAM



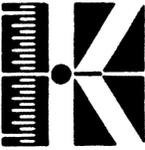


Rev. 1.2		Anderungs-Nr.		Tag		Name	
5.10.82		10.10.82		5.10.82			
Bearb.		Tag		Name		Benennung	
Gepr.						KDT 6	
Zu Gerät				Zu Anlage			
Zeichn.-Nr.				Blatt-Nr.			
1010				1/4			
V. 1/4 Bl.							
KIKOMTRONIK ELECTRONIC							

SASI



Inhaltsverzeichnis	Seite
1. Baugruppenbeschreibung 98/IOC	1
1.1 Allgemeines	1
1.2 Serielle Schnittstellen	2
1.3 Keyboard-Schnittstelle	12
1.4 Parallele Schnittstelle	13
1.5 Akustik-Ausgabe	14
1.6 Video-Ausgabe	14
1.7 Tabellen	15
1.7.1 Belegung Stecker A	15
1.7.2 Belegung Stecker B	16
1.7.3 Belegung Stecker K,H	17
1.7.4 Programmierung von PAL 1	18
1.7.5 Liste aller IC's	19
1.7.6 Standard-Einstellungen	20
1.7.7 Auslieferungsstand	22
1.8 Lage der Anschlußbuchsen	23
2. Servicehinweise	24
3. Jumper auf der Platine	28
Schaltpläne, Bestückungspläne	29



1. Baugruppenbeschreibung 98/IOC

1.1 Allgemeines

Die Baugruppe 98/IOC ist das Ein-/Ausgabe-Board für die Zentralplatine KDT6, die in den verschiedensten Kontron-Systemen enthalten ist.

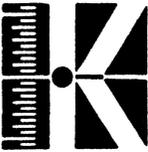
Sie stellt die Verbindung der KDT6-Zentralplatine zur Peripherie her und enthält die Ein-/Ausgabe-Schnittstellen und die Ansteuerungen für Video- und Akustik-Ausgabe.

Die Verbindung zwischen KDT6 Vers. 1.2 und diesem I/O-Connector-Board stellen zwei 50-polige Flachkabel her. Sämtliche nach außen führende Anschlüsse sind auf direkt eingelötete Stecker gelegt, welche über eine Gehäuseaussparung zugänglich sind. Es handelt sich dabei im einzelnen um folgende Anschlüsse:

- | | |
|-------------------|-----------------------------|
| - RS422/KOBUS | { 25-pol. D-Buchse } |
| - RS232/SIOA | { 25-pol. D-Buchse } |
| - RS232/SIOB | { 25-pol. D-Buchse } |
| - KEYBOARD | |
| seriell/parallel | { 25-pol. D-Buchse } |
| - CENTRONICS | { 36-pol. Amphenol-Buchse } |
| - LIGHTPEN | { 9-pol. D-Buchse } |
| - COMPOSITE VIDEO | { BNC-Buchse } |

Die IOC besteht aus folgenden Funktionsgruppen:

- zwei serielle Schnittstellen
- Keyboard Schnittstelle
- parallele Schnittstelle
- Akustik-Ausgabe
- Video-Ausgabe



1.2 Serielle Schnittstellen

Diese Funktionsgruppe enthält die Treiber für die beiden SIO-Kanäle der KDT6.

Dabei kann Kanal SIOA wahlweise auf eine RS232-Terminal-Schnittstelle (Stecker ST-D), eine 20 mA-Stromschleifen-Schnittstelle (ebenfalls Stecker ST-D) oder auf eine RS422-Schnittstelle (Stecker ST-C) geschaltet werden. Diese Umschaltung ist über DIP-Schalter möglich.

Kanal SIOB ist als RS232-Schnittstelle auf Stecker ST-F geführt. Die Belegung dieses Steckers ist durch Schalter S4 und S5 umschaltbar zwischen Terminal- und Modembelegung.

Über DIP-Schalter kann dieser Kanal außerdem auf Stecker ST-E geschaltet werden, zum Anschluß eines seriellen Keyboards.

Die Taktversorgung der beiden SIO-Kanäle ist ebenfalls über DIP-Schalter wählbar. Für SIOA können die Taktsignale -TxCA und -RxCA wahlweise von der RS422-Schnittstelle, von der RS232-Schnittstelle oder vom CTC1 kommen. SIOB bezieht sein Taktsignal -TxRxCB von der RS232-Schnittstelle oder vom CTC1.



Tabelle 1-1: Belegung von DIP-Schalter S1 der 98/IOC

Schalter	Stellung	Funktion	Hinweis
S 1-1 braun	rechts	SIO-Eingang RxCA von Signal S der RS422- Schnittstelle angesteuert	! hat nur Bedeutung ! bei Betrieb ! der SIOA-RS422- ! Schnittstelle
	links	SIO-Eingang RxCA von Signal S1 der RS422- Schnittstelle angesteuert	! (S3-2 rechts)
S 1-2 rot	rechts	SIO-Eingang RxDA von RECEIVE.DATA (Pin D-3) der RS232-Schnittstelle ange- steuert	! hat nur Bedeutung
	links	SIO-Eingang RxDA von DATA.IN (Pin D-14) der 20 mA-Loop angesteuert	! bei Betrieb
S 1-3 orange	rechts	SIO-Eingang TxCA von CTC1.ZC2 angesteuert	! der SIOA-RS232-
	links	SIO-Eingang TxCA von TRANSM.CLK.IN (Pin D-15) der RS232-Schnittstelle angesteuert	! bzw. ! 20 mA-Loop-
S 1-4 gelb	rechts	SIO-Eingang RxCA von CTC1.ZC2 angesteuert	! Schnittstelle
	links	SIO-Eingang RxCA von REC.CLK.IN (Pin D-17) der RS232 Schnittstelle angesteuert	! (S3-2 links)

Die Standardeinstellungen der Schalter gehen aus Kapitel 1.7.7 hervor.



Tabelle 1-2: Belegung von DIP-Schalter S2 der 98/IOC

Schalter	Stellung	Funktion	Hinweis
S 2-1 braun	rechts	!SIOB auf RS232- !Schnittstelle geschaltet	—
	links	!SIOB auf serielle Keyboard- !Schnittstelle geschaltet	
S 2-2 rot	rechts	!SIO-Eingang TxRxCB von !CTC1.ZC1 angesteuert	nur bei Betrieb SIOB-RS232- Schnittstelle (S2-1 rechts)
	links	!SIO-Eingang TxRxCB von !TxRxCLK.IN (Pin F-17) der !RS232-Schnittstelle !angesteuert	
S 2-3 orange	rechts	!SIO-Ausgang -RTSB steuert !HI.TRANSM.FRQ (Pin F-11) von !RS232-Schnittstelle	nur bei Betrieb der SIOB-RS232- Schnittstelle als Modem-Anschluß (S4, S5 in Stellung "MODEM")
	links	!SIO-Ausgang -RTSB steuert !REQ.TO.SEND (Pin F-4) von !RS232-Schnittstelle	
S 2-4 gelb		Keine Bedeutung !	

Die Standardeinstellungen der Schalter gehen aus Kapitel 1.7.7 hervor.



Tabelle 1-3: Belegung von DIP-Schalter S3 der 98/IOC

rechts = closed; links = open

Schalter	Stellung	Funktion	Hinweis
S 3-1	rechts	SIO-Eingang -DCDA von Signal I der RS422-Schnittstelle angesteuert	! hat nur Bedeutung bei Betrieb der SIOA RS422-Schnittst. (S 3-2 rechts)
	links	SIO-Eingang -DCDA auf H-Pegel	
S 3-2	rechts	SIOA auf RS422-Schnittstelle geschaltet	
	links	SIOA auf RS232-Schnittstelle bzw. 20mA-Loop geschaltet	
S 3-3	rechts	SIO-Ein-/Ausgang -SYNCA von CALL.IN (Pin D-22) der RS232-Schnittstelle angesteuert	! nur bei Betrieb der SIOA-RS232-
	links	SIO-Ein-/Ausgang -SYNCA offen	Schnittstelle
S 3-4	rechts	HI.TRANSM.SPEED (Pin D-23) von RS232-Schnittstelle auf + 12V	! (S3-2 links)
	links	HI.TRANSM.SPEED (Pin D-23) von RS232-Schnittstelle offen	
S 3-5	rechts	SIO-Ein-/Ausgang -SYNCB von CALL.IN (Pin F-22) oder SYNC.IN (Pin F-13) der RS232 Schnittstelle angesteuert	! nur bei Betrieb der SIOB-RS232-
	links	SIO-Ein-/Ausgang -SYNCB offen	Schnittstelle
S 3-6	rechts	HI.TRANSM.SPEED (Pin F-23) von RS232-Schnittstelle auf +12 V	! (S2-1 rechts)
	links	HI.TRANSM.SPEED (Pin F-23) von RS232-Schnittstelle offen	
S 3-7	rechts	SIO-Ausgang -DTRB steuert TRANSM.ON (Pin F-4) der RS232-Schnittstelle (S2-3 muß links sein)	! nur bei Betrieb der SIOB-RS232-Schnittstelle als Modem-Anschluß
	links	TRANSM.ON (Pin F-4) offen oder von SIO-Ausgang -RTSB angesteuert	! (S4, S5 in Stellung 'MODEM')
S 3-8	rechts	INT.CLK.OUT (Pin F-24) der RS232-Schnittstelle von CTC1.ZC1 angesteuert	
	links	INT-CLK.OUT (Pin F-24) der RS232-Schnittstelle offen	

Lage der Schalter und Standard-Einstellungen in Kapitel 1.7.7.



Baudrateneinstellung:

Die Kanäle 1 und 2 von CTC1 können als Baudrategenerator arbeiten, sofern auf der separaten I/O-Platine die entsprechende Verbindung zwischen CTC-Ausgang und SIO Takteingang realisiert ist.

**Tabelle 1-4: Programmierung der Baudrate über CTC1
bei Eingangsfrequenz 2 MHz**

SIO-Takt CTC-Betr.Art	x16 Zähler	x32 Zähler	x64 Zähler	x16 Zeitgeber
BAUDRATE	CTC-Teilerfaktor			
3600	13 (0,16%)	-	-	-
4800	26 (0,16%)	13 (0,16%)	-	-
2400	52 (0,16%)	26 (0,16%)	13 (0,16%)	-
1200	104 (0,16%)	52 (0,16%)	26 (0,16%)	-
600	208 (0,16%)	104 (0,16%)	52 (0,16%)	-
300	-	208 (0,16%)	104 (0,16%)	-
150	-	-	208 (0,16%)	-
110	-	-	-	142 (0%)
75	-	-	-	208 (0,16%)

in Klammern: Abweichung des Taktes vom Sollwert

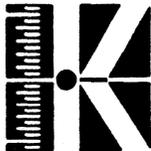


Tabelle 1-5: Programmierung der Baudrate über CTC1
bei Eingangsfrequenz 1,2288 MHz

SIO-Takt	x16	x32	x64	x16
CTC-Betriebsart:	Zähler	Zähler	Zähler	Zähler

BAUDRATE	C T C - Teilerfaktor			
76800	1	-	-	-
38400	2	1	-	-
19200	4	2	1	-
9600	8	4	2	-
4800	16	8	4	-
2400	32	16	8	-
1200	64	32	16	-
600	128	64	32	-
300	0	128	64	-
150	-	0	128	-
110	-	-	-	87 (0,16%)
75	-	-	0	128

Teilerfaktor 0 entspricht 256

Keine Abweichung des Taktes vom Sollwert (außer bei 110 Baud).



Die Signale von SIOA und SIOB sind an die 25-poligen Stecker ST-C, ST-D, ST-E und ST-F geführt.

Tabelle 1-6: Pinbelegung Stecker C der 98/IOC (SIOA - RS422/X.21)

Anschluß SIO	Pin von ST-C	Signalbezeichnung	Input/Output
RxDA	4	R	I
-	16	RR	-
DCDA	5	I	I
-	17	IR	-
TxCA *)	6	S	I
- *)	18	SR	-
RxCA	7	S1	I
-	19	S1R	-
TxDA	2	T	O
-	14	TR	-
DTRA	3	C	O
-	15	CR	-
+5V	9,10,21,22,23	+5V	-
GND	1,8,11,12,13,24,25	GND	-

*) Es besteht die Möglichkeit, durch Schließen der Lötjumper J7 und J8 das Taktsignal von CTC1, Kanal 2 auf diese Pins zu legen.

Damit ist es möglich, eine synchrone Datenverbindung ohne zusätzlichen externen Taktgeber aufzubauen. Diese Option wird softwaremäßig von KONTRON bisher nicht unterstützt.



Tabelle 1-7: Pinbelegung Stecker D der 98/IOC (SIOA - RS232 bzw. 20 mA-Loop)

Pin	Anschluß SIO	Signalname	Input/Output
1	-	GND	-
2	RxDA *	Receive Data	I
3	TxDA	Send Data	O
4	-CTSA	Clear to Send	I
5	-DTRA	Data Terminal Ready	O
6	-RTSA	Request to Send	O
7	-	GND	-
8	-	nc	-
9	-	20mA-Data In (-)	-
10	-	20mA-Data Out(-)	-
11	-	nc	-
12	-	nc	-
13	-SYNCA	Sync In	I
14	RxDA *	20mA-Data In (+)	I
15	TxCA	Transmitter Clock In	I
16	TxDA	20mA-Data Out (+)	O
17	RxCA	Receiver Clock In	I
18	-	nc	-
19	-	nc	-
20	-DCDA	Carrier Detect	I
21	-	nc	-
22	-	nc	-
23	-	High Transmission Speed	O
24	-	nc	-
25	-	nc	-

* = umschaltbar



Tabelle 1-8: Pinbelegung Stecker F der 98/IOC (SIOB als MODEM-Anschluß)

Schalterstellung: S4 und S5 auf "MODEM"

Pin	Anschluß SIO	Signalname	Input/Output
1	-	GND	-
2	TxDB	Transmit Data	O
3	RxDB	Receive Data	I
4	-RTSB/-DTRB *	Transmitter On	O
5	-	nc	-
6	-CTSB	Data Set Ready	O
7	-	GND	-
8	-DCDB	Carrier Detect	I
9	-	nc	-
10	-	nc	-
11	-RTSB *	High Transmission Frequency	O
12	-	nc	-
13	-	nc	-
14	-	nc	-
15	-	nc	-
16	-	nc	-
17	TxRxCB *	TxR Clock In	I
18	-	nc	-
19	-	nc	-
20	-DTRB *	Data Terminal Ready	O
21	-	nc	-
22	-SYNCB	Call In	I
23	-	High Transmission Speed	O
24	TxRxCB *	Internal Clock Out	O
25	-	nc	-

* = umschaltbar

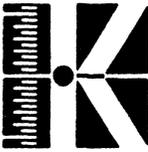


Tabelle 1-9: Pinbelegung Stecker F der 98/IOC (SIOB als TERMINAL-Anschluß)

Schalterstellung S4 und S5 auf "TERMINAL"

Pin	Anschluß SIO	Signalname	Input/Output
1	-	GND	-
2	RxDB	Receive Data	I
3	TxDB	Send Data	O
4	-CTSB	Clear to Send	I
5	-DTRB	Data Terminal Ready	O
6	-RTSB	Request to Send	O
7	-	GND	-
8	-	nc	-
9	-	nc	-
10	-	nc	-
11	-	nc	-
12	-	nc	-
13	-SYNCB	Sync In	I
14	-	nc	-
15	-	nc	-
16	-	nc	-
17	TxRxCB *	TxR Clock In	I
18	-	nc	-
19	-	nc	-
20	-DCDB	Carrier Detect	I
21	-	nc	-
22	-	nc	-
23	-	nc	-
24	RxRxCB *	Internal Clock Out	O
25	-	nc	-

* = umschaltbar



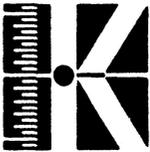
1.3 Keyboard-Schnittstelle

Stecker E enthält eine parallele und eine serielle Keyboard-Schnittstelle, d.h. es kann wahlweise eine parallele oder eine serielle Tastatur angeschlossen werden. Die Pinbelegung für die parallele Schnittstelle entspricht der bisherigen KONTRON PSI80-Tastatur.

Die zusätzliche serielle Schnittstelle wurde auf freie Pins desselben Steckers geführt. Sie wird über den Kanal B des SIO auf der KDT6 bedient.

Tabelle 1-10: Pinbelegung Stecker E der 98/IOC
(Keyboard-Anschluß)

Pin von ST-E	Signalbezeichnung	Input/Output
9	KEY.D0	I
8	KEY.D1	I
7	KEY.D2	I
6	KEY.D3	I
5	KEY.D4	I
4	KEY.D5	I
3	KEY.D6	I
2	KEY.D7	I
11	KEY.STRB (CTC2.CLK1)	I
15	+ KEY.TRANSM (SIO.TxDB)	O
16	- KEY.TRANSM (SIO.TxDB)	O
17	+ KEY.REC (SIO.RxDB)	I
18	- KEY.REC (SIO.RxDB)	I
13	+ 5V	-
14	GND	-
1	SHIELD	-



1.4 Parallele Schnittstelle

Die Parallelschnittstelle führt die Signale des PIO-Bausteins auf den 36-poligen Amphenol-Stecker ST-G. 16 Ein-/Ausgänge und zwei Handshake-Leitungen werden zur Verfügung gestellt. Alle Datenleitungen sind mit nichtinvertierenden Schmitt-Trigger-Bausteinen gepuffert und so angeordnet, daß Drucker mit Parallelschnittstelle (Centronics-Schnittstelle) und Winchesterlaufwerke angeschlossen werden können. Die Steckerbelegung entspricht dem weitverbreiteten CENTRONICS-Interface.

Tabelle 1-11: Pinbelegung ST-G der 98/IOC
(Parallelschnittstelle):

Anschluß PIO	Pin	Signalbezeichnung	Input/Output Bidirektional
A0	1	-STROBE	O
A1	31	-IPRIME	O
A2	32	-FAULT	I
A3	12	-EMPTY	I
A4	11	-BUSY	I
A5	13	-SELECT	I
A6	34 J1	SPARE	O
A7	36 J2	DIRECTION B	O
BSTRB	15 J3) über Löt- jumper	I
BRDY	35 J4		O
ARDY	35 J5		O
B0	2	DATA 0	B
B1	3	DATA 1	B
B2	4	DATA 2	B
B3	5	DATA 3	B
	8	DATA 6	B
B7	9	DATA 7	B
-	18	+ 5V	-
-	14,16,17,19...30	GND	-



1.5 Akustik-Ausgabe

Kanal 0 von CTC 1 steuert einen Lautsprecher an. Die Lautstärke läßt sich über ein externes Poti steuern. Der Anschluß von Poti und Lautsprecher erfolgt über Stecker ST-K.

1.6 Video-Ausgabe

Diese Baugruppe verarbeitet die vom Videocontroller auf der KDT6 gelieferten Signale und erzeugt die zur Ansteuerung eines Monitors nötigen Video-Signale. Außerdem stellt sie ein BAS-Signal (Composite Video) für den Anschluß eines externen Monitors zur Verfügung.

Die Funktionen 'Invertierung' und 'Blinken' werden hier realisiert. Über ein Monoflop wird der Lightpen-Strobe erzeugt.

Die Invertierung eines Zeichens erfolgt unter einer der folgenden Bedingungen:

- der Cursor steht auf dem Zeichen
- Bit 8 in der Hauptvideobank ist gesetzt
- der gesamte Bildschirm ist invertiert
(Bit 5 von Statusport 1 auf KDT6 ist rückgesetzt)

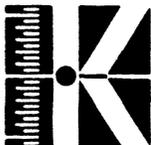
Das Blinken eines Zeichens wird durch Bit 9 der Hauptvideobank bewirkt. Das Blinken von Zeichen erfolgt synchron zur Blinkfrequenz des Cursors, da beide Signale vom gleichen Zähler erzeugt werden. Der Video-Controller (CRTC) auf der KDT6 muß dazu so programmiert sein, daß der Cursor dauernd vorhanden ist ("non-blinking"). Die Blinkfrequenz beträgt 1,56 Hz.

Die Ausgangssignale werden auf Stecker ST-O geführt. Dort kann über ein Flachkabel (26-polig) der Monitor angeschlossen werden.

Das BAS-Signal (Composite Video) ist über die BNC-Buchse ST-I von außen zugänglich, falls J5 verbunden.

**Tabelle 1-12: Pinbelegung Stecker D der 98/IOC
(Monitoranschluß)**

Pin	Signalbezeichnung
2	VIDEO
7	HSYNC
8	VSYNC
16	BRIGHTNESS 1
17	BRIGHTNESS 3
18	BRIGHTNESS 2
9,10,11,22,23	+ 12V
1,3,4,5,6,14,15	GND
19,20,21,24,25,26	GND

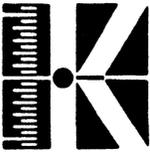


1.7 Tabellen

1.7.1 Belegung Stecker A

Tabelle 1-13: Pinbelegung Stecker A der 98/IOC (I/O)

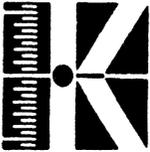
Pin Nr.	Signal	
1	-	
.	.	
.	.	
.	.	
18	-	
19	-	
20	-	
21	-	
22	-	
23	-	
24	-VSYNC	TTL-Output
25	-HSYNC	TTL-Output
26	DE: Display Enable	TTL-Output
27	CRS: Cursor Enable	TTL-Output
28	VINV: Video Invert	TTL-Output
29	-	
30	DM: Display Mode	TTL-Output
31	VBIT9	TTL-Output
32	GND	
33	VBIT8	TTL-Output
34	GND	
35	VDOG: Video Data (Graphic)	TTL-Output
36	GND	
37	VDOA: Video Data (Alpha)	TTL-Output
38	GND	
39	-	
40	GND	
41	-	
42	GND	
43	-	
44	-	
45	-	
46	+ 5V	
47	+ 5V	
48	GND	
49	GND	
50	-	



1.7.2 Belegung Stecker B

Tabelle 1-14: Pinbelegung von Stecker B der 98/IOC

Pin Nr.	Signal	
1	KEY.D7	(Keyboard Data)
2	KEY.D6	"
3	KEY.D5	"
4	KEY.D4	"
5	KEY.D3	"
6	KEY.D2	"
7	KEY.D1	"
8	KEY.DO	"
9	-	-
10	CTC2.CLK1	(Keyboard-Strobe)
11	CTC2.ZCO	(Audio Output)
12	PIO.A0	PIO Port A
13	PIO.A1	
14	PIO.A2	
15	PIO.A3	
16	PIO.A4	
17	PIO.A5	
18	PIO.A6	
19	PIO.A7	
20	PIO.ARDY	
21	-PIO.ASTRB	
22	-PIO.BSTRB	PIO Port B
23	PIO.BRDY	
24	PIO.B7	
25	PIO.B6	
26	PIO.B5	
27	PIO.B4	
28	PIO.B3	
29	PIO.B2	
30	PIO.B1	
31	PIO.B0	
32	SIO.TxDA	SIO Channel A
33	-SIO.DTRA	
34	-SIO.RTSA	
35	SIO.RxDA	
36	-SIO.CTSA	
37	-SIO.DCDA	
38	-SIO.RxCA	
39	-SIO.RxCA	
40	-SIO.SYNCA	
41	-SIO.SYNCB	SIO Channel B
42	-SIO.RxTxCB	
43	-SIO.DCDB	
44	-SIO.CTSB	
45	SIO.RXDB	
46	-SIO.RTSB	
47	-SIO.DTRB	
48	-SIO.TxDB	
49	CTC1.ZC1	
50	CTC1.ZC2	



1.7.3 Belegung Stecker K

Tabelle 1-15: Pinbelegung von Stecker K der 98/IOC

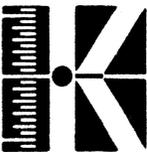
Pin	Signalbezeichnung
1	GND Signallampe
2	+5V Signallampe
3	LS + LS-POT
4	GND Reset KDT
5	RESET KDT
6	GND LS
7	LS-POT
8,9,10	BRIGHTNESS

Spannungsversorgung der 98/IOC

Die Spannungsversorgung erfolgt über ST-H

Pinbelegung:

Pin	Signalbezeichnung
1	RESET
2	- 12 V
3	+ 5 V
4	+ 12 V
5	GND



1.7.4 Programmierung von PAL 1

PAL16L8 PAL DESIGN SPECIFICATION
PATO05 03/01/1983
VIDPAL1 VIDEO LOGIC FOR 9XX/IOC (15" MONITOR) AND 98/IOC

VSYNC HSYNC SDE VINV VBIT8 VBIT9 VDOA VDOG DM GND
BLK /VSYNC.OUT /INT.SDE /INVERT /SYNC /VIDEO /INT.VIDEO CRS /HSYNC.OUT
VCC

IF (VCC) SYNC = HSYNC*VSYNC + /HSYNC*/VSYNC

IF (VCC) INVERT = CRS*BLK*/VINV*/VBIT8 +
CRS*BLK*VINV*/VBIT8 +
/CRS*/VINV*VBIT8 +
/BLK*/VINV*VBIT8 +
/CRS*VINV*/VBIT8 +
/BLK*VINV*/VBIT8

IF (VCC) INT.VIDEO = VDOA*DM*/VBIT9 +
VDOA*DM*VBIT9*BLK +
VDOG*/DM

IF (VCC) VIDEO = INT.VIDEO*/INVERT*SDE*INT.SDE +
/INT.VIDEO*INVERT*SDE*INT.SDE

IF (VCC) INT.SDE = SDE

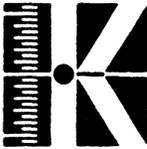
IF (VCC) HSYNC.OUT = /HSYNC

IF (VCC) VSYNC.OUT = /VSYNC

DESCRIPTION:

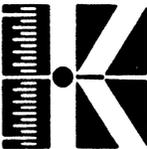
OUTPUTS

SYNC: COMPOSITE SYNC SIGNAL FOR COMPOSITE VIDEO GENERATION
INVERT: INVERTED VIDEO CONDITION
INT.VIDEO: AUXILIARY SIGNAL FOR VIDEO GENERATION
VIDEO: VIDEO SIGNAL
INT.SDE: AUXILIARY SIGNAL FOR VIDEO GENERATION
HSYNC.OUT: HORIZONTAL SYNC SIGNAL (NOT INVERTED)
VSYNC.OUT: VERTICAL SYNC SIGNAL (NOT INVERTED)



1.7.5 Liste aller IC's

Typ	Bezeichnung im Schaltplan	Beschreibung
PAL16L8	PAL	Programmable Array Logic
26LS31 (75172)	IC3, IC7	Quad Differential Line Drivers
26LS32 (75173)	IC2	Quad Differential Line Receivers
7406	IC16	Hex Invert Buffer/Drivers (o.C.)
74LS157	IC1	Quad 2 to 1 Multiplexers
74LS221	IC13	Dual Monostable Multivibrators
74LS244	IC11	Octal Bus Buffers
74LS245	IC12	Octal Bus Transceivers
74LS393	IC15	Dual 4-bit Counters
75188	IC6, IC8	Quad Line Drivers (RS232)
75189	IC4, IC5, IC10	Quad Line Receivers (RS232)
9637	IC8	Dual Differential Line Receivers



1.7.6 Standard-Einstellungen

Standard-Einstellungen der Schalter S1 bis S5

98/IOC

```

-----
c bedeutet : { "closed" } Schalter rechts
o bedeutet : { "open" } Schalter links
* bedeutet : Schalter unwirksam
T bedeutet : in Stellung Terminal
M bedeutet : in Stellung Modem
-----

```

a) SIOA an KOBUS-Schnittstelle (Stecker C)

```

Schalter !      S1      !      S3
          ! 4 3 2 1 ! 8 7 6 5 4 3 2 1
-----!-----!-----
Stellung ! * * * o ! * * * * * o c o

```

b) SIOA an RS232-Schnittstelle (Stecker D)

```

Schalter !      S1      !      S3
          ! 4 3 2 1 ! 8 7 6 5 4 3 2 1
-----!-----!-----
Stellung ! c c c * ! * * * * * o o o *

```

c) SIOA an 20mA-Loop-Schnittstelle (Stecker D)

```

Schalter !      S1      !      S3
          ! 4 3 2 1 ! 8 7 6 5 4 3 2 1
-----!-----!-----
Stellung ! c c o * ! * * * * * * * o *

```

d) SIOB an Terminal-Schnittstelle (Stecker F)

```

Schalter !      S2      !      S3      !      S4      !      S5
          ! 4 3 2 1 ! 8 7 6 5 4 3 2 1 !      !
-----!-----!-----!-----
Stellung ! * o c c ! o o o o * * * * ! T ! T

```



1.7.7 Auslieferungsstand Kontron PSI 98

Zur Einstellung der Parameter

- SIOA an RS 232C-Schnittstelle (Stecker D)
- SIOB an RS 232C-Schnittstelle für TERMINAL-Anschluß (Stecker F)
- paralleles Keyboard (Stecker E)

ist folgende **Standard-Schaltereinstellung** vorzunehmen:

S3	S1	S2
8 * -	4 - *	4 - *
7 * -	3 - *	3 * -
6 * -	2 - *	2 - *
5 * -	1 * -	1 - *
4 * -		
2 * -		
1 * -		

S4 und S5 in Stellung 1 (TERMINAL)

Modifikation zur Einstellung der Parameter

- SIOA an RS 422-Schnittstelle (KOBUS, Stecker C): S3/2 "rechts"
- serielles Keyboard (SIOB an Stecker E): S2/1 "links"

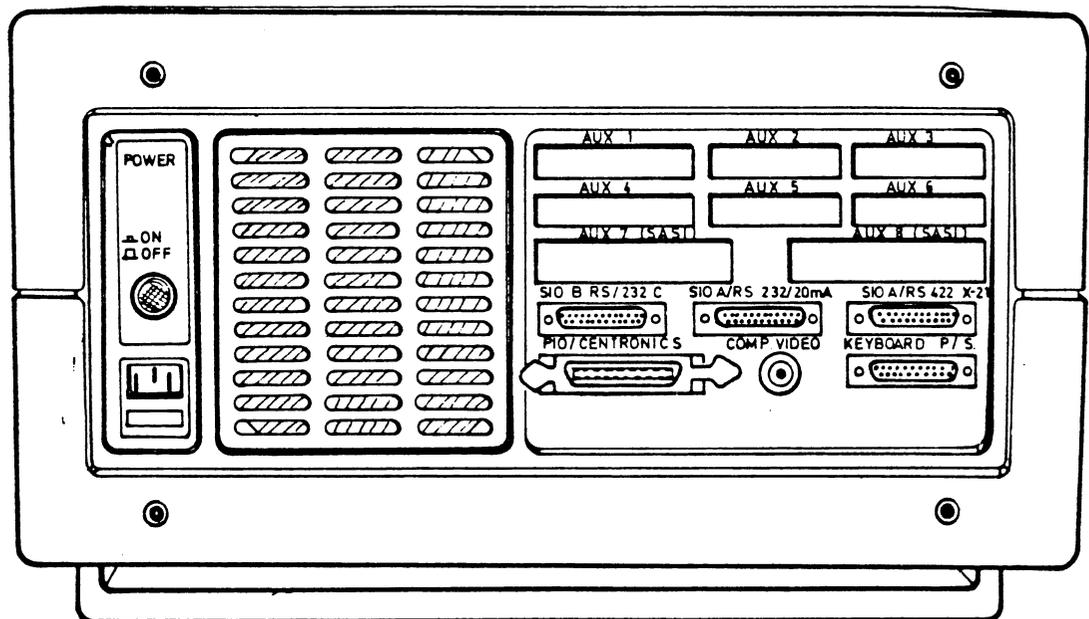
S3	S1	S2
8 * -	4 - *	4 * -
7 * -	3 - *	3 * -
6 * -	2 - *	2 - *
5 * -	1 * -	1 - *
4 * -		
2 - *		
1 * -		

S4 und S5 in Stellung 1 (TERMINAL)



1.8 Lage der Anschlußbuchsen

Die Buchsenleiste an der Rückseite des Systems KONTRON PSI 98 ist in nachfolgender Abbildung ersichtlich.



Buchsenleiste der Systeme Kontron PSI 98



2. Servicehinweise

Voraussetzung für einen Test der IOC-Baugruppe ist eine funktionsfähige Zentralbaugruppe KDT6.

Kontrollieren Sie stets als Erstes die Spannungsversorgung dieser Baugruppe. Dabei sollte nicht nur am Stecker der Spannungsversorgung gemessen werden, sondern auch an den Schaltkreisen selbst.

Dies ist besonders für die von einem auf der Busplatine befindlichen Festspannungsregler vom Typ 7912 erzeugten -12 Volt wichtig.

Die Spannungen +/- 12 Volt sind zum Betrieb der 20 mA-Stromschleifenschnittstelle (SIOA) nötig.

Vor einem Test der Schnittstellen ist außerdem stets die Stellung aller auf der Platine befindlichen Schalter zu kontrollieren. Dazu siehe Kapitel 1.7.7 dieser Beschreibung.

Zum Testen der Schnittstellen empfiehlt sich folgende Konfiguration:

- SIOA auf RS232
- SIOB auf RS232
- paralleles Keyboard

S3		S1		S2
8 *	-	4 - *		4 - *
7 *	-	3 - *		3 * -
6 *	-	2 - *		2 - *
5 *	-	1 * -		1 - *
4 *	-			
2 *	-			
1 *	-			

S4 und S5 in Stellung 1 (TERMINAL)

Außerdem ist, falls kein Schnittstellentester vorhanden ist, ein Terminal sowie ein Drucker mit Centronics-Schnittstelle erforderlich.

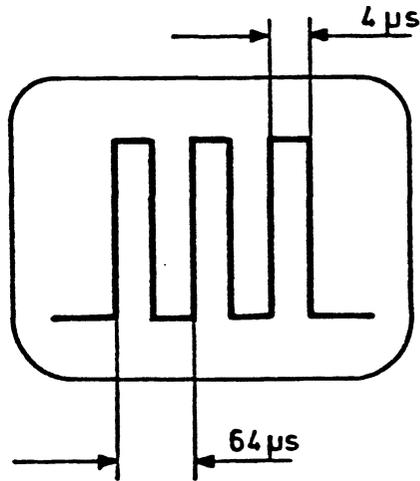
Zeigt sich bei Eingabe von der Tastatur aus keine Reaktion, so muß bei fehlerfreier Tastatur die Tastaturschnittstelle untersucht werden. Da diese Schnittstelle aber direkt zur KDT6 durchgeschleift wird, kann der Fehler (bei intakter KDT6) eigentlich nur in schlechten Steckverbindungen zu suchen sein.

Sollte sich beim Einschalten des Gerätes keine Reaktion auf dem Bildschirm zeigen, so muß die Schaltung auf Blatt 4 der Schaltpläne einer genaueren Betrachtung unterzogen werden.

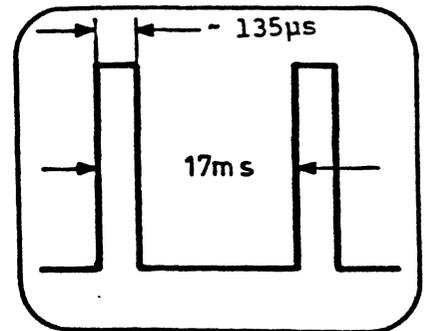


Messen Sie deshalb zuerst mit einem Oszilloskop die Signale HSYNC und VSYNC. Sie sollten folgendes Aussehen besitzen:

XHSYNC.



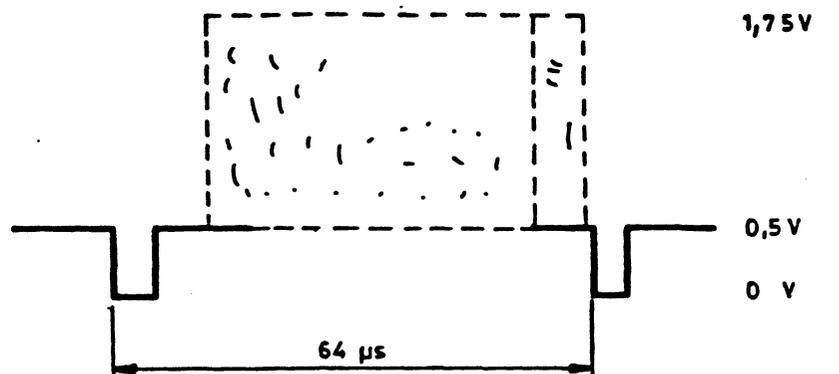
XVSYNC.



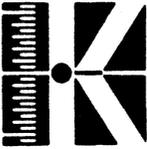
Falls nicht, sollten diese Signale nochmals am Videocontroller der KDT6 (PIN 39 und 40) überprüft werden. Sind sie dort vorhanden, so muß der Weg vom Controller zur IOC überprüft werden.

Außerdem muß PAL1 überprüft werden.

Läßt sich kein externer Monitor mit dem Composite-Video-Signal betreiben, so ist PAL1 sowie die Schaltung rund um T2 und T3 zu überprüfen. Das Composite-Signal sollte folgendes Aussehen besitzen:



COMPOSITE VIDEO



Der Test der Schnittstellen erfordert nun je nach Betriebssystem - KOS bzw. CPM - die Eingabe folgender Kommandos, wobei die entsprechenden Programme bzw. Treiber natürlich vorhanden sein müssen.

1. Sie arbeiten mit dem Betriebssystem KOS:

1. Schritt: Aktivieren Sie die Treiber SIOA, SIOB sowie einen zum parallelen Drucker passenden Druckertreiber (z.B. OAP4 für Microline 84) mit folgendem Kommando

IODC \$SIOA=ACTIVE \$SIOB=ACTIVE \$OAP4=ACTIVE

Falls die Fehlermeldung "Datei nicht vorhanden" erscheint, fehlt der entsprechende Treiber auf dem Massenspeichermedium (Diskette oder Harddisk).

2. Schritt: Schließen Sie nun das Terminal mit einer ungekreuzten Leitung, d.h. die Pins 2-2, 3-3 und 7-7 sind verbunden, an einer der seriellen Schnittstellen z.B. SIOA an.

Geben Sie nun das Kommando

COPY \$KEY \$SIOA

ein. Dieses Kommando kopiert nun alle Eingaben der Tastatur auf die serielle Schnittstelle SIOA. Dabei ist eine Baudrate von 9600 Bd Voreinstellung.

Alle Tastatureingaben müssen nun am Bildschirm des externen Terminals erscheinen. Falls nicht, könnte das folgende Ursachen haben:

- a) Die zur Schnittstelle gehörigen Schnittstellentreiberbausteine sind defekt
- b) falsche Schaltereinstellung
- c) Kontaktschwierigkeiten an Steckverbindungen - auch zur KDT6!

Entsprechend kann die SIOB-Schnittstelle mit

COPY \$KEY \$SIOB

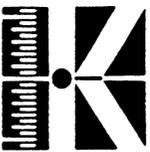
getestet werden.

Mit der Eingabe von

COPY \$SIOA \$MON

können Zeichen vom an SIOA angeschlossenen Terminal auf den Bildschirm des Systems ausgegeben werden.

Das COPY-Kommando läßt sich mit CNTRL D abbrechen, allerdings nur beim Kopieren vom Keyboard zur Schnittstelle.



3. Schritt: Genauso kann die Centronics-Schnittstelle getestet werden.

Drucker anschließen und entsprechenden Treiber aktivieren und Zeichen von der Tastatur auf den Drucker umleiten:

z.B. COPY \$KEY \$OAP4

Der eingebaute Lautsprecher kann durch Eingabe von CNTRL G getestet werden.

2. Sie arbeiten mit dem Betriebssystem CPM:

Hier erfolgt der Test ähnlich wie unter KOS. Schnittstellen gemäß Kap. 1.7.7 alle für RS232C konfigurieren.

Zunächst müssen die seriellen Schnittstellen entsprechend dem vorhandenen Terminal eingestellt werden.

Dies geschieht mit der CPM-Utility SETSIO.

Sodann wird die Tastatureingabe auch auf die entsprechende Schnittstelle umgeleitet mit:

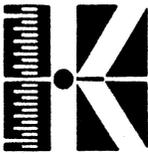
für SIOA: STAT LST:=-TTY:
 CNTRL P
 Texteingabe

für SIOB: STAT LST:=-UL1:
 CNTRL P
 Texteingabe

für Centronics: STAT LST:=-LPT:
 CNTRL P
 Texteingabe

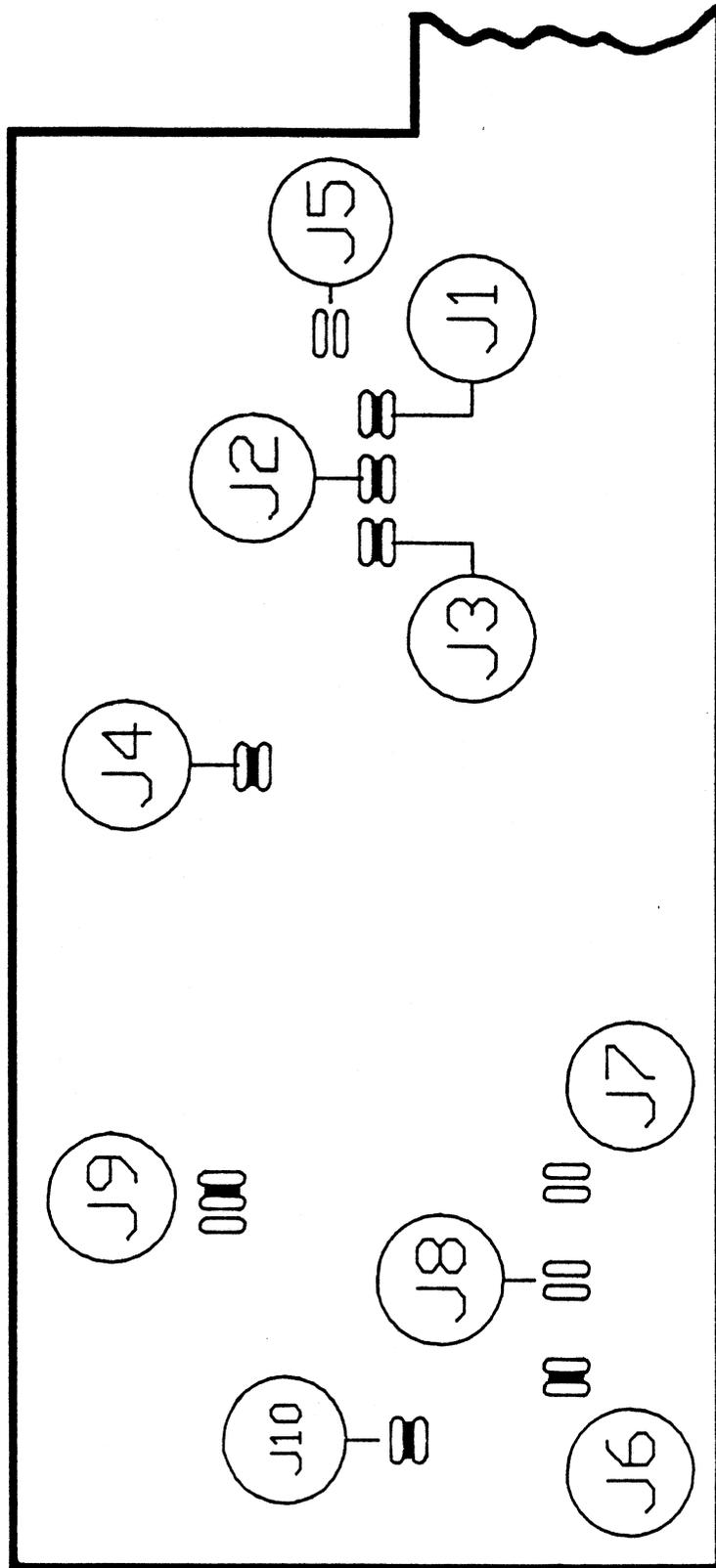
Mit den Kommandos: STAT CON:=-TTY: (für SIOA)
 STAT CON:=-UC1: (für SIOB)

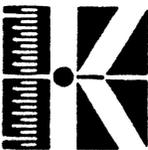
kann der Rechner vom externen Terminal aus bedient werden.



3. Jumper auf der Platine

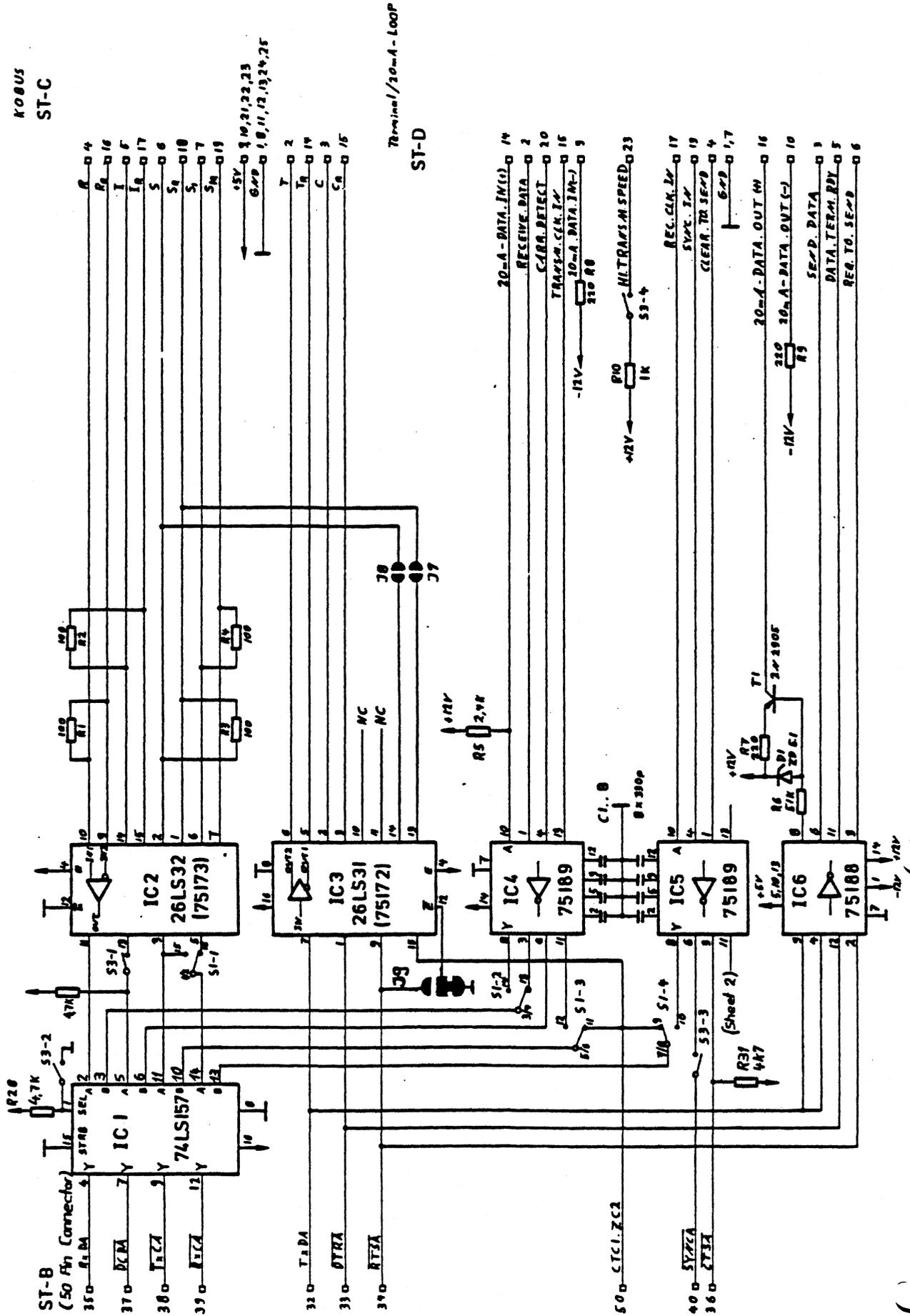
Sämtliche Jumper sind als Lötjumper auf der Rückseite der Platine ausgeführt. In folgendem Bild sind die jeweiligen Standardeinstellungen der Jumper ersichtlich.

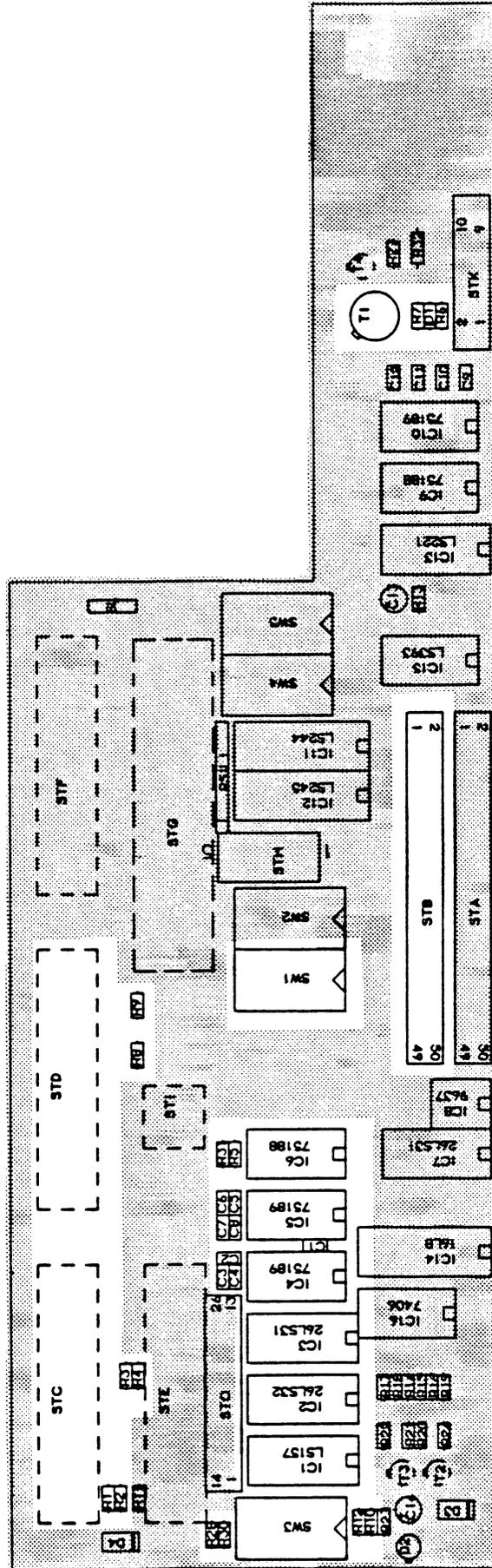


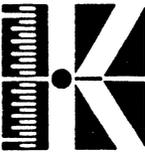


Schaltpläne, Bestückungspläne

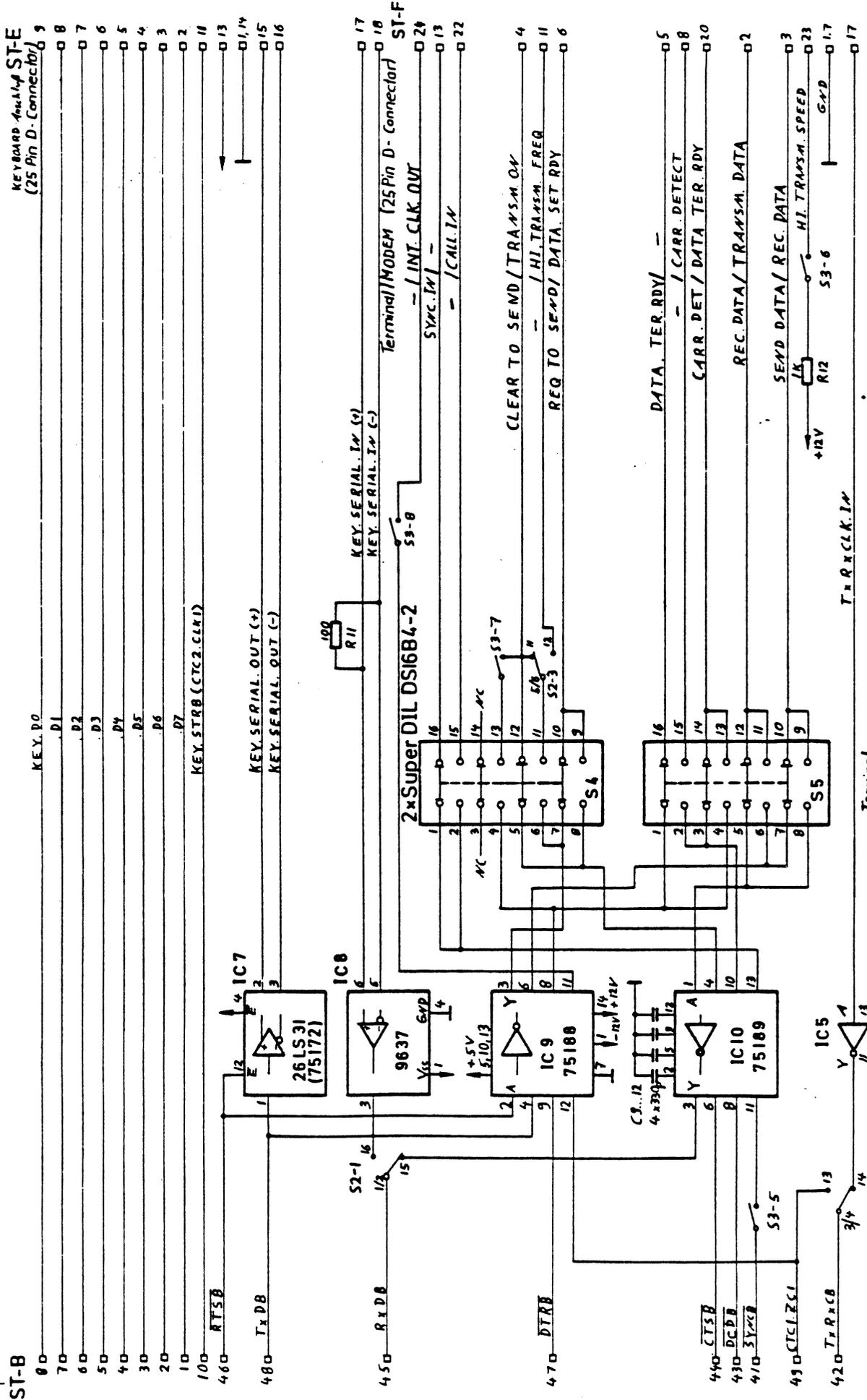
KOBUS
ST-C

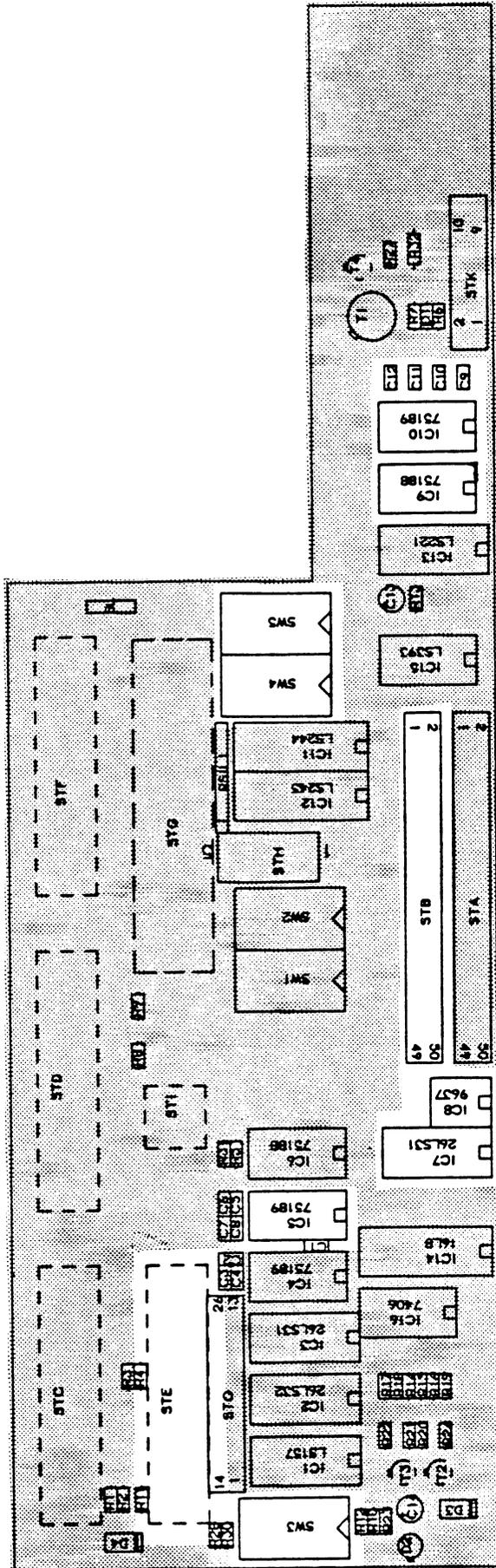


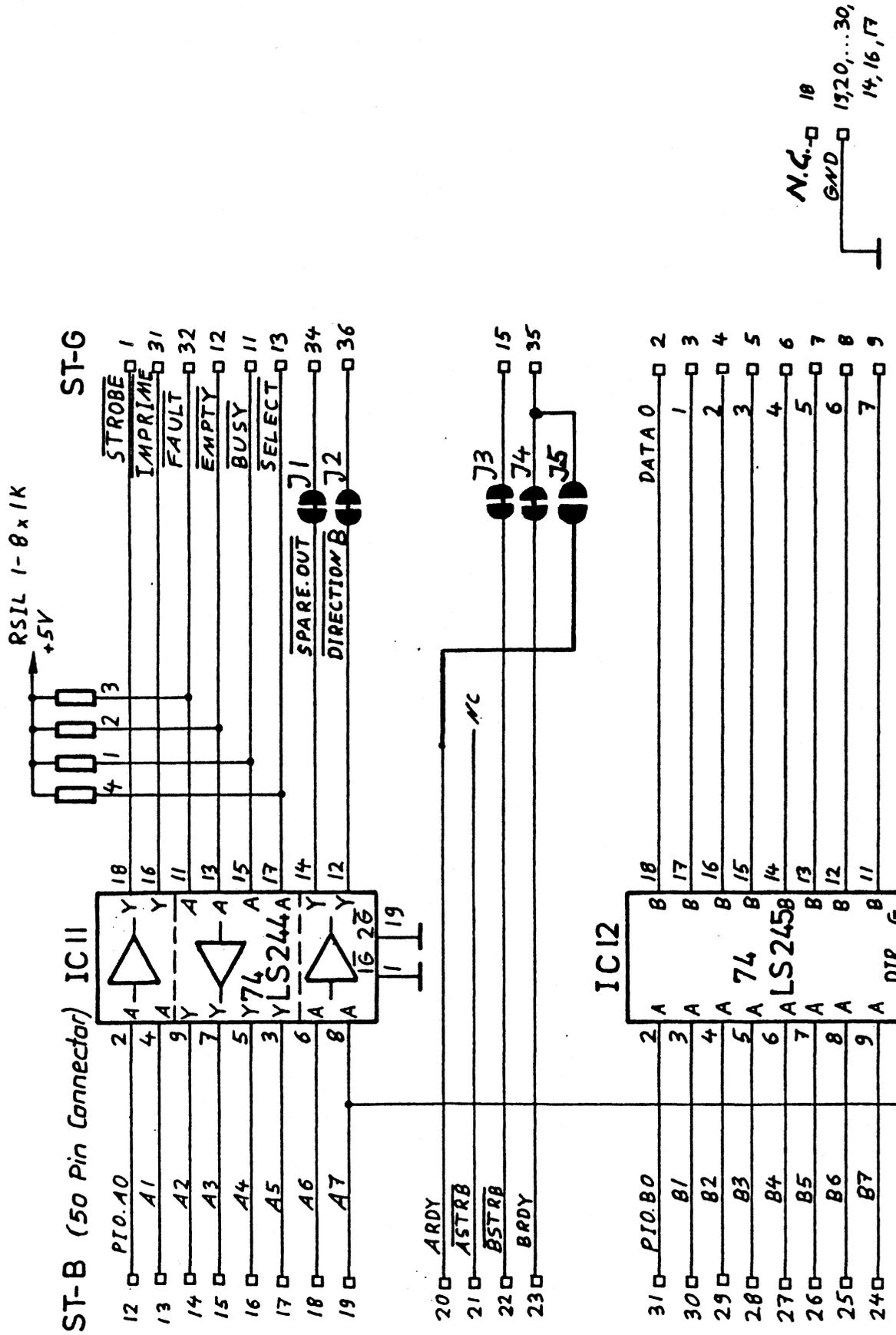
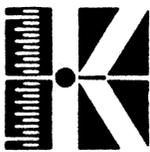


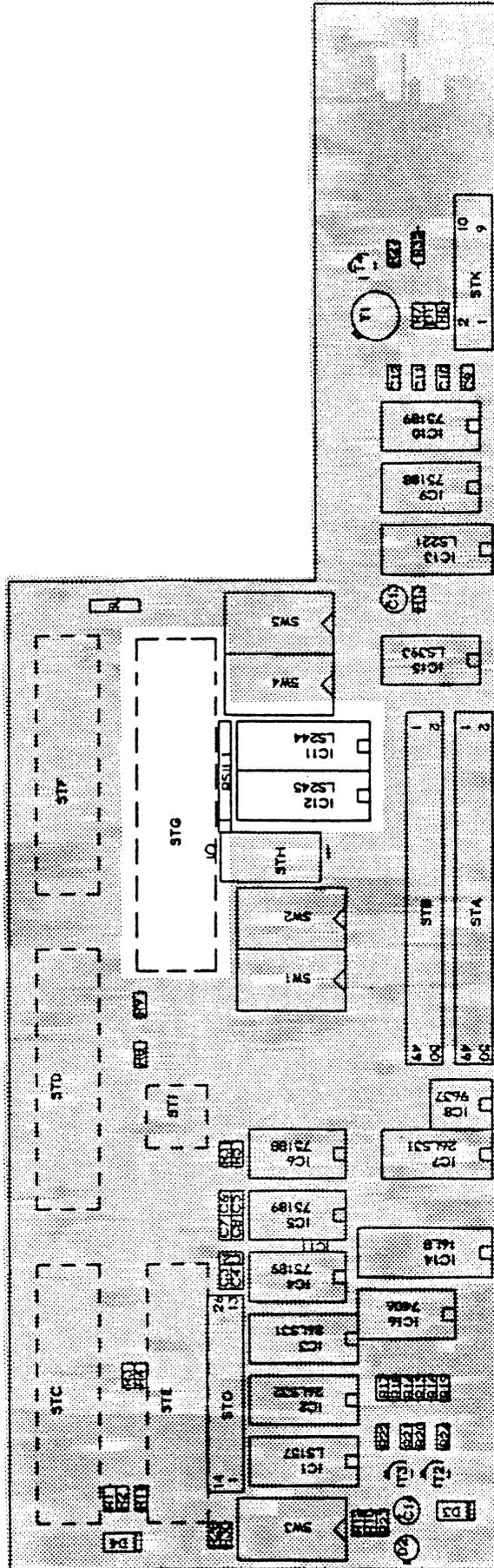


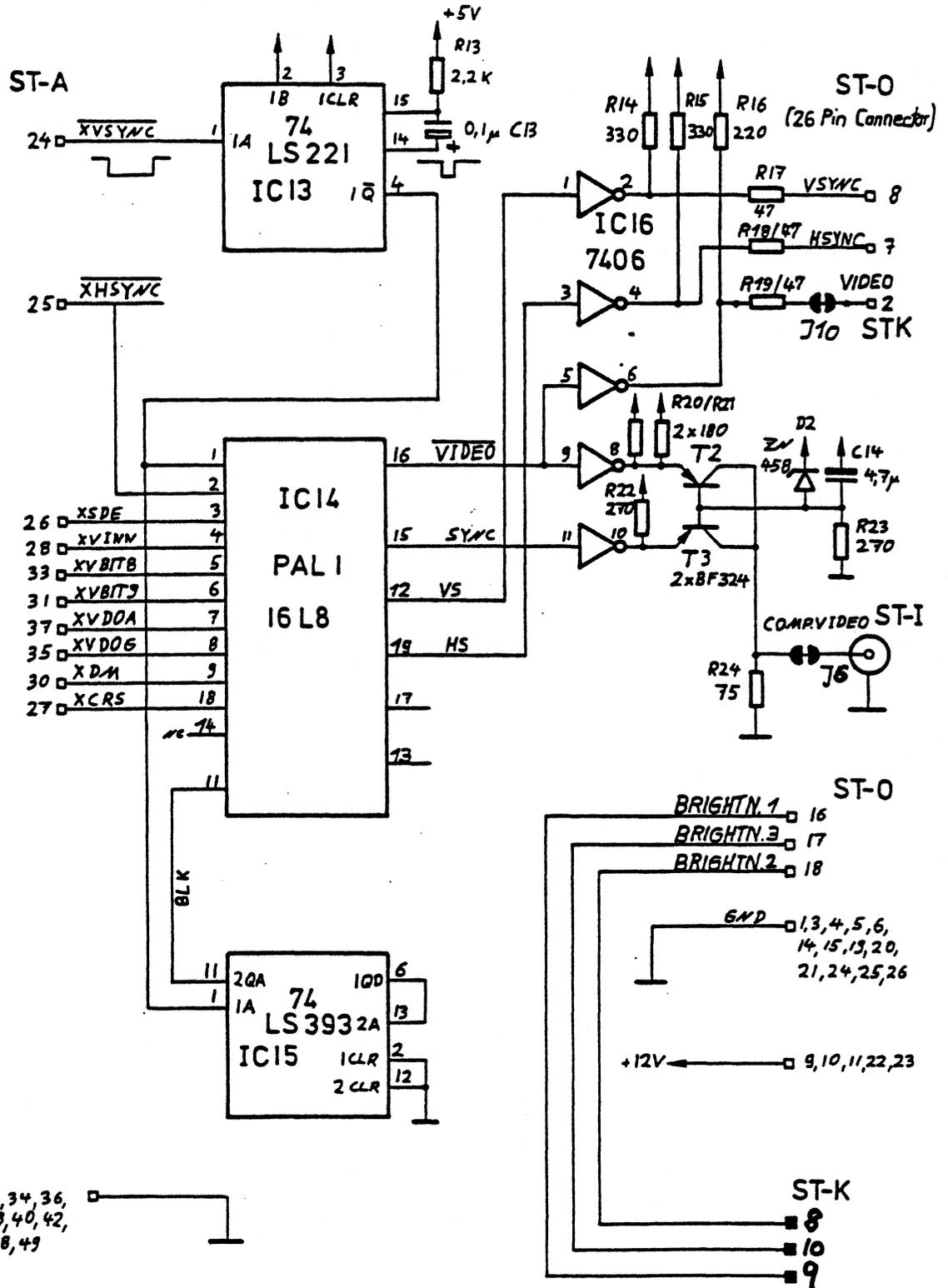
Serviceanleitung für 98/I0C

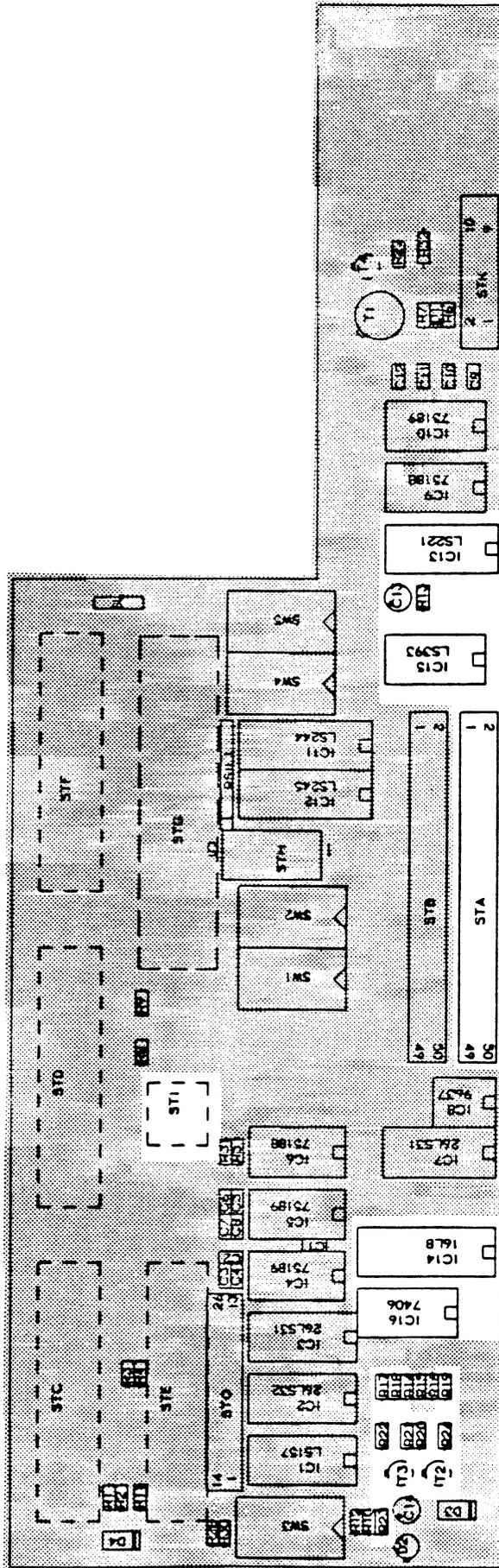


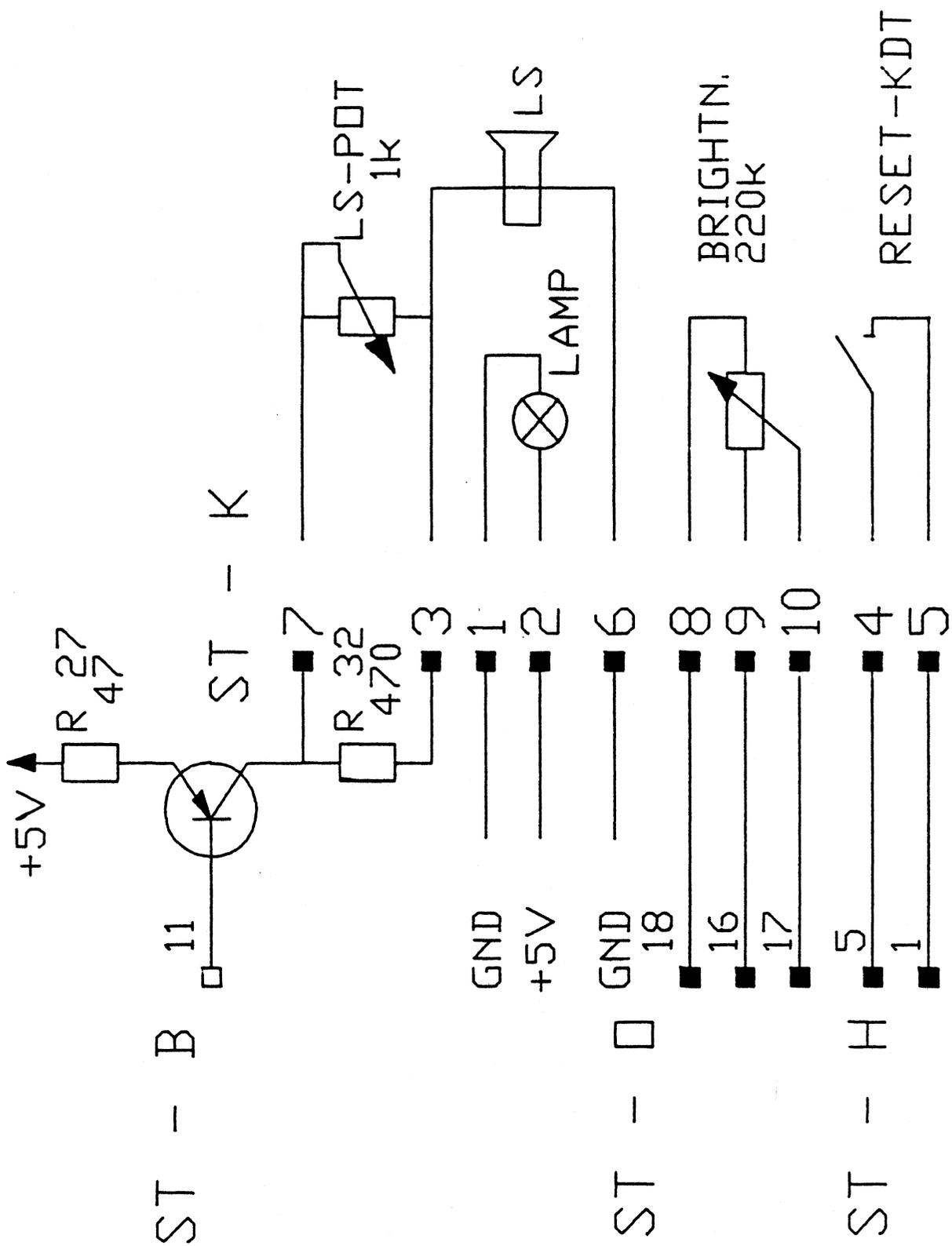
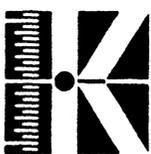


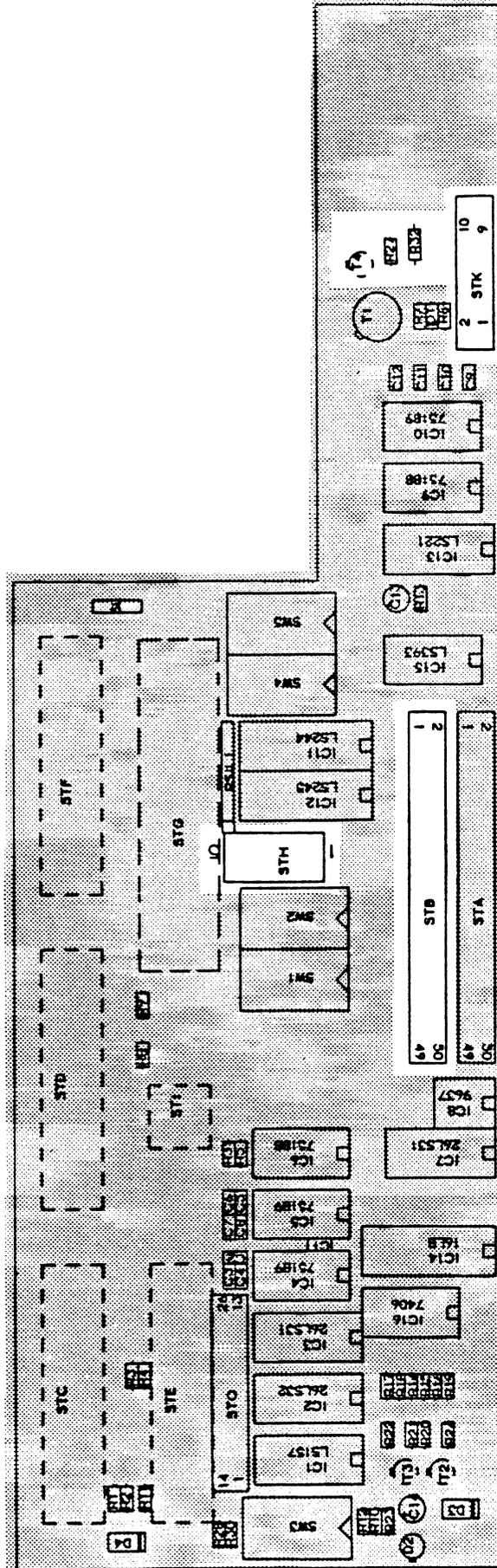


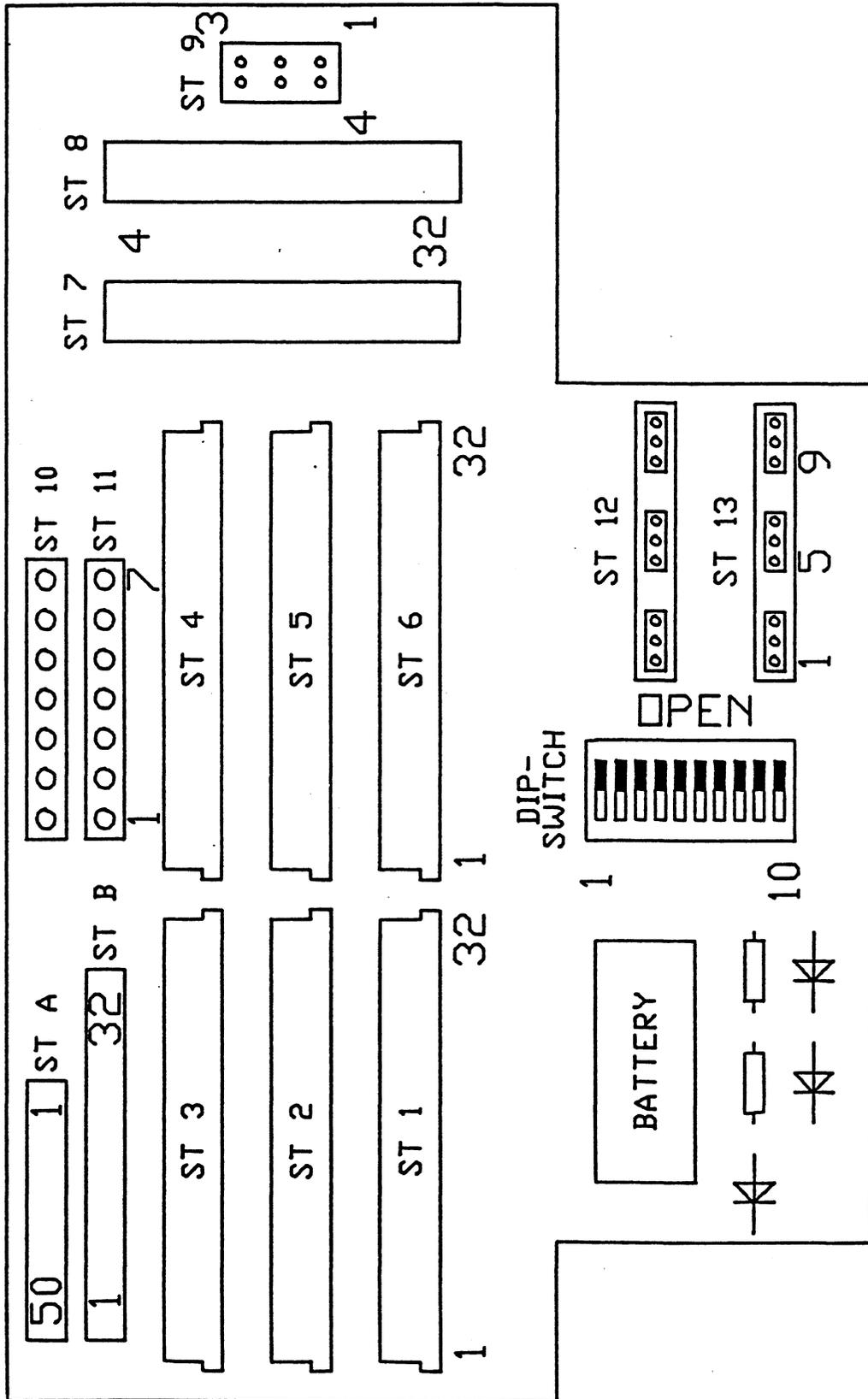




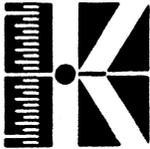








Bestückungsplan Bus 98

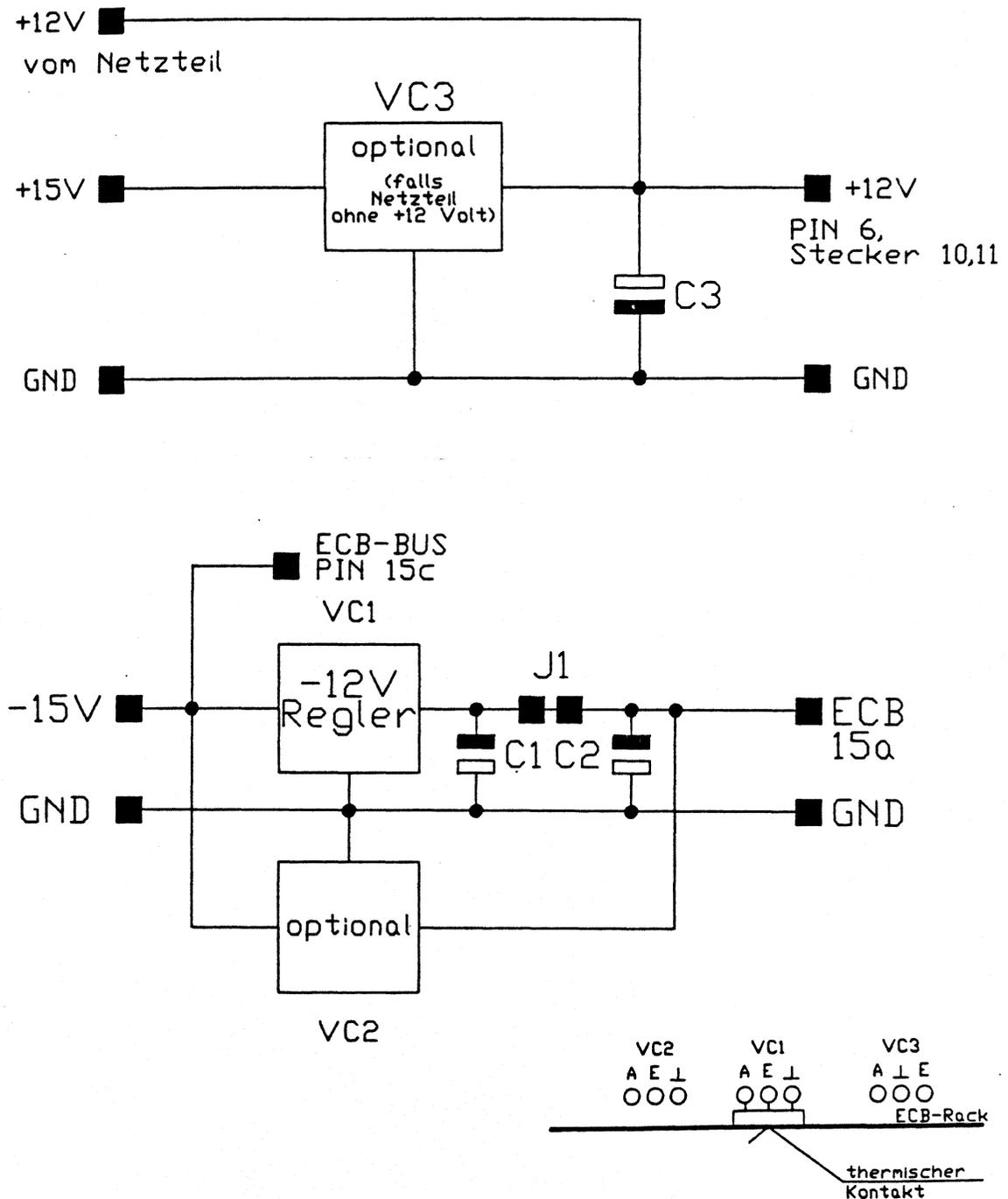


BUS-Platine Kontron PSI 98

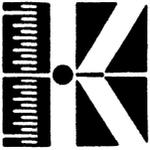
Der Bus enthält neben den logischen Signalen die Stromversorgungsleitungen, wobei die Leiterbahnen auch für den Einsatz von 24V/5V Gleichspannungswandlern ausgelegt sind.

Für den Einsatz von ECB-Karten, die -5 Volt Versorgungsspannung benötigen, kann die Busplatine optional mit einem entsprechenden Spannungsregler bestückt werden; standardmäßig ist der Bus nur mit einem Spannungsregler für -12 Volt bestückt.

Falls Netzteile verwendet werden, die keine +12 Volt liefern, kann alternativ ein Spannungsregler hierfür vorgesehen werden:

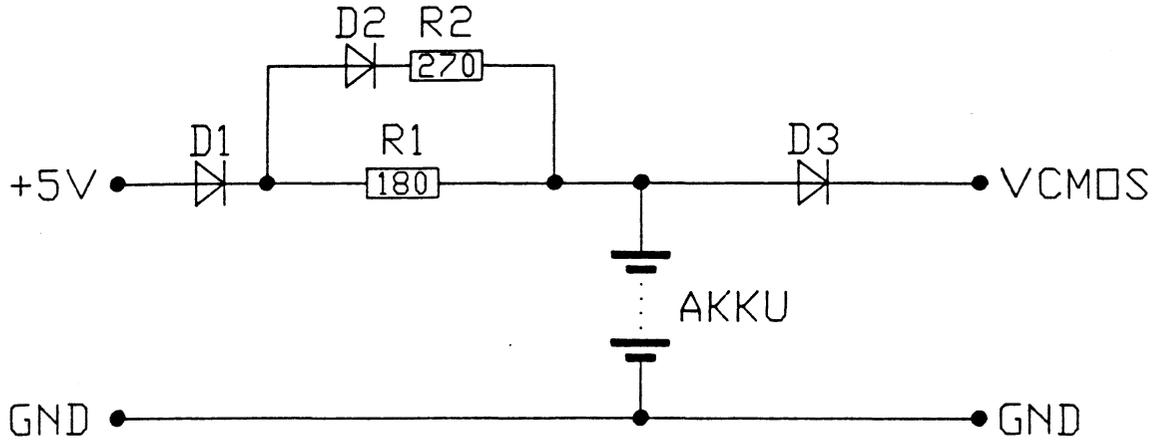


Spannungsregler auf dem Bus 98

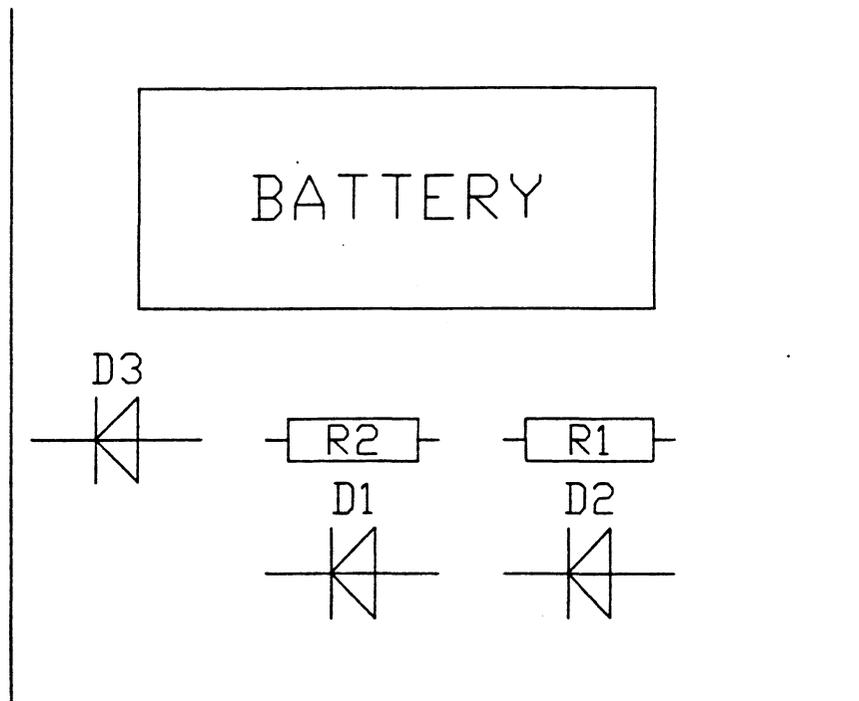


Batteriepufferung:

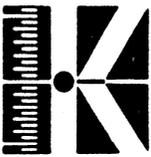
Auf dem Bus ist ebenfalls eine NiCd-Batterie mit zugehöriger Ladeschaltung untergebracht, die Kapazität beträgt 110 mAh bei 3.6 Volt.



D1-D3: AA139



Ladeschaltung auf dem Bus 98



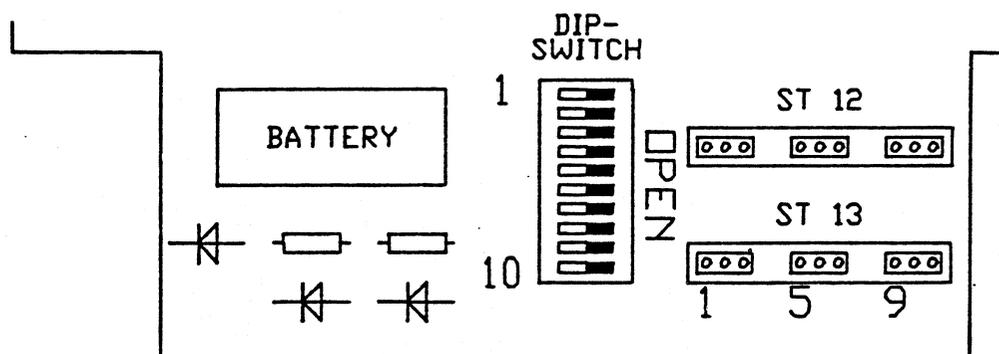
Sonstiges:

Zur Vermeidung von Masseschleifen werden keine Versorgungsleitungen über Stecker A und B geführt.

Die Interrupt- und Busacknowledge-Daisychain ist von Steckplatz 1 bis 6 über einen 10-fach DIP-Switch überbrückbar.

Hierbei gilt die Zuordnung:

Steckplatz	Verbindung 11c-16c (IEI - IE0)	12a-17a (BAI - BAO)
1	SW1	SW2
2	SW3	SW4
3	SW5	SW6
4	SW7	SW8
5	SW9	SW10
6	-	-



DIP-Schalter auf dem Bus 98



Funktion der einzelnen Stecker:

Siehe dazu: Bestückungsplan auf Seite 1.

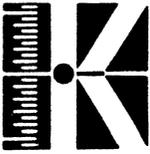
Stecker A	Verbindungsstecker KDT6 - Busplatine
Stecker B	Verbindungsstecker frei
Stecker 1...6	ECB-Steckplätze
Stecker 7, 8	Steckplätze für Netzteile
Stecker 9	220V/24V - Spannungszuführung
Stecker 10, 11	Powerstecker für KDT 6 und IOC/98
Stecker 12	Powerstecker für Peripherie
Stecker 13	dto.
Stecker 14	dto.
Stecker 15	ext. Power für Monitor

Verbindungen zwischen Stecker B und Stecker 3

Bis auf die Leitungen 11c, 16c, 12a, 17a, 32a, 32c, 1a, 1c, 13a, 15a, 15c, 19a, 24a sind alle Leitungen 1:1 durchverbunden.

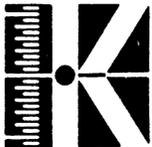
Verbindungen zwischen Stecker 1 und Stecker 2,3,4,5,6

Alle Leitungen bis auf die Pins 11c, 12a, 16c, 17a sind jeweils 1:1 durchverbunden.



Verbindungen Stecker A (50-polig) ---- Stecker B (64-polig)

Pin von Stecker A	Signal	Pin von Stecker B
1	A0	5c
2	A1	7c
3	A2	6a
4	A3	6c
5	A4	7a
6	A5	8a
7	A6	9a
8	A7	9c
9	A8	8c
10	A9	30a
11	A10	18c
12	A11	17c
13	A12	27c
14	A13	29a
15	A14	18a
16	A15	28c
17	A16/MBS0	10c
18	A17/MBS1	12c
19	A18/MBS2	13c
20	A19/MBS3	14a
21	A20/MBS4	23c
22	A21/MBS5	19c
23	A22/MBS6	21a
24	A23/MBS7	22a
25	D0	2c
26	D1	14c
27	D2	4c
28	D3	4a
29	D4	5a
30	D5	2a
31	D6	3a
32	D7	3c
33	-HALT	25c
34	-RFSH	28a
35	-IORQ	27a
36	-M1	20a
37	-WR	22c
38	-RD	24c
39	-MRQ	30c
40	-BUSRQ	11a
41	-INT	21c
42	-NMI	20c
43	-PWCLR	26c
44	-WAIT	10a
45	-IEO	16c
46	-BAO	17a
47	not connected	
48	CLK	29c
49	not connected	
50	-RESET	31c



Belegung Stecker B = ECB-Bus Standard (ausgenommen Spannungen und Ground).

Belegung Stecker 1...6 = Belegung ECB-Bus Standard

Pinbelegung ECB-Bus

	Benennung	Pin	Bezeichnung
Adreßbus:	A0	5c	Adresse 0
	A1	7c	Adresse 1
	A2	6a	Adresse 2
	A3	6c	Adresse 3
	A4	7a	Adresse 4
	A5	8a	Adresse 5
	A6	9a	Adresse 6
	A7	9c	Adresse 7
	A8	8c	Adresse 8
	A9	30a	Adresse 9
	A10	18c	Adresse 10
	A11	17c	Adresse 11
	A12	27c	Adresse 12
	A13	29a	Adresse 13
	A14	18a	Adresse 14
	A15	28c	Adresse 15
	DO	2c	Data 0
	D1	14c	Data 1
	D2	4c	Data 2
	D3	4a	Data 3
	D4	5a	Data 4
	D5	2a	Data 5
	D6	3a	Data 6
	D7	3c	Data 7
Bank Select:	A16 (-MBS0)	10c	Adresse 16 (Mem.Bank Sel.0)
	A17 (-MBS1)	12c	Adresse 17 (Mem.Bank Sel.1)
	A18 (-MBS2)	13c	Adresse 18 (Mem.Bank Sel.2)
	A19 (-MBS3)	14a	Adresse 19 (Mem.Bank Sel.3)
	A20 (-MBS4)	23c	Adresse 20 (Mem.Bank Sel.4)
	A21 (-MBS5)	19c	Adresse 21 (Mem.Bank Sel.5)
	A22 (-MBS6)	21a	Adresse 22 (Mem.Bank Sel.6)
	A23 (-MBS7)	22a	Adresse 23 (Mem.Bank Sel.7)*
Steuerbus:	-M1	20a	Maschinenzyklus 1
	-MRQ	30c	Memory Request
	-IORQ	27a	IN/OUT Request
	-RD	24c	Read
	-WR	22c	Write
	-RFRSH	28a	Refresh
	-HLT	25c	Halt

* auf KDT6 nicht verbunden (wird von manchen Karten als Ausgang verwendet, z.B. ECB/HC)

Hinweis: Aktiv-Low-Signale sind mit einem Minuszeichen gekennzeichnet.
Alle Bussignale dürfen mit ca. 7 TTL-Eingängen belastet werden (ca. 30 LS TTL-Lasten).



Benennung	Pin	Bezeichnung

Verschiedenes: -WAIT	10a	Wait
-INT	21c	Interrupt
-NMI	20c	non maskable Int.
-RESET.IN	31c	Eingangssignal f. Reset-Logik

IEI	11c	Int. enable in
IEO	16c	Int. enable out

-PWRCL	26c	Power on clear (Reset für angeschlossene Karten)
CLK	29c	Clock 4.0 MHz (MOS-Pegel)
2 x CLK	16a	2 x Clock
n x CLK	25a	n x Clock

-BUSRQ	11a	Busrequest
-BUSAK	31a	Busacknowledge
BAI	12a	Busprioritätssteuerung Ein
BAO	17a	Busprioritätssteuerung Aus

-WRITE EN	26a	Write Enable
-DPR	23a	

+5	1a,c	+ 5V
GND	32a,c	Ground
+12	13a	+ 12V
-12	15a	- 15V
+15	19a	+ 15V
-15	15c	- 15V für AD-Wandler
VCMOS	24a	+ 5V Batterie-Spg. (Notstrom)



Belegung Stecker 9 1,2,3 = 220 Volt bzw. 24 Volt
 4,5,6 = 220 Volt bzw. 24 Volt

Belegung Stecker 10,11 1 RESET
 2 Powerfail
 3 VCMOS
 4 -12 Volt
 5 + 5 Volt
 6 +12 Volt
 7 GND

Belegung Stecker 12 1 GND
 2 + 5 Volt
 3 +12 Volt
 4 nicht belegt
 5 GND
 6 + 5 Volt
 7 +12 Volt
 8 nicht belegt
 9 GND
 10 + 5 Volt
 11 +12 Volt

Belegung Stecker 13 1 nicht belegt
 2 GND
 3 +12 Volt
 4 nicht belegt
 5 GND
 6 + 5 Volt
 7 +12 Volt
 8 nicht belegt
 9 GND
 10 + 5 Volt
 11 +12 Volt



Inhaltsverzeichnis:		Seite
1.	Allgemeines	TA-2
2.	Schaltungsbeschreibung	TA-7
3.	Einstellen der Betriebsparameter	TA-10
	3.1 Schalterstellungen	TA-12
	3.2 Anschlußbelegungen	TA-13
4.	Serviceanleitung	TA-16
5.	Pläne	TA-24
	5.1 Schaltplan	TA-24
	5.2 Bestückungspläne	TA-25
	5.3 Tastenlayout mit Codelisting	TA-27
6.	Testpromlisting	TA-61
	6.1 Adress - Bus - Test	TA-61
	6.2 Decoder - und Peripherie - Test	TA-63



1. Allgemeines

Die Tastatur 1035 ist in vier verschiedenen Ausführungen erhältlich, die sich durch das Tastenkappenlayout sowie der im EPROM gespeicherten Betriebssoftware unterscheiden.

Folgende Zusammenstellung zeigt einen Überblick über alle Tastaturversionen mit Versionsnummern und benötigter Software sowohl in der Tastatur als auch im angeschlossenen System.

	Microcomputer French	Microcomputer German	Microcomputer International	Meßtechnik International

Versions-Nr.	285.0010	285.0007	285.0009	285.0011
EPROM	KB1035 1.1	KB 1035 1.1	KB1035 1.1	KB1035 1.1
Aufschrift	MCB 1.0	MCG 2.1	MCI 1.0	MTI 1.2
Check-Summe	418E Hex	7FES Hex	C83C Hex	CC2D Hex
Rev.-Nr.	1.0	2.1	1.0	1.2
vom	6.8.83	4.8.83	6.8.83	24.8.83
System- software	KOS 6.04 vom 10.8.83	KOS 6.04 vom 10.8.83	keine Einschränkung	
		CP/M V6.20 vom 2.8.83	US-ASCII-Videoprom	
	+ entspr. Videoprom	+ entspr. Videoprom		

Hinweis: Wie bereits aus der Tabelle hervorgeht, können nur dann alle Funktionen der Tastatur voll ausgeschöpft werden, wenn bei den beiden nationalen Versionen Microcomputer Deutsch und Microcomputer French im angeschlossenen System das entsprechende Betriebssystem sowie ein dazu passendes Characterprom vorhanden sind.

Jede Tastaturversion kann optional mit einem Schlüsselschalter ausgerüstet werden. Er befindet sich auf dem Tastaturfeld rechts oben. Die Tastatur kann dadurch gesperrt und gegen unbefugte Betätigung gesichert werden.



Besonderheiten:

Um eine schnelle und fehlerfreie Dateneingabe zu ermöglichen, wurde für alle Tasten N-KEY-roll-over verwirklicht, d.h. bereits gedrückte und festgehaltene Tasten setzen keinen Code mehr an den Rechner ab. Lediglich die zuletzt neu gedrückte Taste wird an den Rechner weitergegeben. Dieses Verfahren macht sich vor allem bei Sekretärinnen und Datentypistinnen mit hoher Anschlagszahl in einer wesentlich geringeren Fehlerrate bemerkbar, als bei vergleichbaren Tastaturen ohne N-Key-Roll-over.

Zur schnellen Erstellung von Tabellen, Listen oder ähnlichem wurde für alle Tasten die Auto-Repeat-Funktion verwirklicht. Bei einem Tastendruck, der länger als 0.7 Sekunden dauert, wird die Auto-Repeat-Funktion (Wiederholrate 10 Zeichen/sec.) für die Dauer des Tastendrucks wirksam.

Um eine individuelle Anpassung des Keyboards an beliebige Rechner zu ermöglichen, lassen sich verschiedene Betriebs-Parameter über einen DIP-Schalter im Inneren des Gehäuses einstellen. Das Keyboard 1035 erlaubt zudem die Auswahl unter drei verschiedenen Schnittstellen zum Rechner:

- Parallel
- RS422
- Open Collector

Umschaltung international/national (Versionen German, French)

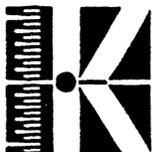
Da für verschiedene Anwendungen anstelle der deutschen (französischen) Sonderzeichen auch die eckigen und geschweiften Klammern, sowie Sonderzeichen des amerikanischen Satzes benötigt werden (z.B. für UNIX), wurden diese Tasten zusätzlich im Tastenblock für die Cursorsteuerung implementiert, der sich rechts neben dem Schreibmaschinenfeld befindet.

Das Umschalten zwischen nationalem und internationalem Zeichensatz geschieht durch die Taste "DIN" ("Mode"). Nach dem Einschalten der Tastatur ist der nationale Zeichensatz aktiviert. Dies wird durch das Leuchten der LED gekennzeichnet, die sich in der "DIN"- ("MODE-") Taste befindet. Werden im nationalen Modus die Tasten [,] , { , } , @ und \ , betätigt (bei der deutschen Version zusätzlich ; und ~), so wird dies durch einen Error-Pieps quittiert, ohne daß ein Code an den Rechner abgesendet wird.

Bei eingeschaltetem internationalen Zeichensatz wird entsprechend eine Betätigung der nationalen Sondertasten mit einem Error-Pieps quittiert.

Das Umschalten zwischen den beiden Modi erfolgt durch Aussenden einer bestimmten Hex-Kombination an das System:

national	----->	international	EF Hex
international	--->	national	EE Hex



Das Betriebssystem filtert diese Codes heraus und veranlaßt die Umschaltung des Videoteils. Dies erklärt die Notwendigkeit entsprechender Systemsoftware.

Die Funktionstastenbelegung ist unabhängig von SHIFT, CONTROL und CAPS nur mit "F" (Taste KG13) in 3 Ebenen umschaltbar. Bei jedem Druck auf "F" wird auf die nächsthöhere Ebene geschaltet (von Ebene 1 nach 2, von 2 nach 3 und von 3 nach 1).

Die in die Funktionstasten integrierten LED's sind dauernd dunkel geschaltet, während die Label-LED der gewählten Ebene leuchtet.

Abweichungen der Version Meßtechnik International

Diese Version wurde speziell für die Entwicklungssysteme KDS, KSE und LASER entwickelt.

Hier lassen sich die Ebenen der Funktionstastenreihen auch in umgekehrter Reihenfolge wählen. Dies geschieht durch gleichzeitiges Drücken der Tasten "FUNC SEL" und "SHIFT". Somit kann ohne Umweg über eine dritte Ebene jederzeit jede Ebene angewählt werden.

Zusätzlich wird bei jeder Betätigung von "FUNC SEL" ein Code an den Rechner gesandt, um diesem die Ebenenumschaltung mitzuteilen.

Es werden folgende Codes gesendet:

aktueller Label	CODE (Hex)	neuer Label
1	CB	2
1	07	3
2	D2	1
2	07	3
3	D2	1
3	CB	2

Die einzelnen Ebenen sind wie folgt belegt:

Label 1 ----> Emulator, Editor
Label 2 ----> Logic Analyzer
Label 3 ----> nicht belegt (alle Tasten senden 07 Hex)
für spätere Erweiterungen

Die LED's der Funktionstastenreihe sowie der Taste "START/STOP" (KG16) sind dauernd dunkel geschaltet.

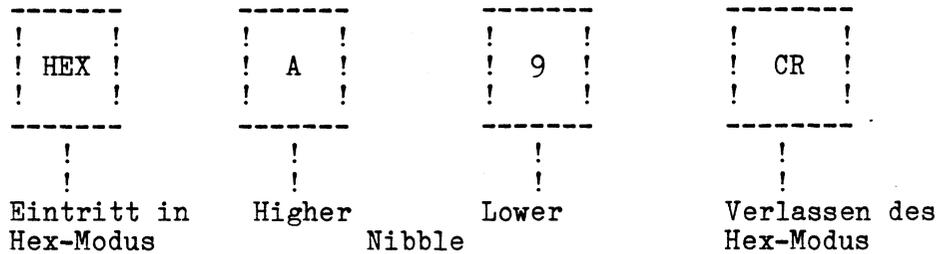


In der Funktionstastenreihe und im Cursorblock werden in der Meßtechnikversion zum Teil Codes verwendet, bei denen das achte Bit gesetzt ist. Diese Codes erfüllen mit der entsprechenden Rechnersoftware (KDS, KSE etc.) genau die auf der Taste aufgedruckte Funktion.

Während die Mikrocomputerversionen rechts außen ein Zahlenfeld ähnlich dem eines Taschenrechners besitzen, ist in der Meßtechnikversion eine Hex-Zahlen-Tastatur implementiert, die ASCII-Codes absendet. Die Zeichen stellen somit einen Auszug aus dem Schreibmaschinenfeld dar. Zusätzlich ist die Taste "HEX" vorhanden, die das Absenden beliebiger Hexcodes an den Rechner erlaubt.

Nach dem Drücken von "HEX" erwartet das Keyboard die Eingabe von "Higher Nibble" und "Lower Nibble" der gewünschten Hexzahl.

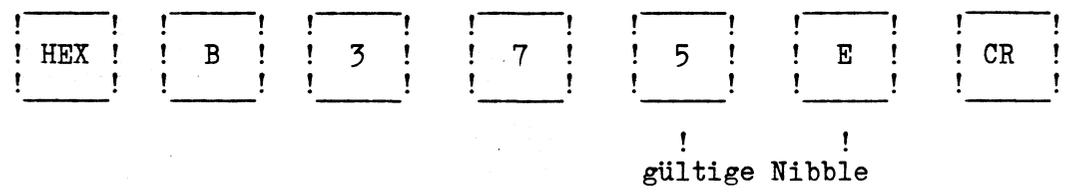
Also:



Erzeugt den Code A9 Hex. Alle Codes zwischen 00 Hex und FF Hex sind erzeugbar. Nachdem "HEX" gedrückt wurde, sind alle Tasten des Keyboards außer den Tasten "HEX", "0"..."9", "A"..."F" und "CR" des Zahlenblocks gesperrt und senden bei Betätigung einen Fehler-ton ab, ohne einen Code an den Rechner zu schicken.

Hat der Benutzer versehentlich "HEX" gedrückt, kann er diesen Mode durch nochmaligen Druck auf diese Taste wieder verlassen, ohne daß ein Code an den Rechner gesendet wird, der evtl. Fehler verursachen könnte.

Jede Eingabe von "Higher Nibble" und "Lower Nibble" muß durch die "CR"-Taste (KA53) des Zahlenfeldes abgeschlossen werden. Erst dann wird der gewünschte Code an den Rechner abgesandt. Um evtl. Eingabefehler korrigieren zu können, werden nur die letzten 2 Tasteneingaben vor der "CR"-Taste als gültige Nibble verwertet:





2. Schaltungsbeschreibung

Herzstück des Keyboards ist der Prozessorbaustein P 8031 AH der Firma Intel. Dieser Baustein beinhaltet neben dem Mikroprozessor einen parallelen Port (P1.0 bis P1.7), ein internes RAM-Register sowie einen UART (Universeller asynchroner Empfänger und Sender). Der Prozessorbaustein besitzt einen gemultiplexten Adreß-Datenbus.

Dies hat zur Folge, daß die auf denselben Leitungen herausgeführten Signale AO...A7 und DBO...DB7 getrennt werden müssen.

Dazu dient das Signal ALE (Address Latch Enable = Adreß-Speicher-Freigabe). Ist ALE "High", so werden die Datenbits DBO...DB7 im Speicherbaustein IC7 (74HC373) übernommen und stehen als Adreßbits AO...A7 zur Verfügung.

Der Prozessor wird mit einer Taktfrequenz von 5.5296 MHz versorgt. Dazu dient das Quarz Q1 sowie C1.

Sämtliche Funktionen des Keyboards sind softwaregesteuert. Die nötigen Informationen sind im EPROM IC8 abgelegt. Es können verschiedene EPROM-Typen zum Einsatz kommen, wie z.B. die Typen 2716 oder 2732. Bei diesen beiden Typen muß sich der Lötjumper JL1 in Stellung 1-2 befinden. Wird ein EPROM des Typs 2764 eingesetzt, so muß die Verbindung 1-2 aufgetrennt werden und stattdessen 2 mit 3 verbunden werden. Außerdem muß dann ein 28-poliger Sockel eingelötet werden. (Dies ist für eventuelle spätere Erweiterungen vorgesehen. Zur Zeit ist nur Software im 2732 Typ erhältlich).

Pin 20 (\overline{CE}) ist auf Masse gelegt - das ROM wird also stets angesprochen.

Die CPU kann maximal 128k Speicher adressieren. Da aber nur 16 Adreßbits (= 64k Speicher) vorhanden sind, muß eine Unterscheidungsmöglichkeit zwischen zwei 64k-Bereichen gegeben sein. Dies geschieht mittels des Signals \overline{PSEN} (Program Storage Enable) der CPU. Ist dieses Signal "LOW", so wird das EPROM gelesen.

Optional kann ein RAM eingesetzt werden, um Down-Load-Funktionen zu ermöglichen, d.h. vom System kann dieses RAM belegt werden um das Senden beliebiger Stringfunktionen zu ermöglichen. Dieses RAM wird dann selektiert, wenn die Signale RD (Read) oder \overline{WR} (Write) der CPU aktiv, d.h. "LOW" sind sowie das Adreßbit A11 gesetzt ist. Diese Möglichkeit ist nicht implementiert.

Die übrigen Signale und Bausteine lassen sich am besten durch die Funktion des Keyboards erklären.

Nach dem Einschalten des Keyboards, also nach dem Anlegen der Stromversorgung, erfolgt ein Power-On-Reset. P1.7 wird "High" und der 1 aus 16 Dekoder 74HC154 wird disabled. Außerdem wird PIN11 von IC11 "LOW". Diese beiden Maßnahmen haben zur Folge, daß am Leseregister IC2 (74HC244) die im DIP-Schalter eingestellte Kombination ansteht. Mit diesem Schalter werden die Betriebsparameter der Software (z. B. Baudrate etc.) festgelegt.



Da diese Parameter nur nach einem Power-on-Reset ausgelesen werden, muß das Keyboard nach jeder Änderung der Parameter spannungslos gemacht werden, damit die Änderungen vom Keyboard auch erkannt werden.

Das Leseregister wird mit dem Signal \overline{RDR} (Read Row Sense Buffer) selektiert. Dieses Signal wird mit dem Decoder IC12 aus den Adreßbits A0 bis A2 erzeugt. Die Adreßleitung A11 wirkt als Freigabesignal dieses Decoders. Ist A11 "High", so wird das RAM angesprochen, bei "Low" der Decoder.

Die Steuerung der LED's geschieht über die Register 74HC374, die die anstehenden Daten bei einer positiven Clock-Flanke übernehmen und auf die Ausgänge legen.

Die Signale $\overline{LLR1} \dots \overline{LLR3}$ (Load Lamp Register) bilden dabei die jeweiligen Clock-Signale. Auf dieselbe Weise werden die Datenleitungen für das Parallelinterface belegt. Das Clock-Signal dazu heißt LPT1 (Load Parallel Interface).

Nach der Initialisierung des Keyboards wird der Decoder IC1 freigegeben (\overline{SECOL} = Select Column) und die Spalten C0 bis C9 werden zyklisch alle 10 msec abgefragt. Das zyklische Durchschalten wird durch die Signale SC0...SC3 (Select Column 0...3) bewirkt, die von der CPU an den Decoder übergeben werden.

Die Tasteninformation wird auf die Datenleitung gegeben und der im EPROM gespeicherte Code ausgegeben.

Sämtliche Funktionen wie Tastenentprellung, N-Key-Rollover (es werden neu gedrückte Tasten erkannt und immer noch gedrückte Tasten ausgeblendet) und Autorepeat werden durch die Software durchgeführt.

Der eingebaute Lautsprecher wird über einen Treiber mit einem durch die Software generierten Rechtecksignal angesteuert.

Zur Umschaltung zwischen den Interfaceanschlüssen Seriell-Open-Collector und RS422 dient das Signal \overline{IFSEL} (Interface Select).

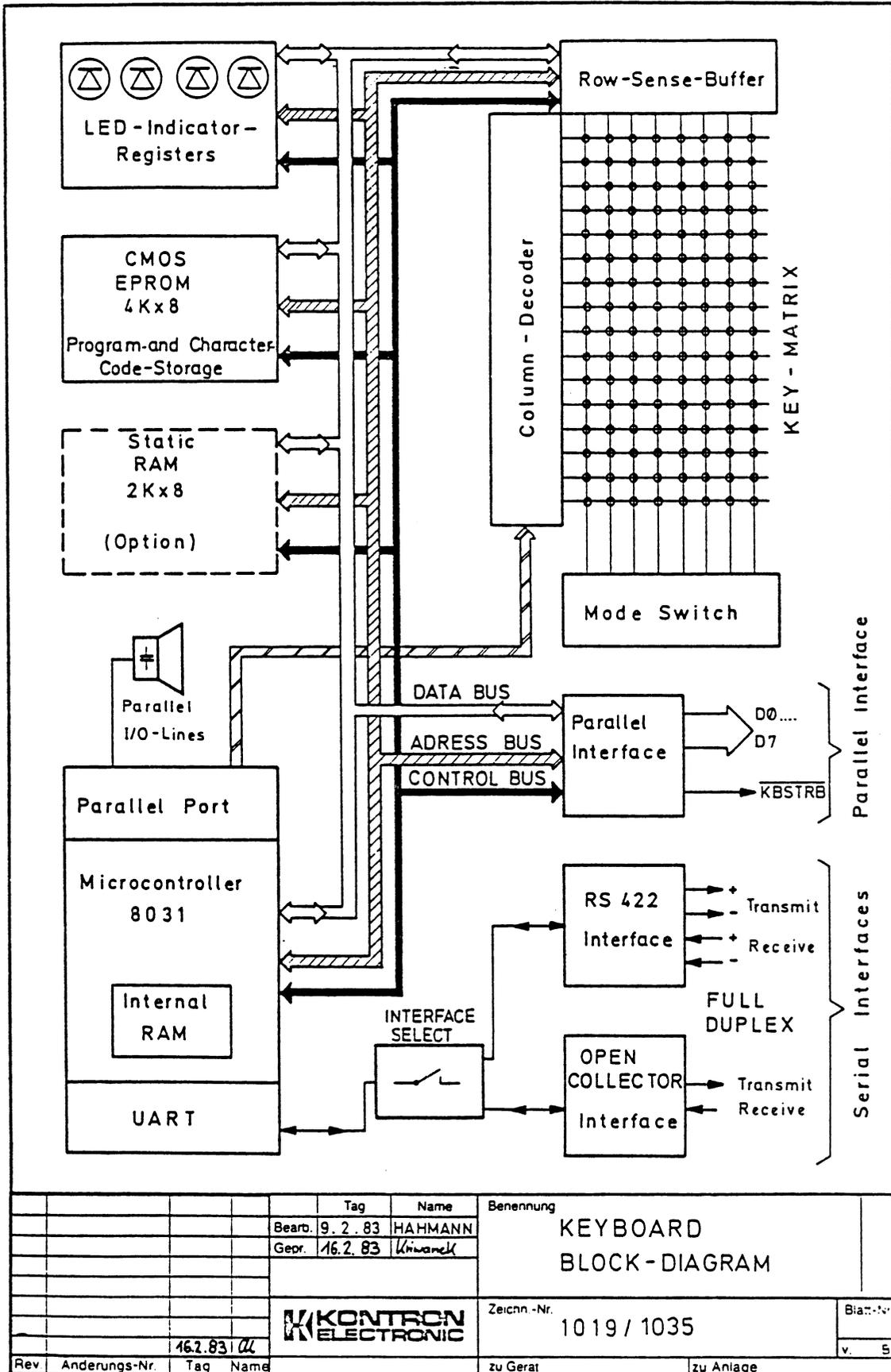
Um das Keyboard vor Überspannungen und/oder Verpolung zu schützen, ist es mit der Überspannungsschutzdiode D14 ausgerüstet, die in diesen Fällen leitend wird und einen Kurzschluß verursacht, der das Keyboard schützt.

Sämtliche wichtigen Signale sind auf einen (nicht eingelöteten) Stecker gelegt, der das Keyboard kompatibel im Sinne von zukünftigen Erweiterungen macht. Diese Anschlüsse eignen sich auch hervorragend zur Beobachtung der Signale z.B. mit einem Oszilloskop.

Um eine genaue Lokalisierung der gedrückten Tasten zu ermöglichen, ist in Serie zu jedem Taster eine Diode geschaltet.



Blockdiagramm der KONTRON Ergoline-Tastatur



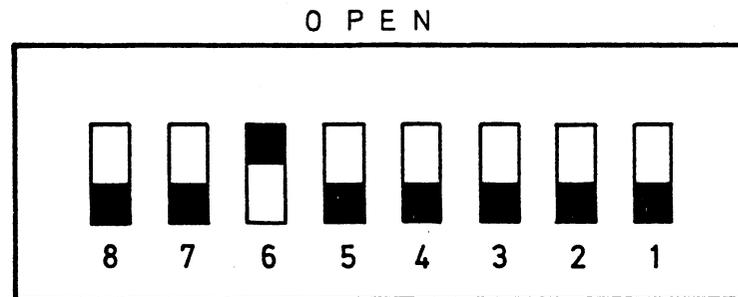


3. Einstellen der Betriebsparameter

In der Tastatur sind drei verschiedene Schnittstellen implementiert, von denen eine ausgewählt werden muß. Die Auswahl geschieht über den DIL-Schalter SW1. Gezeichnet ist der jeweilige Auslieferungsstand.

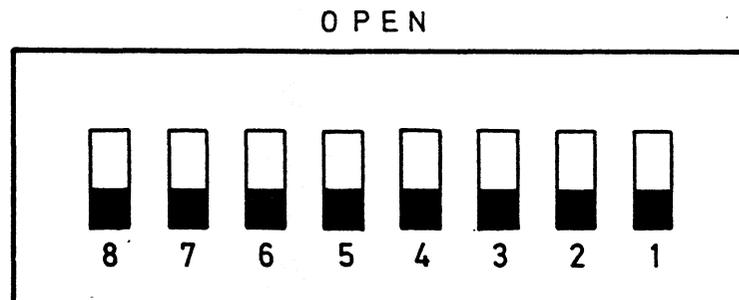
Dieser Schalter ist nach Abnehmen der Bodenplatte (4 Schrauben) zugänglich.

- parallele Schnittstelle



für alle Rechner Kontron PSI 80 (KDT5)
Kontron PSI 9xx-Serie
Meßtechnik KDS, KSE etc.

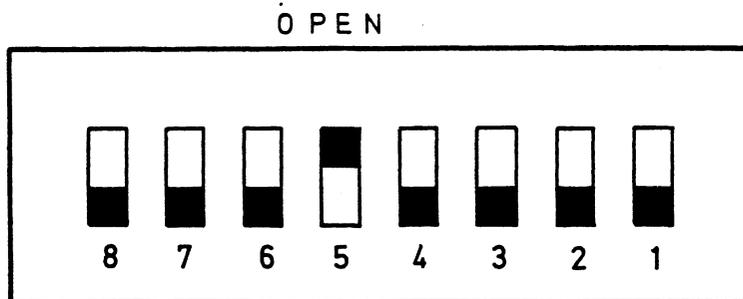
- Serielle Schnittstelle



für alle Rechner der Kontron PSI 9xx-Serie (RS422-Interface mit 9600 Baud, 2 Stop-Bits, Tongeber ein).



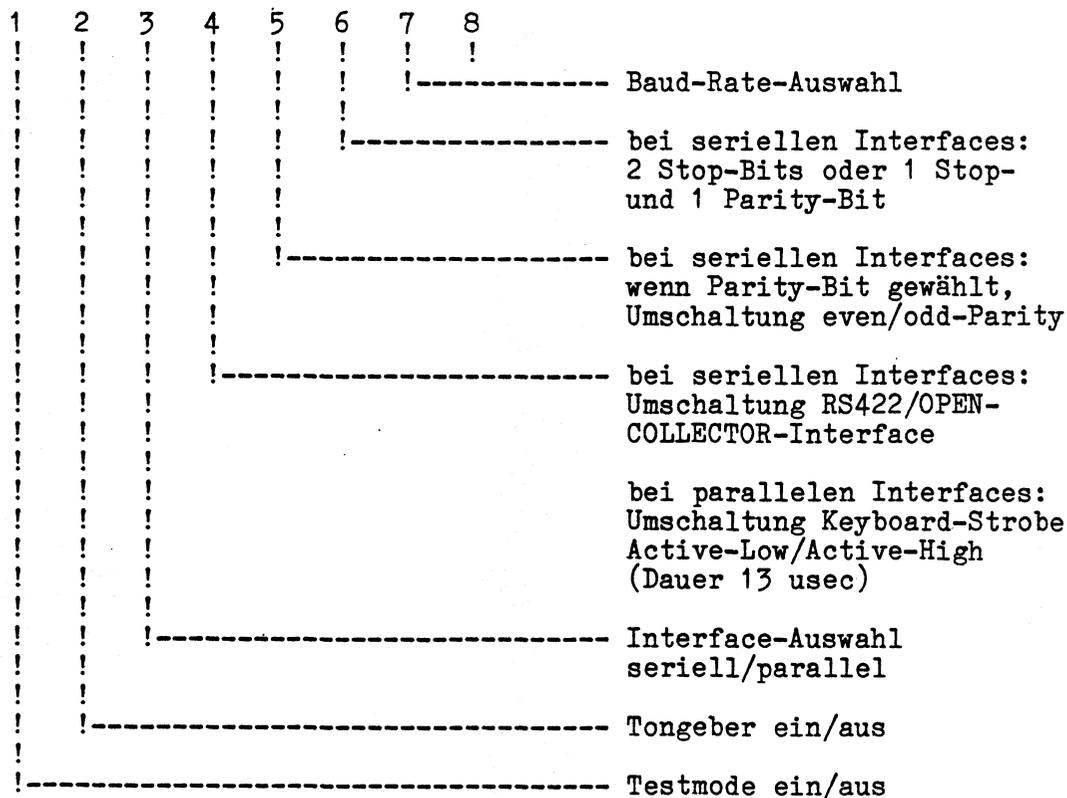
- Open Collector-Schnittstelle (nicht als Auslieferungsstand)



Tongebler ein, zwei Stop-Bits, 9600 Baud

Die Bedeutung der einzelnen Schalter lautet wie folgt:

DIL SWITCH SW1





3.1 Schalterstellungen

Einstellmöglichkeiten der Schalter (OPEN = "H")

Schalter		Funktion
SW1.1	"L"	Testmode aus, Normalbetrieb der Tastatur
	"H"	Testmode ein (nur für Prüffeld)
SW1.2	"L"	Tongebler dauernd ein, akustische Rückmeldung bei jedem Tastendruck, sowie Fehlermeldungen
	"H"	Tongebler aus, nur bei Fehlermeldungen aktiv
SW1.3	"L"	Auswahl der seriellen Schnittstellen
	"H"	Parallelschnittstelle
SW1.4	"L"	Seriellles Interface: RS422-Schnittstelle aktiviert Parallel-Interface: Keyboard-Strobe Active-Low
	"H"	Seriellles Interface: OPEN-COLLECTOR-Schnittstelle aktiviert Parallel-Interface: Keyboard-Strobe Active-High
SW1.5	"L"	Parity even } wenn Parity-Bit Parity odd } gewählt
	"H"	
SW1.6	"L"	9. Bit: 2. Stop-Bit
	"H"	9. Bit: Parity-Bit
SW1.7	SW1.8	
"L"	"L"	9600 Baud
"L"	"H"	4800 Baud
"H"	"L"	2400 Baud
"H"	"H"	1200 Baud



3.2 Anschlußbelegungen

Anschlußkonfiguration des Anschlußkabels für den Betrieb an Kontron PSI-Systemen

Die Tastatur kann, je nach System an das sie angeschlossen wird, entweder parallel oder seriell betrieben werden. Die folgende Tabelle zeigt zunächst die Anschlüsse am Lötfeld und die entsprechenden Verbindungen zum Stecker des Kabels:

Steckerbelegung der Kontron Parallelschnittstelle

Funktion:	Lötfeld Pin-Nr.	Stecker Pin-Nr.
DATA 0	13	9
DATA 1	11	8
DATA 2	10	7
DATA 3	12	6
DATA 4	16	5
DATA 5	15	4
DATA 6	7	3
DATA 7	14	2
KBSTRB	8	11
GROUND	9	1, 14
Vcc (+ 5V)	1	13

Für diese Parallel-Schnittstelle ist ein 11-adriges Kabel zu verwenden, eine Abschirmung wird empfohlen (mit Ground verbinden). Die Länge des Kabels ist so kurz wie möglich zu bemessen, um Störeinflüsse zu vermeiden. Der Querschnitt für die Versorgungsleitungen sollte mindestens 0.4 qmm betragen, für die Datenleitungen 0.1 bis 0.18 qmm. Die Länge des Kabels sollte 2.0 m nicht überschreiten.

Anmerkung: Beim Nichtfunktionieren des Keyboards nach einem Anschluß an die Systeme Kontron PSI 9xx ist mittels des Installations-Handbuchs des Systems nachzusehen, ob für parallelen oder seriellen Anschluß die richtigen Schalterstellungen beachtet wurden.



Serielle Schnittstelle RS422

Bei den Rechnern der Kontron PSI-Serie 9xx findet die RS422-Schnittstelle Anwendung, die durch die symmetrisch (differentielle) Datenübertragung besonders störsicher ist.

Die Tastatur wird mit einem Spiralkabel ausgeliefert, das für die Schnittstelle bereits komplett verdrahtet ist. Die RS422-Schnittstelle der Tastatur ist bidirektional ausgelegt, damit bei einer späteren Erweiterung des Keyboards Zeichensätze und Fehlermeldungen vom Rechner ins Keyboard übertragen werden können. Die Datenübertragung ist für die Systeme in Full Duplex Version ausgelegt (es kann gleichzeitig gesendet und empfangen werden).

Anschlußbelegung bei Full-Duplex-Übertragung:

KONTRON Serielle Schnittstelle RS422

Funktion	Lötfeld-Pin	Stecker-Pin Stecker 25-polig D-Connector, männlich
Vcc	1	13
In-	3	16
In+	4	15
OUT-	5	18
OUT+	6	17
Ground (GND)	9	1, 14

Auch hier wird eine Abschirmung empfohlen (mit Ground verbinden).

Leitungsquerschnitte: Versorgungsleitungen: > 0.4 qmm
Datenleitungen: 0.1 ... 0.18 qmm

Leitungslänge: beliebig; allerdings muß darauf geachtet werden, daß der Spannungsabfall an den Versorgungsleitungen maximal 0.3 Volt betragen darf.



4. Serviceanleitung

Diese Hinweise sollen dem Servicefachmann die Fehlereingrenzung auf Bauteilebene und somit die Reparatur erleichtern.

Da in den meisten Fällen kein Logic-Analyzer zur Verfügung stehen wird, begrenzen sich diese Hinweise auf eine Fehlerlokalisierung, die mit den Testmitteln

- Multimeter
- 2-Kanal-Oszilloskop (> 20 MHz)

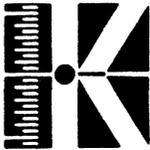
durchgeführt werden kann.

Als Arbeitshilfe wird Ihnen der Flußplan auf der folgenden Seite eine Hilfe sein.

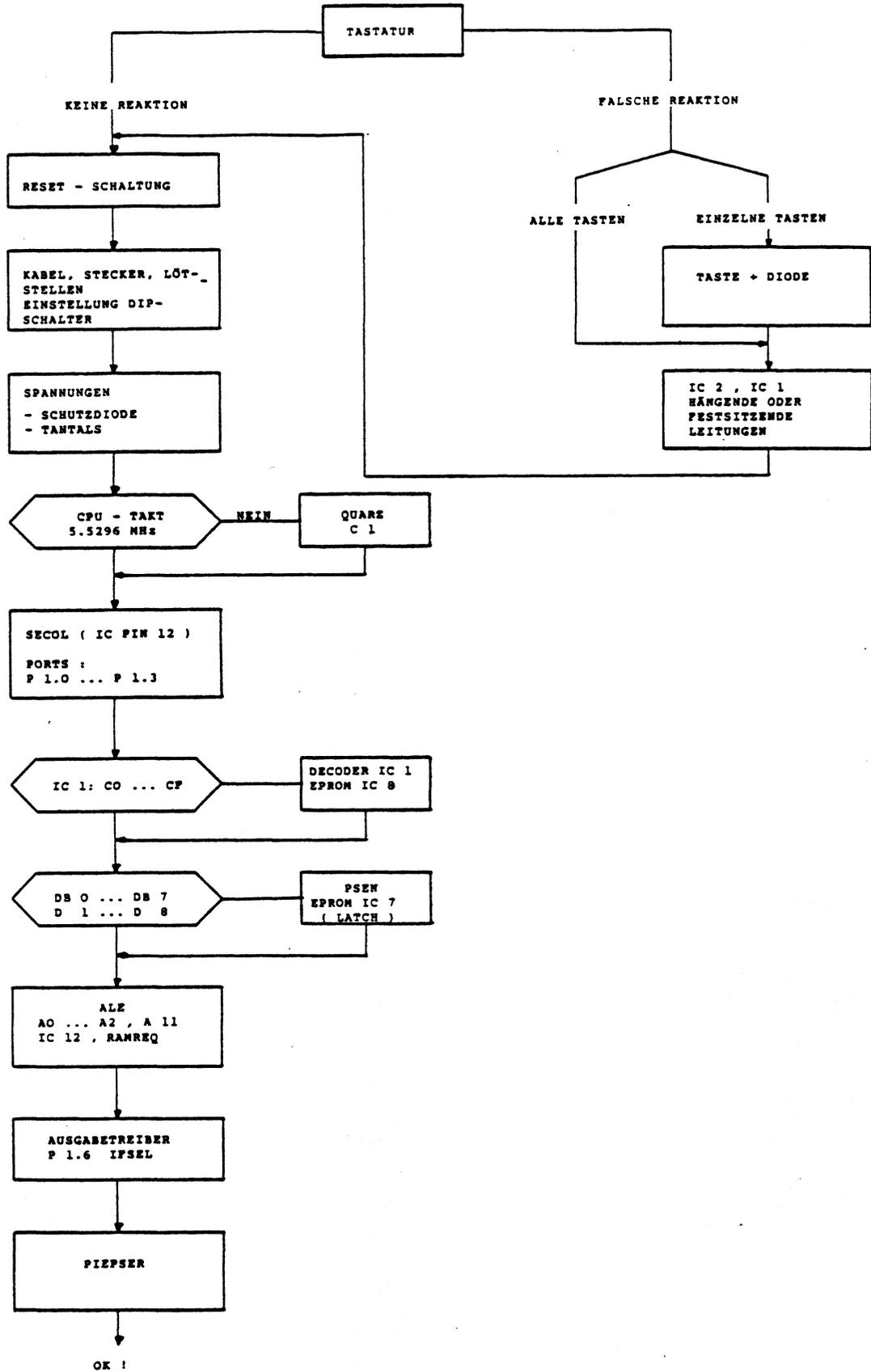
Als Gedankenstütze für auszuführende Arbeiten sind dabei nur Stichworte angegeben. Dem erfahrenen Servicetechniker werden diese Hinweise genügen. Im Zweifelsfall kann im Anschluß an den Flußplan unter dem jeweiligen Stichwort eine ausführliche Beschreibung der Signale bzw. Bauteile nachgeschlagen werden.

Diese Beschreibungen werden dort, wo es notwendig erscheint, durch Oszillographenbilder von typischen zu erwartenden Signalen ergänzt.

Ergänzt werden die alphabetisch geordneten Stichworte durch den Schaltplan mit dazugehörigen Bestückungsplänen.



Serviceflußplan für die Reparatur der Tastatur





Alphabetische Signal-/Baugruppenbeschreibung

ALE (Address Latch Enable)

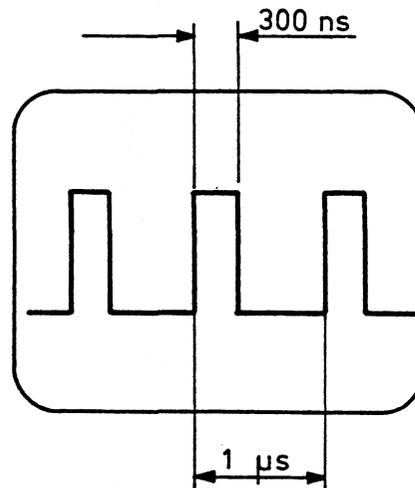
Der Prozessorbaustein P8031AH besitzt einen gemulti-plexen Adreß/Datenbus, d. h. das Low-Byte der Adressen wird auf den Datenleitungen herausgeführt. Falls ALE "High" ist, ist der Latchbaustein IC7 (74HC373) transparent geschaltet, die am Eingang anstehende Information DBO...DB7 wird auf den Ausgang AO...A7 durchgeschaltet und steht somit als Low-Byte der Adresse zur Verfügung.

Ist ALE "Low", so wird dieses Byte eingefroren. d.h. eine Änderung des Datenbytes bewirkt keine Änderung des Low-Adreßbytes.

Die Frequenz des ALE-Signals beträgt $1/6$ der Taktfrequenz.

ALE-Pulse werden nur dann erzeugt, wenn kein Zugriff auf einen externen Speicher erfolgt.

ALE





Ausgabetreiber Hier sind die 8-Bit-Register IC's IC3 bis IC6 für die Paralleldatenausgabe (Parallelinterface und LED-Ansteuerung) und die IC's IC 11, 13, 14 ... 16 für die serielle Ausgabe zuständig.

Die zwei Schnittstellentreiber IC15, 16 (UA9637, SN 75172) bilden das RS422 Interface. Dieses Interface ist aktiviert, wenn das Signal \overline{FSEL} "High" ist. Die Eingangssignale gelangen über die Gatter in IC13 auf die RxD-Leitung der CPU (Pin 10). Die Ausgangsleitung TxD gelangt über IC16 an den Ausgang.

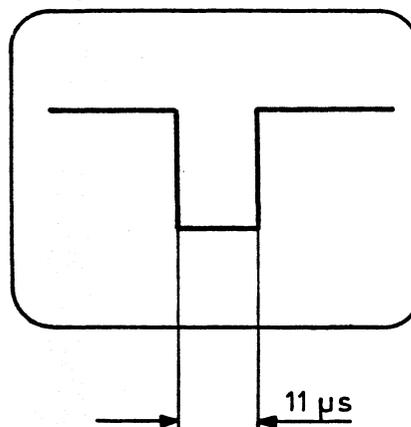
Die Eingangsinformation, die an den Datenleitungen DBO...DB7 anliegt, wird bei ansteigender Taktflanke (jeweils PIN11 von SN74HC374) übernommen und an die Register-Ausgänge gelegt.

Dekoder (IC1 SN74HC154)

Dies ist ein 4 zu 16 Dekoder, der die Spaltenauswahl des Tastaturfeldes vornimmt. Der Baustein ist freigegeben, wenn die Enable-Eingänge (Pin 18, 19) "LOW" sind. Dies geschieht durch das Signal SECOL/.

SECOL sperrt den Baustein nach einem Power-On-Reset, um das Einlesen der DIL-Schalter-Information zu ermöglichen. Die mit SCO...SC3 angewählte Spaltenleitung wird auf "LOW" gelegt.

Die Spalten werden zyklisch durchgewählt.



Spaltensignal Cx



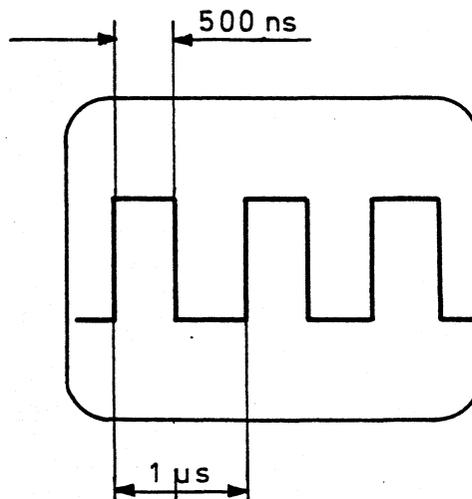
EPROM

Standardmäßig ist der Typ 27C32 eingesetzt. Nach Umlöten des Jumpers JL1 kann aber auch ein EPROM des Typs 2764 eingesetzt werden.

Jumper JL1:

Verbindung	für EPROM
1 - 2	2716
1 - 2	2732
2 - 3	2764

Da das EPROM die gesamte Keyboardsoftware enthält, ist bei einer Fehl- bzw. Nichtfunktion der Tastatur zu prüfen, ob das Signal $\overline{\text{PSEN}}$ vorhanden ist.



$\overline{\text{PSEN}}$



CPU (INTEL P 8031AH)

Wenn die CPU nicht korrekt arbeitet, so kann dies mehrere Ursachen haben:

- Takt ist nicht vorhanden.
Entweder ist das Quarz Q1 oder C1 defekt.
Weiterhin ist es möglich, daß der interne Clocktreiber der CPU defekt ist.
- Falsche Adressen-, Daten- oder Portzustände

Mögliche Ursachen:
Treiber in der CPU defekt.

Ein an den Leitungen angeschlossener Baustein arbeitet nicht korrekt. So können beispielsweise dauernde logische "High" oder "Low"-Zustände erzeugt werden. Zur groben Überprüfung eignet sich ein Oszilloskop, mit dem sämtliche Signalleitungen abgeprüft werden. Mit der vorhandenen Betriebssoftware müssen sich sämtliche Signale stets ändern.

- Restschaltung arbeitet nicht korrekt

Diese Schaltung, die nur mit einem externen Kondensator (C19, 22uF/16V Tantal) auskommt, erzeugt einen Power-On-Reset, der einen definierten Start der CPU ermöglicht. Bei unerwarteten Reaktionen des Keyboards ist der Reset-Kondensator zu überprüfen.

Piepser Dies ist ein dynamischer Lautsprecher, der über einen Treiber direkt von der CPU über ein Rechtecksignal angesteuert wird. Mit dem Poti auf der Rückseite der Platine kann die Lautstärke geregelt werden.

PSEN siehe EPROM

SECOL siehe Dekoder

Spannungsversorgung

Die Tastatur wird mit 5V DC über das Anschlußkabel vom Rechner versorgt. Bei Fehlfunktionen sind die Spannungswerte an den Schaltkreisen zu prüfen. Kurzzeitige Spannungseinbrüche führen zum Programmausstieg!



Die Überspannungsschutzdiode D14 wird bei Überspannungen leitend und verhindert somit größeren Schaden im Keyboard. Falls die Diode dabei zerstört wird, bleibt sie in den meisten Fällen dennoch leitend und muß ausgewechselt werden.

Testsoftware

Zum Testen der Tastatur kann sich der Anwender verschiedene Test-PROMS brennen, die die Fehler-suche erleichtern. Folgende Programme sind vorhanden:

- Testprogramm zur Adreßleitungüberwachung
(Der Adreßzähler wird laufend hochgezählt; mit einem Oszilloskop können die Adreßleitungen überprüft werden).
- Testprogramm zur Decoderüberprüfung (IC 12)
und Peripherieprüfung

Das Listing der Testprogramme ist in Kapitel 6 ersichtlich.



Tastenzuordnung in Reihen-/Spalten-Matrix

Vom Prozessor vorgegebene Spalten

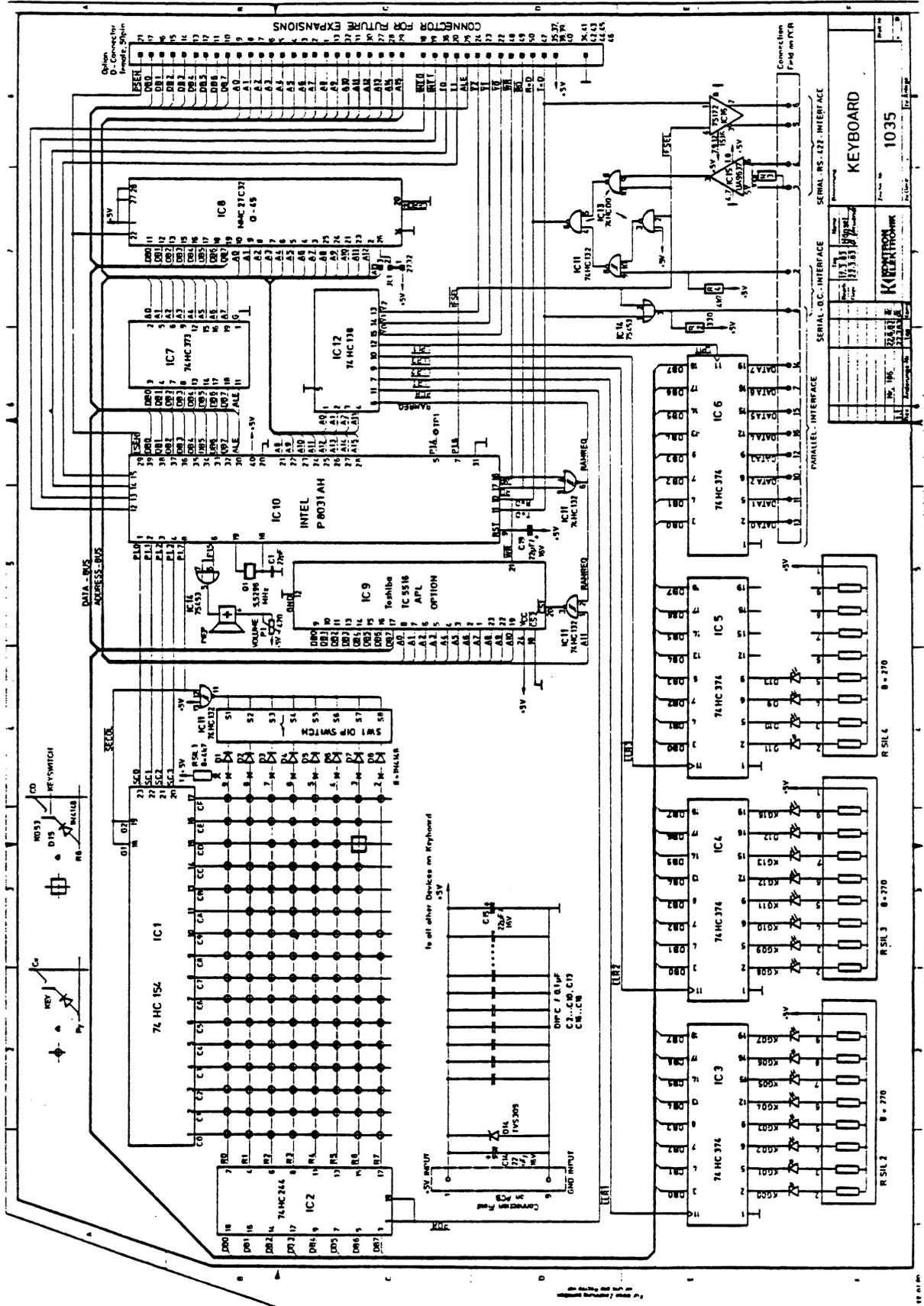
Vom Prozessor gelesene Spalten

	R0	R1	R2	R3	R4	R5	R6	R7
C0	KB11 KB99	KB00	KC99	KC00	KD00	----	KE00	KE01
C1	KB01	KB02	KC01	KC02	KD01	KD02	KE02	KE03
C2	KB03	KB04	KC03	KC04	KD03	KD04	KE04	KE05
C3	KB05	KB06	KC05	KC06	KD05	KD06	KE06	KE07
C4	KB07	KB08	KC07	KC08	KD07	KD08	KE08	KE09
C5	KB09	KB10	KC09	KC10	KD09	KD10	KE10	KE11
C6	KA02/08	KB14	KC11	KC12	KD11	KD12	KE12	KE13
C7	KA16	KB16	KC16	KD16	KE16	KF16	KG16	----
C8	KA17	KB17	KC17	KD17	KE17	KF17	KG17	KD14
C9	KA18	KB18	KC18	KD18	KE18	KF18	KG18	KE14
CA	----	KB50	KC50	KD50	KE50	KF50	KG50	----
CB	KA50/51	KB51	KC51	KD51	KE51	KF51	KG51	----
CC	KA52	KB52	KC52	KD52	KE52	KF52	KG52	----
CD	KA53	----	KC53	KD53	KE53	KF53	----	----
CE	KG08	KG09	KG10	KG11	KG12	KG13	KG14	----
CF	KG00	KG01	KG02	KG03	KG04	KG05	KG06	KG06



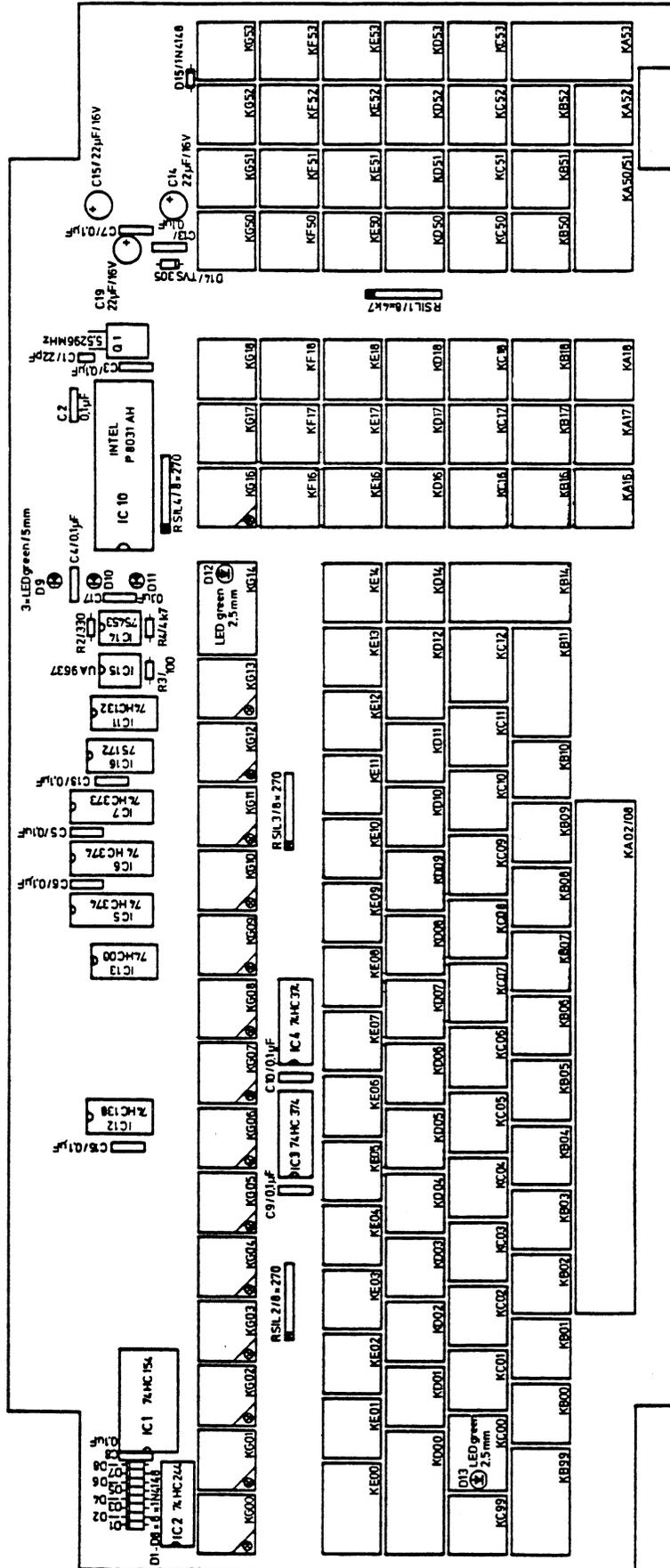
5. Pläne

5.1 Schaltplan





5.2 Bestückungspläne



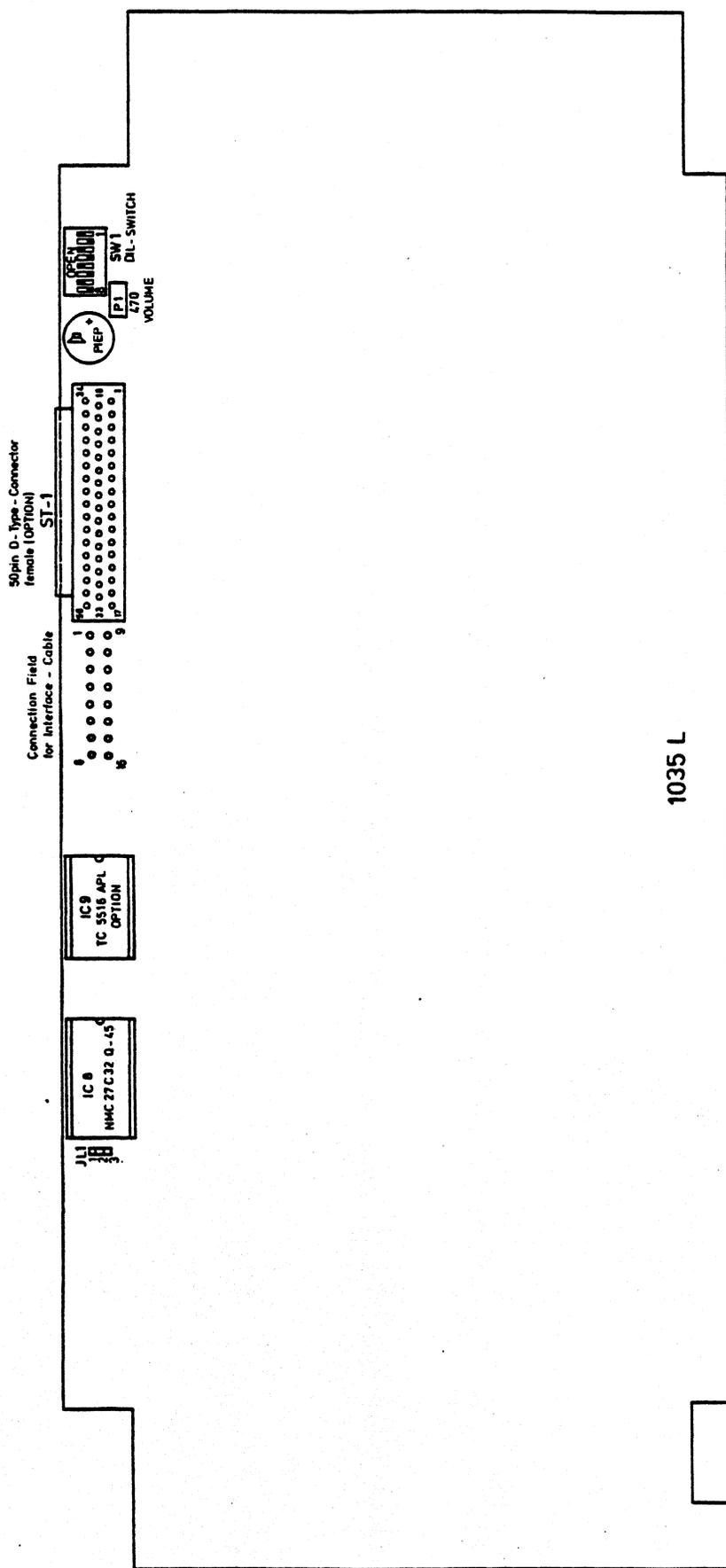
1035 B

Legend: ● KEY WITH GREEN LED

Bezeichnung		KEYBOARD		
Tag	Name	Zustell	Best.Nr	
Bearb	B. 3. 83	0	1035	
Gepr	22.3.83	0		
KONTRON ELECTRONIC		Zust.Nr 1035		
Nr. 196	22.6.83	Dr. Anhang		
0.1	22.8.81	Dr. Anhang		
0.1	22.8.81	Dr. Anhang		
0.1	22.8.81	Dr. Anhang		
0.1	22.8.81	Dr. Anhang		
0.1	22.8.81	Dr. Anhang		



KONTRON Ergoline-Tastatur 1035



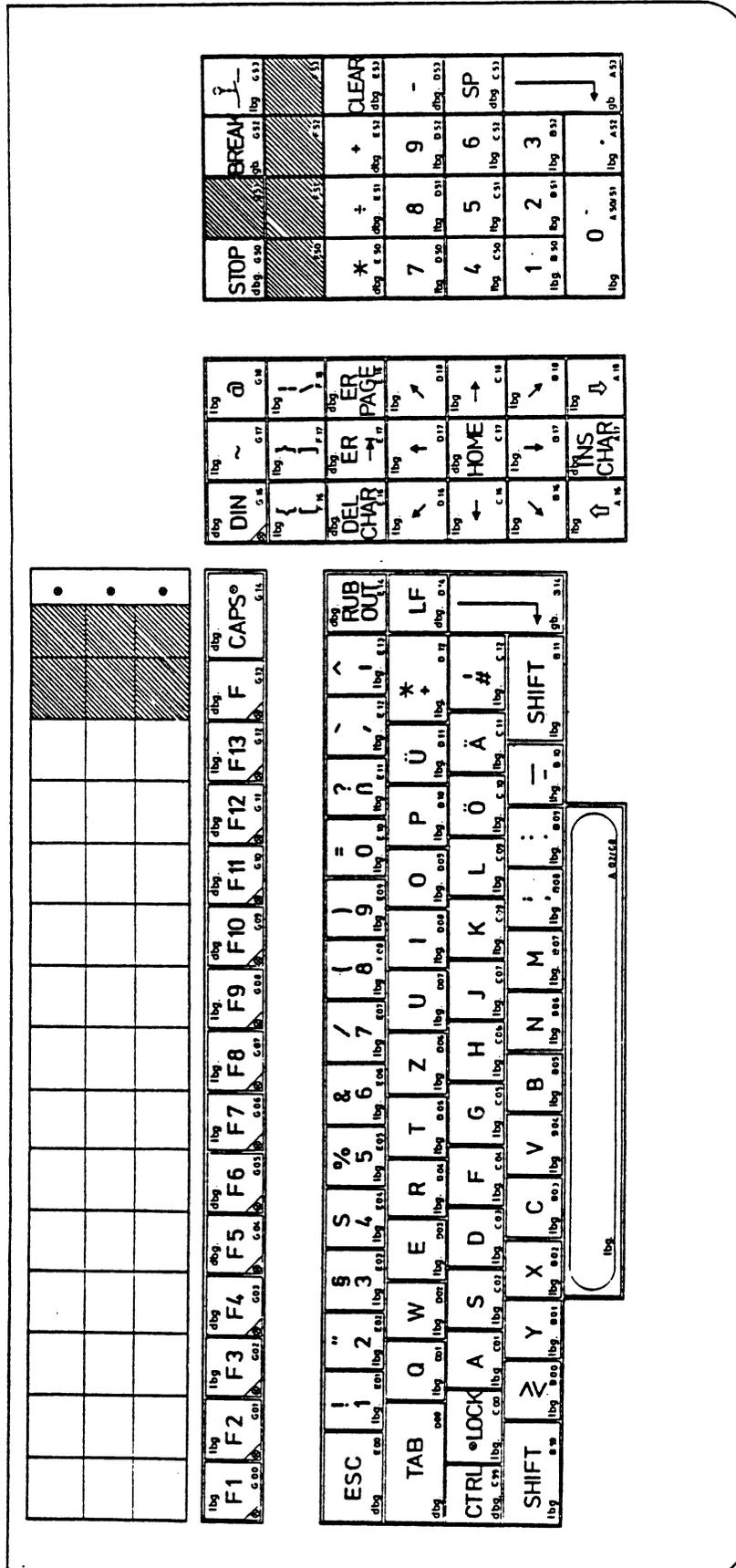
Bezeichnung	KEYBOARD	
Zeichn.-Nr.	1035	
KONTRON		
Bezeichnung	Tag	Name
Bezeichnung	22.3.83	Mühsel
Gepr.	22.3.83	G. Grottel
KONTRON		
Gepr.	22.3.83	GZ
Adressierungs-Nr.	Tag	Name
1.1		
2.1		
3.1		
4.1		
5.1		
6.1		
7.1		
8.1		
9.1		
10.1		
11.1		
12.1		
13.1		
14.1		
15.1		
16.1		
17.1		
18.1		
19.1		
20.1		
21.1		
22.1		
23.1		
24.1		
25.1		
26.1		
27.1		
28.1		
29.1		
30.1		
31.1		
32.1		
33.1		
34.1		
35.1		
36.1		
37.1		
38.1		
39.1		
40.1		
41.1		
42.1		
43.1		
44.1		
45.1		
46.1		
47.1		
48.1		
49.1		
50.1		



5.3 Tastenlayout mit Codelisting

MIKROCOMPUTER GERMAN

Beschriftung



COLOUR OF KEYS:
 lbg - light beige
 dbg - dark beige
 gb - grey-brown



MIKROCOMPUTER GERMAN

UNSHIFT

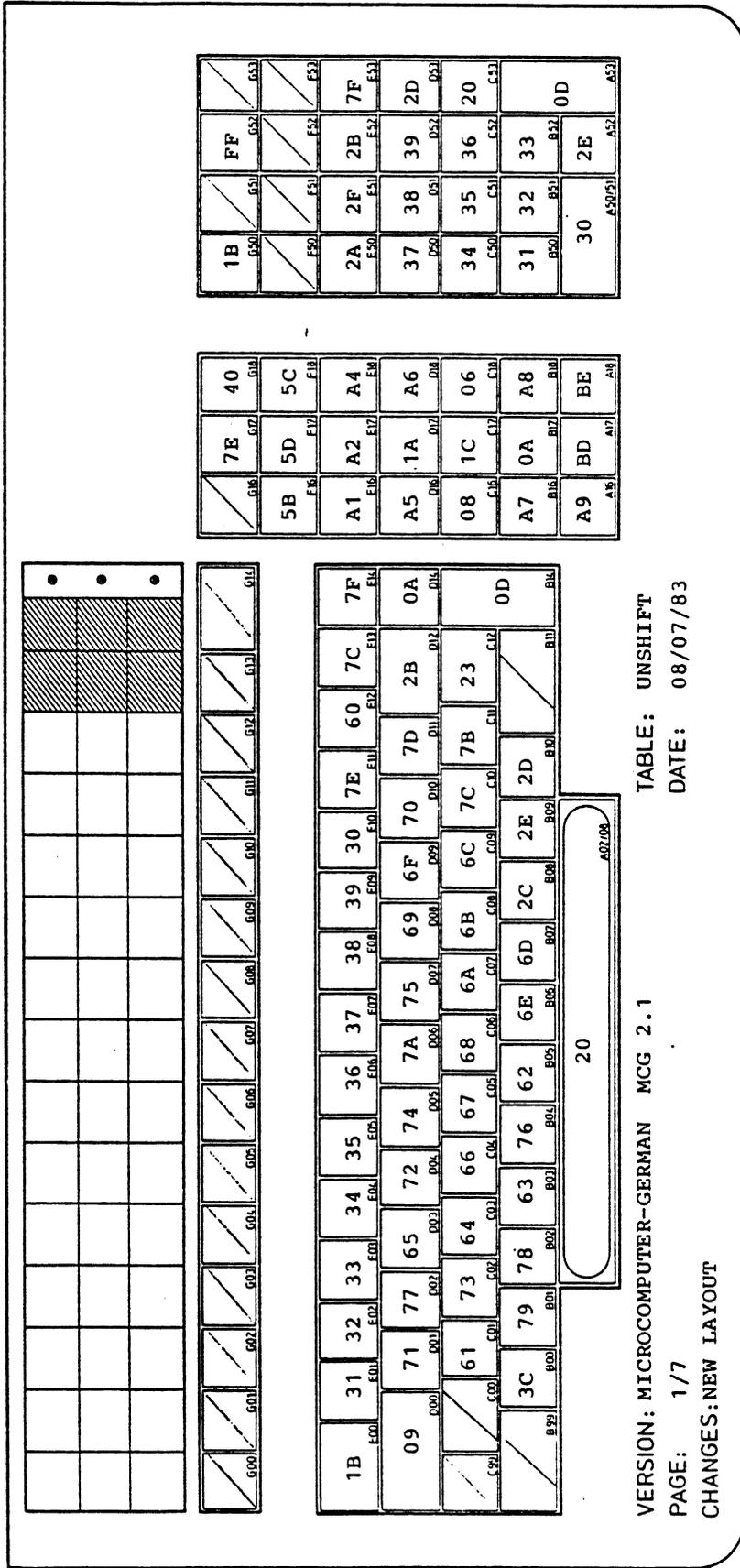


TABLE: UNSHIFT
DATE: 08/07/83

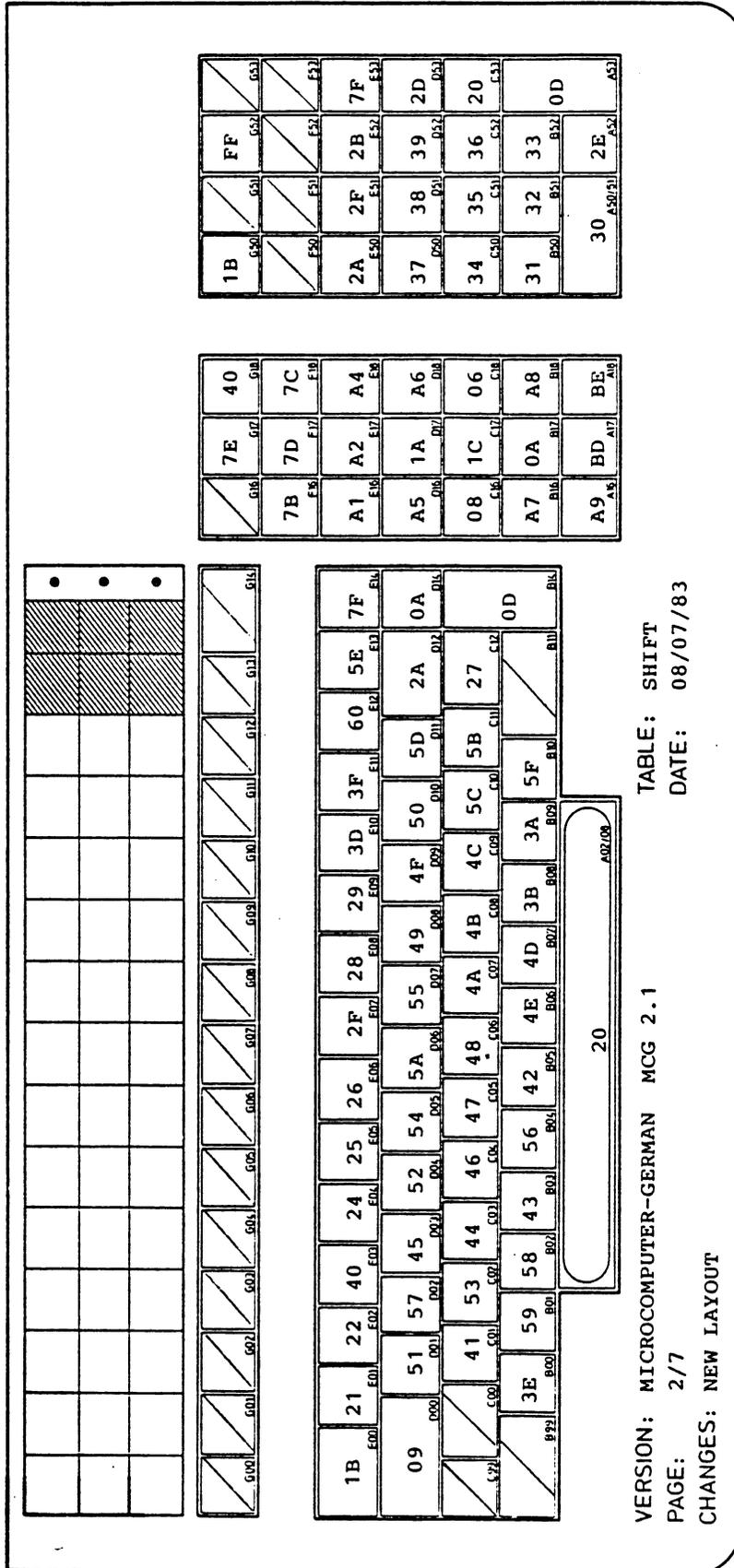
VERSION: MICROCOMPUTER-GERMAN MCG 2.1
PAGE: 1/7
CHANGES: NEW LAYOUT

Name		KEYBOARD	
Part No.	1019 / 1035		
Part No.	1019 / 1035		
KONTRON ELECTRONIC			
Address			
Tel.			
Fax			



MIKROCOMPUTER GERMAN

SHIFT



VERSION: MIKROCOMPUTER-GERMAN MCG 2.1
 PAGE: 2/7
 CHANGES: NEW LAYOUT
 TABLE: SHIFT
 DATE: 08/07/83

Name: _____ No. _____ Date: _____		Part No. 1019/1035 Rev. _____	
Drawing: KEYBOARD		Made in: _____	
Kontron Electronics 77562		In. Area: _____	



MIKROCOMPUTER GERMAN

CONTROL

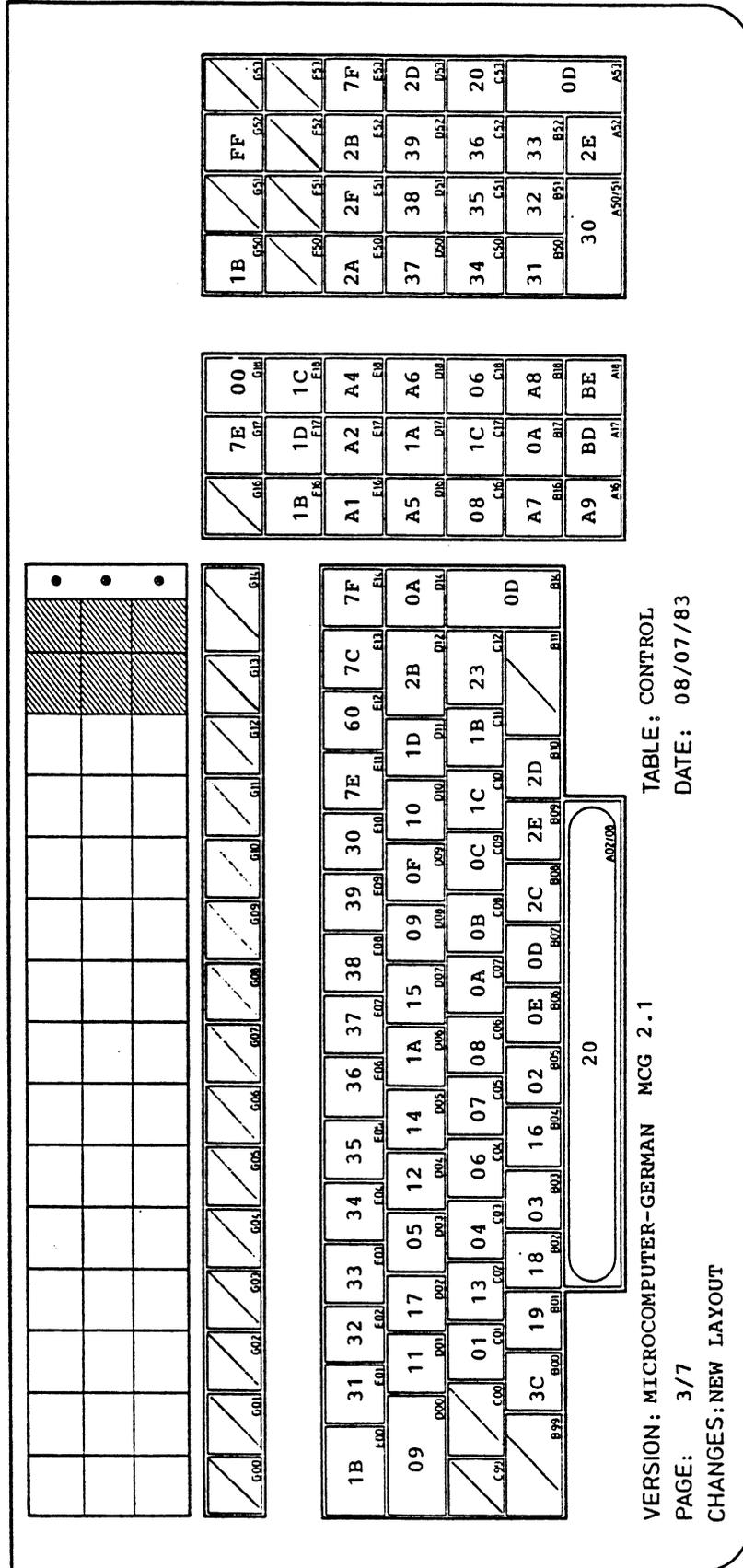


TABLE: CONTROL
DATE: 08/07/83

VERSION: MIKROCOMPUTER-GERMAN MCG 2.1
PAGE: 3/7
CHANGES: NEW LAYOUT

1B	FF	
2A	2F	2B
37	38	39
34	35	36
31	32	33
30	2E	0D

7E	00
1B	1C
A1	A4
A5	A6
08	06
A7	A8
A9	BE

Name		KEYBOARD	
Part No	1019/1035	Rev. No	
KONTRON ELECTRONIC			



MIKROCOMPUTER GERMAN

SHIFT + CONTROL

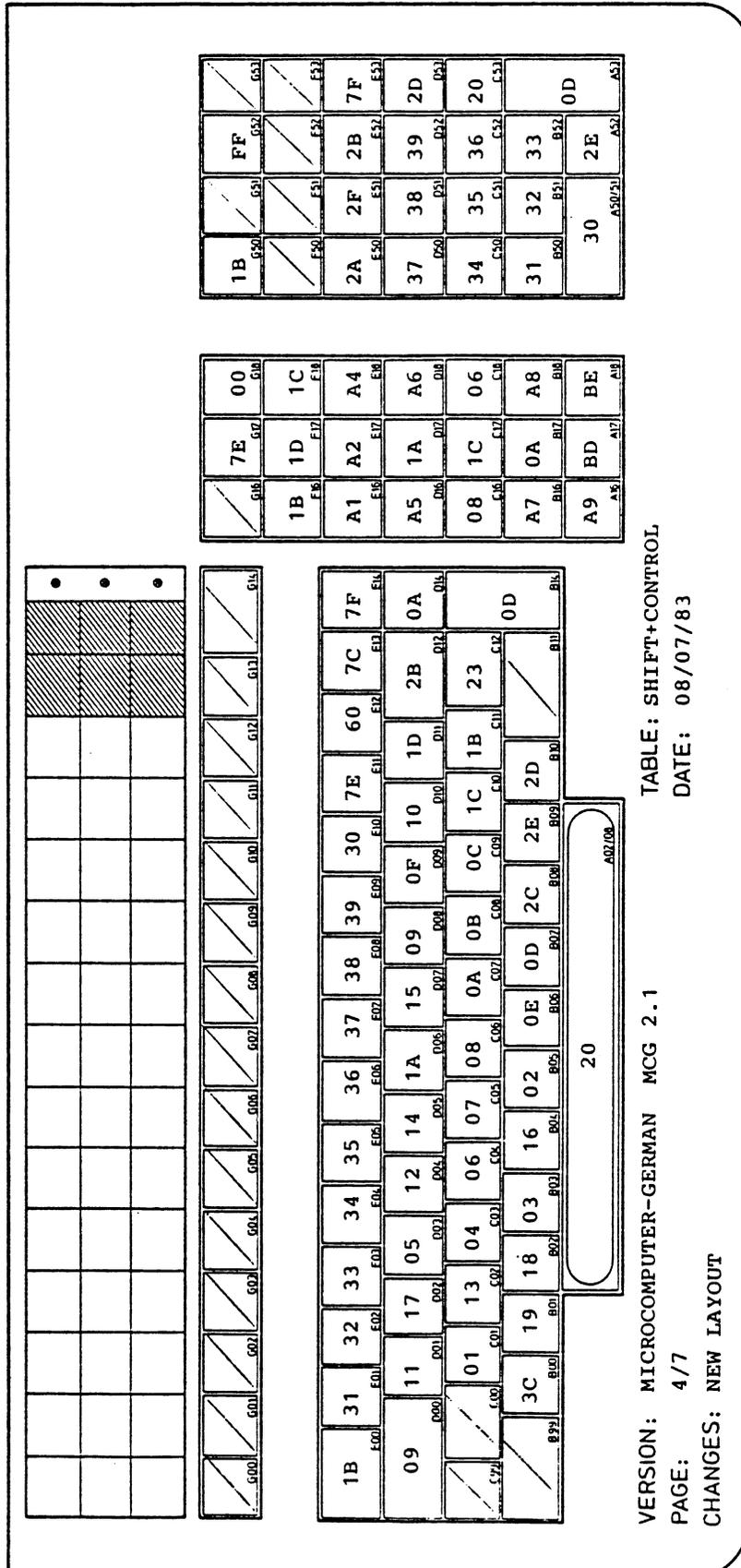


TABLE: SHIFT+CONTROL

DATE: 08/07/83

VERSION: MICROCOMPUTER-GERMAN MCG 2.1

PAGE: 4/7

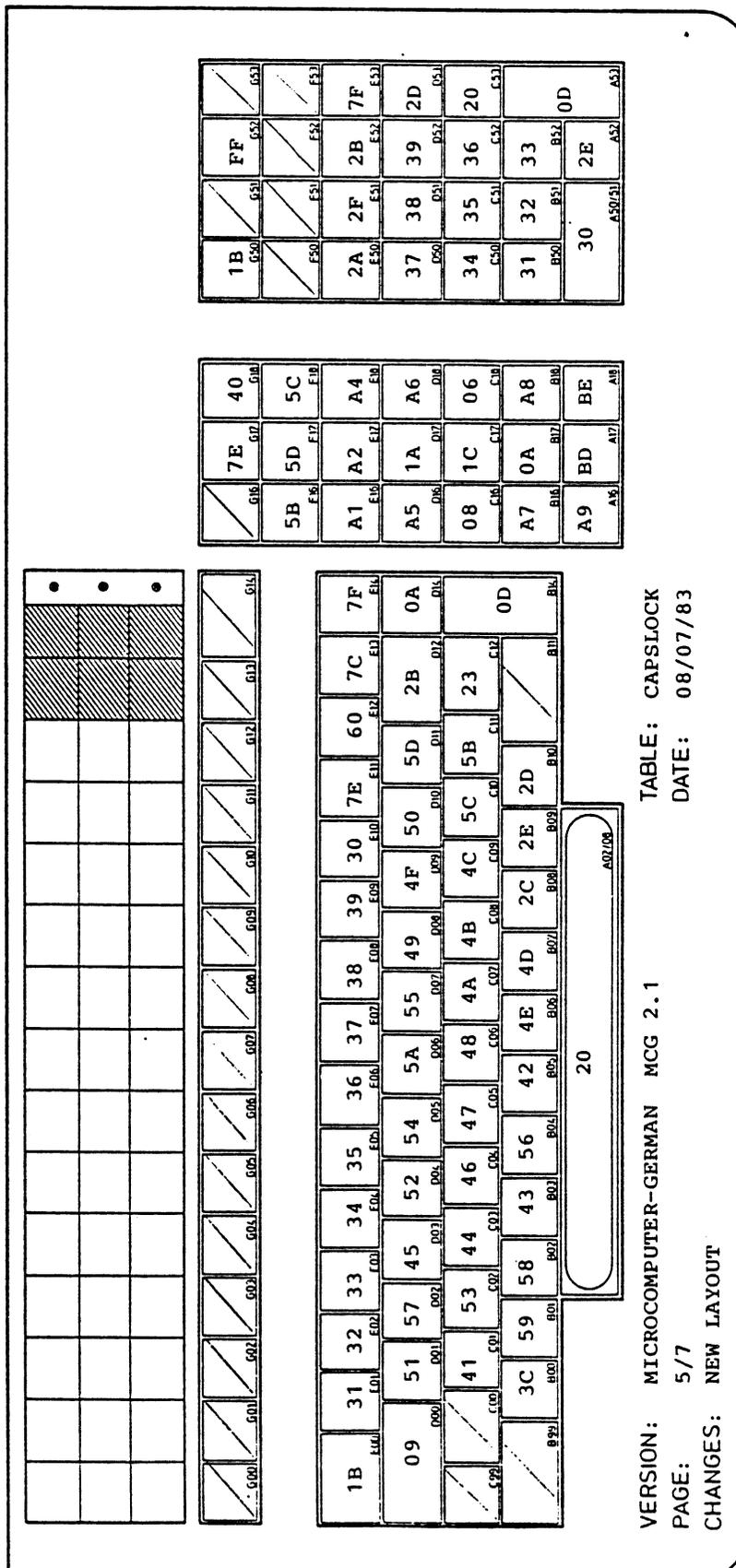
CHANGES: NEW LAYOUT

Inventory		KEYBOARD	
Part No.	1019/1035	Rev. No.	
KONTRON ELECTRONIC		1019/1035	
Part No.	1019/1035	Rev. No.	
Part Name	Keyboard	Part No.	1019/1035
Part Description	Keyboard	Part No.	1019/1035



MIKROCOMPUTER GERMAN

CAPSLOCK



VERSION: MICROCOMPUTER-GERMAN MCG 2.1
 PAGE: 5/7
 CHANGES: NEW LAYOUT
 TABLE: CAPSLOCK
 DATE: 08/07/83

Name		Benennung	
Type		Type	
Item No.	Part No.	Item No.	Part No.
222.83.01	1019/1035	222.83.01	1019/1035
KONTRON		KEYBOARD	
KONTRON		KONTRON	
222.83.01		222.83.01	
222.83.01		222.83.01	



MIKROCOMPUTER GERMAN

SHIFT + CAPSLOCK

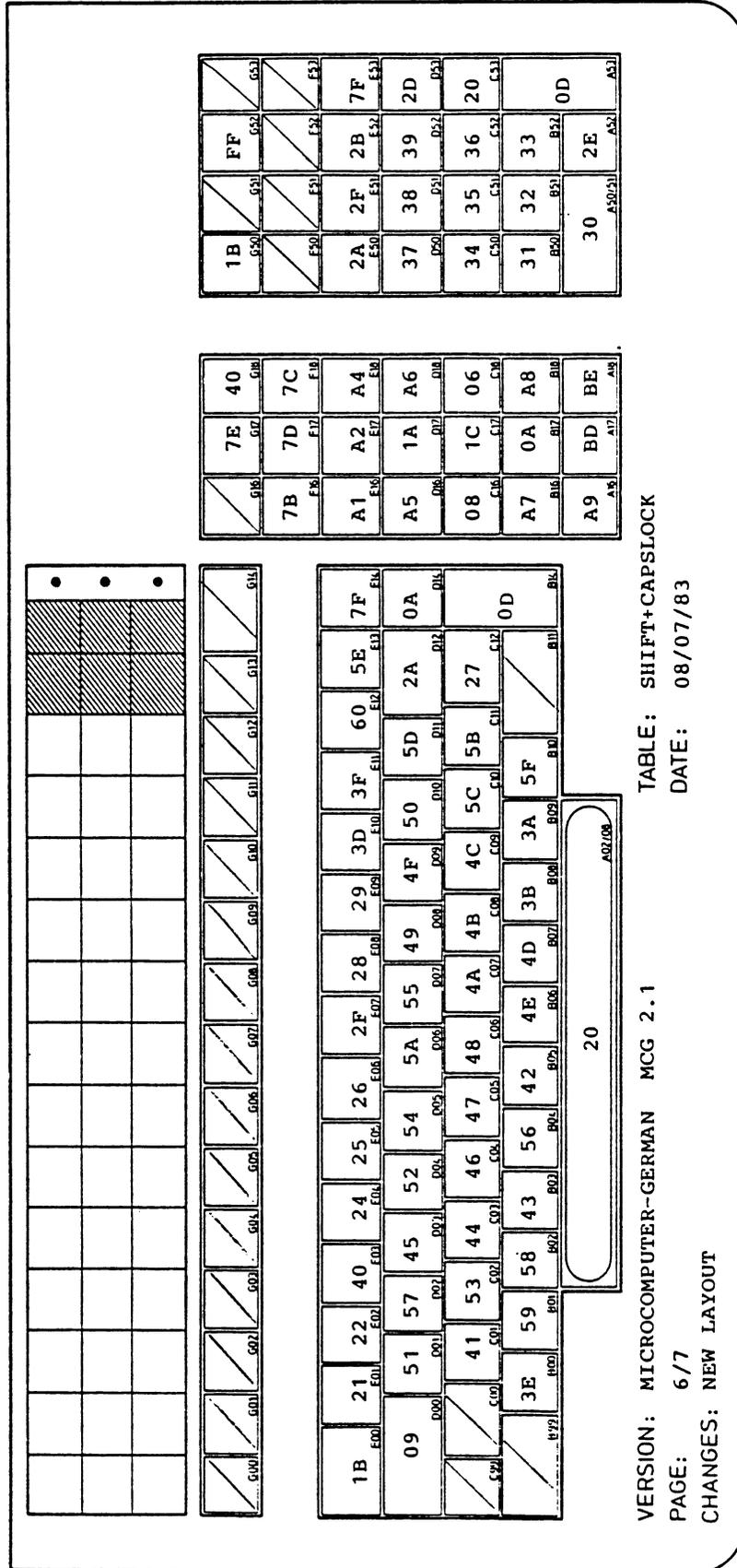


TABLE: SHIFT+CAPSLOCK
DATE: 08/07/83

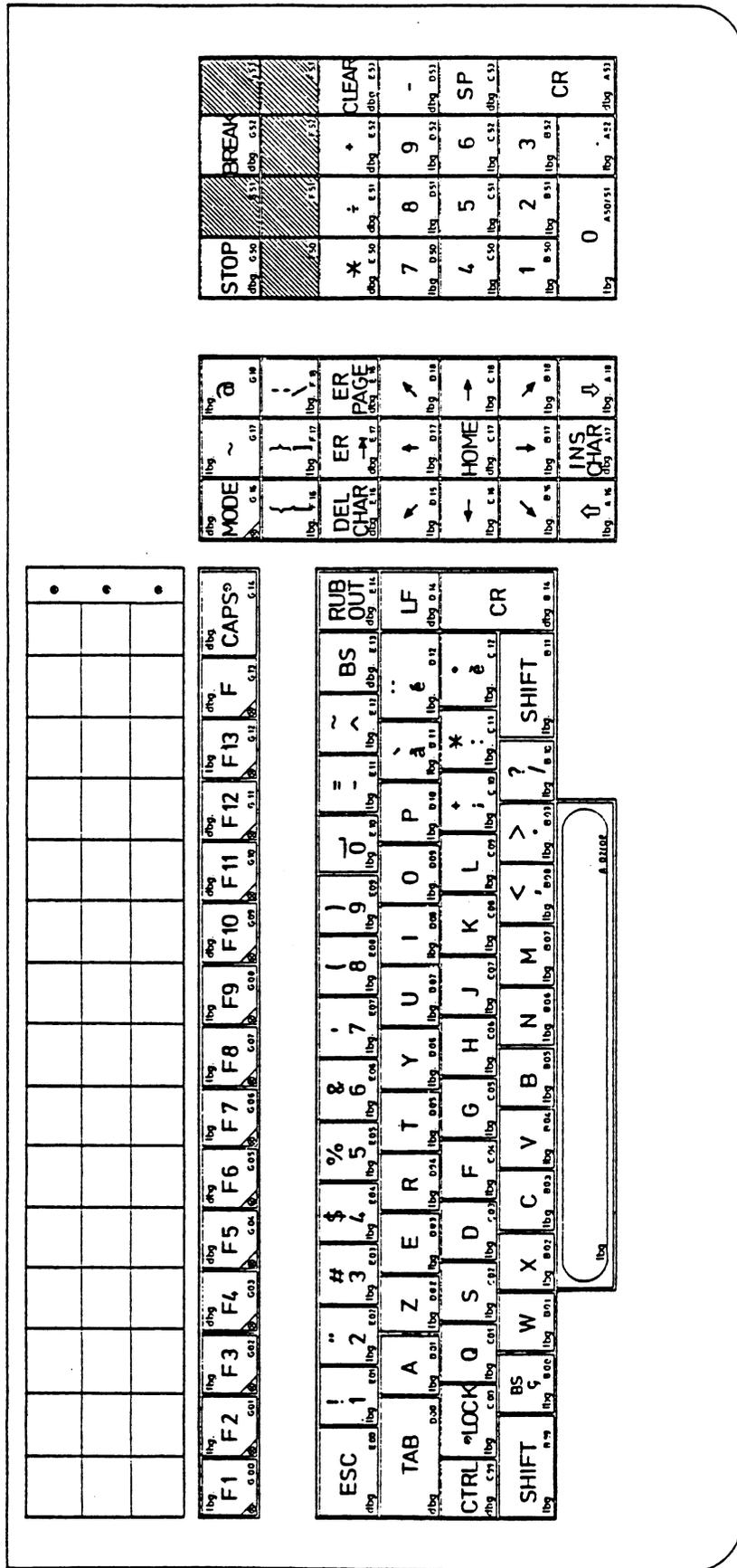
VERSION: MICROCOMPUTER-GERMAN MCG 2.1
PAGE: 6/7
CHANGES: NEW LAYOUT

KEYBOARD	
Part No.	1019/1035
Rev.	
Manufacturer	KONTRON ELECTRONIC
Address	
City	
Country	



MIKROCOMPUTER FRENCH

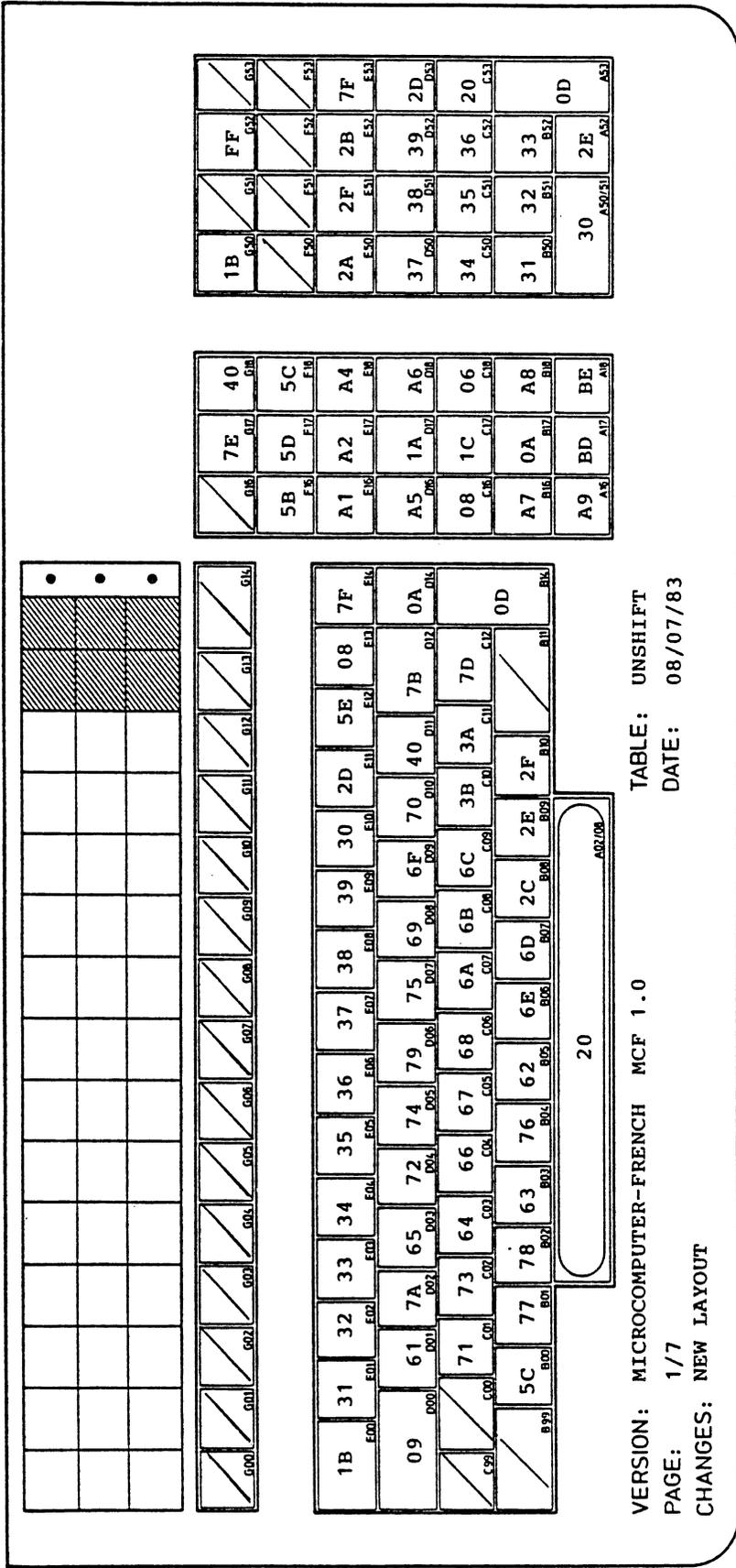
LAYOUT





MIKROCOMPUTER FRENCH

UNSHIFT



VERSION: MICROCOMPUTER-FRENCH MCF 1.0
 PAGE: 1/7
 CHANGES: NEW LAYOUT

Name		1019/1035	
Type		12.2.83 (1/12.83)	
No.		1019/1035	
Description		KEYBOARD	
Part No.		1019/1035	
Rev. No.		1	
Drawing No.		1019/1035	
Date		08/07/83	
By		[Signature]	
Checked by		[Signature]	



MIKROCOMPUTER FRENCH

SHIFT

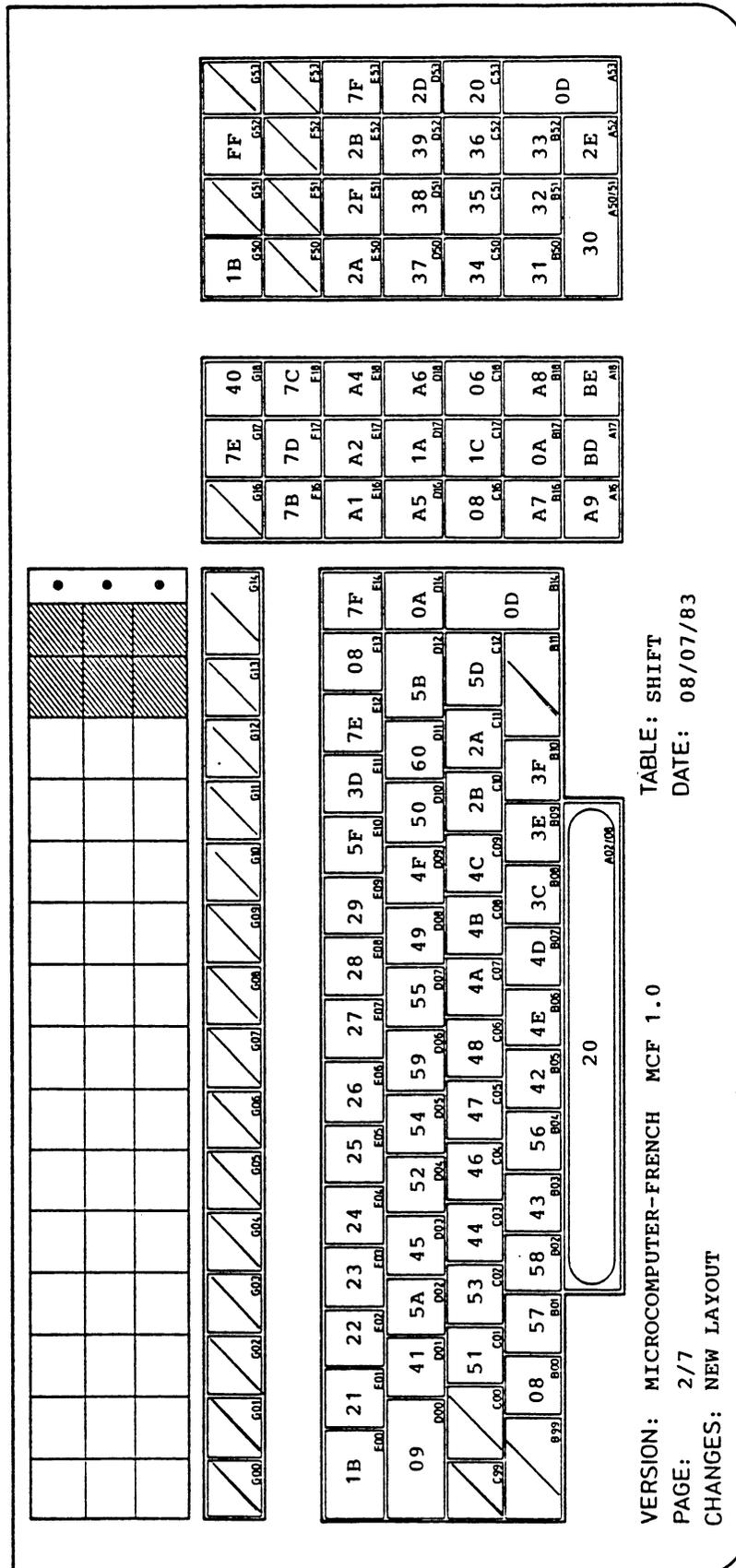


TABLE: SHIFT
DATE: 08/07/83

VERSION: MICROCOMPUTER-FRENCH MCF 1.0
PAGE: 2/7
CHANGES: NEW LAYOUT

Name		KEYBOARD	
No. 1019/1035		No. 1019/1035	
Date: 08/07/83		Date: 08/07/83	
KONTRON		KONTRON	
No. 1019/1035		No. 1019/1035	
Date: 08/07/83		Date: 08/07/83	
No. 1019/1035		No. 1019/1035	



MIKROCOMPUTER FRENCH

SHIFT + CONTROL

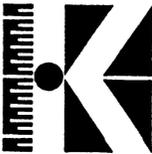
Diagram of a keyboard layout with various key labels and alphanumeric codes.

1B	31	32	33	34	35	36	37	38	39	40	5E	5F	7F
09	01	02	03	04	05	06	07	08	0A	0B	0C	0D	0E
11	13	14	15	16	17	18	19	2D	2E	2F	20	21	22
5C	17	18	19	20	21	22	23	24	25	26	27	28	29
7E	1D	1C	A4	A6	A8	A9	BD	BE	00	01	02	03	04
A1	A2	A3	A4	A5	A6	A7	A8	A9	05	06	07	08	09
A1	A2	A3	A4	A5	A6	A7	A8	A9	0A	0B	0C	0D	0E
A1	A2	A3	A4	A5	A6	A7	A8	A9	0F	10	11	12	13
A1	A2	A3	A4	A5	A6	A7	A8	A9	14	15	16	17	18
A1	A2	A3	A4	A5	A6	A7	A8	A9	19	20	21	22	23
A1	A2	A3	A4	A5	A6	A7	A8	A9	24	25	26	27	28
A1	A2	A3	A4	A5	A6	A7	A8	A9	29	30	31	32	33
A1	A2	A3	A4	A5	A6	A7	A8	A9	34	35	36	37	38
A1	A2	A3	A4	A5	A6	A7	A8	A9	39	40	41	42	43
A1	A2	A3	A4	A5	A6	A7	A8	A9	44	45	46	47	48
A1	A2	A3	A4	A5	A6	A7	A8	A9	49	50	51	52	53
A1	A2	A3	A4	A5	A6	A7	A8	A9	54	55	56	57	58
A1	A2	A3	A4	A5	A6	A7	A8	A9	59	60	61	62	63
A1	A2	A3	A4	A5	A6	A7	A8	A9	64	65	66	67	68
A1	A2	A3	A4	A5	A6	A7	A8	A9	69	70	71	72	73
A1	A2	A3	A4	A5	A6	A7	A8	A9	74	75	76	77	78
A1	A2	A3	A4	A5	A6	A7	A8	A9	79	80	81	82	83
A1	A2	A3	A4	A5	A6	A7	A8	A9	84	85	86	87	88
A1	A2	A3	A4	A5	A6	A7	A8	A9	89	90	91	92	93
A1	A2	A3	A4	A5	A6	A7	A8	A9	94	95	96	97	98
A1	A2	A3	A4	A5	A6	A7	A8	A9	99	100	101	102	103

VERSION: MIKROCOMPUTER-FRENCH MCF 1.0
 PAGE: 4/7
 CHANGES: NEW LAYOUT

TABLE: SHIFT+CONTROL
 DATE: 08/07/83

Model	1019	1035
Year	1983	
Part No.	KEYBOARD	
Part No.	1019/1035	
Rev.	1.0	



MIKROCOMPUTER FRENCH

CAPSLOCK

1B	2A	37	34	31	30	2E	0D
FF	2F	38	35	32	AS0/AS1	AS2	AS3
40	5C	A4	A6	06	A8	BE	
7E	5D	A2	1A	1C	0A	BD	
A9	A1	A5	08	A7	0A	BD	BE
09	31	32	33	34	35	36	37
09	E100	E101	E102	E103	E104	E105	E106
	E107	E108	E109	E110	E111	E112	E113
	E114	E115	E116	E117	E118	E119	E120
	E121	E122	E123	E124	E125	E126	E127
	E128	E129	E130	E131	E132	E133	E134
	E135	E136	E137	E138	E139	E140	E141
	E142	E143	E144	E145	E146	E147	E148
	E149	E150	E151	E152	E153	E154	E155
	E156	E157	E158	E159	E160	E161	E162
	E163	E164	E165	E166	E167	E168	E169
	E170	E171	E172	E173	E174	E175	E176
	E177	E178	E179	E180	E181	E182	E183
	E184	E185	E186	E187	E188	E189	E190
	E191	E192	E193	E194	E195	E196	E197
	E198	E199	E200	E201	E202	E203	E204
	E205	E206	E207	E208	E209	E210	E211
	E212	E213	E214	E215	E216	E217	E218
	E219	E220	E221	E222	E223	E224	E225
	E226	E227	E228	E229	E230	E231	E232
	E233	E234	E235	E236	E237	E238	E239
	E240	E241	E242	E243	E244	E245	E246
	E247	E248	E249	E250	E251	E252	E253
	E254	E255	E256	E257	E258	E259	E260
	E261	E262	E263	E264	E265	E266	E267
	E268	E269	E270	E271	E272	E273	E274
	E275	E276	E277	E278	E279	E280	E281
	E282	E283	E284	E285	E286	E287	E288
	E289	E290	E291	E292	E293	E294	E295
	E296	E297	E298	E299	E300	E301	E302
	E303	E304	E305	E306	E307	E308	E309
	E310	E311	E312	E313	E314	E315	E316
	E317	E318	E319	E320	E321	E322	E323
	E324	E325	E326	E327	E328	E329	E330
	E331	E332	E333	E334	E335	E336	E337
	E338	E339	E340	E341	E342	E343	E344
	E345	E346	E347	E348	E349	E350	E351
	E352	E353	E354	E355	E356	E357	E358
	E359	E360	E361	E362	E363	E364	E365
	E366	E367	E368	E369	E370	E371	E372
	E373	E374	E375	E376	E377	E378	E379
	E380	E381	E382	E383	E384	E385	E386
	E387	E388	E389	E390	E391	E392	E393
	E394	E395	E396	E397	E398	E399	E400
	E401	E402	E403	E404	E405	E406	E407
	E408	E409	E410	E411	E412	E413	E414
	E415	E416	E417	E418	E419	E420	E421
	E422	E423	E424	E425	E426	E427	E428
	E429	E430	E431	E432	E433	E434	E435
	E436	E437	E438	E439	E440	E441	E442
	E443	E444	E445	E446	E447	E448	E449
	E450	E451	E452	E453	E454	E455	E456
	E457	E458	E459	E460	E461	E462	E463
	E464	E465	E466	E467	E468	E469	E470
	E471	E472	E473	E474	E475	E476	E477
	E478	E479	E480	E481	E482	E483	E484
	E485	E486	E487	E488	E489	E490	E491
	E492	E493	E494	E495	E496	E497	E498
	E499	E500	E501	E502	E503	E504	E505
	E506	E507	E508	E509	E510	E511	E512
	E513	E514	E515	E516	E517	E518	E519
	E520	E521	E522	E523	E524	E525	E526
	E527	E528	E529	E530	E531	E532	E533
	E534	E535	E536	E537	E538	E539	E540
	E541	E542	E543	E544	E545	E546	E547
	E548	E549	E550	E551	E552	E553	E554
	E555	E556	E557	E558	E559	E560	E561
	E562	E563	E564	E565	E566	E567	E568
	E569	E570	E571	E572	E573	E574	E575
	E576	E577	E578	E579	E580	E581	E582
	E583	E584	E585	E586	E587	E588	E589
	E590	E591	E592	E593	E594	E595	E596
	E597	E598	E599	E600	E601	E602	E603
	E604	E605	E606	E607	E608	E609	E610
	E611	E612	E613	E614	E615	E616	E617
	E618	E619	E620	E621	E622	E623	E624
	E625	E626	E627	E628	E629	E630	E631
	E632	E633	E634	E635	E636	E637	E638
	E639	E640	E641	E642	E643	E644	E645
	E646	E647	E648	E649	E650	E651	E652
	E653	E654	E655	E656	E657	E658	E659
	E660	E661	E662	E663	E664	E665	E666
	E667	E668	E669	E670	E671	E672	E673
	E674	E675	E676	E677	E678	E679	E680
	E681	E682	E683	E684	E685	E686	E687
	E688	E689	E690	E691	E692	E693	E694
	E695	E696	E697	E698	E699	E700	E701
	E702	E703	E704	E705	E706	E707	E708
	E709	E710	E711	E712	E713	E714	E715
	E716	E717	E718	E719	E720	E721	E722
	E723	E724	E725	E726	E727	E728	E729
	E730	E731	E732	E733	E734	E735	E736
	E737	E738	E739	E740	E741	E742	E743
	E744	E745	E746	E747	E748	E749	E750
	E751	E752	E753	E754	E755	E756	E757
	E758	E759	E760	E761	E762	E763	E764
	E765	E766	E767	E768	E769	E770	E771
	E772	E773	E774	E775	E776	E777	E778
	E779	E780	E781	E782	E783	E784	E785
	E786	E787	E788	E789	E790	E791	E792
	E793	E794	E795	E796	E797	E798	E799
	E800	E801	E802	E803	E804	E805	E806
	E807	E808	E809	E810	E811	E812	E813
	E814	E815	E816	E817	E818	E819	E820
	E821	E822	E823	E824	E825	E826	E827
	E828	E829	E830	E831	E832	E833	E834
	E835	E836	E837	E838	E839	E840	E841
	E842	E843	E844	E845	E846	E847	E848
	E849	E850	E851	E852	E853	E854	E855
	E856	E857	E858	E859	E860	E861	E862
	E863	E864	E865	E866	E867	E868	E869
	E870	E871	E872	E873	E874	E875	E876
	E877	E878	E879	E880	E881	E882	E883
	E884	E885	E886	E887	E888	E889	E890
	E891	E892	E893	E894	E895	E896	E897
	E898	E899	E900	E901	E902	E903	E904
	E905	E906	E907	E908	E909	E910	E911
	E912	E913	E914	E915	E916	E917	E918
	E919	E920	E921	E922	E923	E924	E925
	E926	E927	E928	E929	E930	E931	E932
	E933	E934	E935	E936	E937	E938	E939
	E940	E941	E942	E943	E944	E945	E946
	E947	E948	E949	E950	E951	E952	E953
	E954	E955	E956	E957	E958	E959	E960
	E961	E962	E963	E964	E965	E966	E967
	E968	E969	E970	E971	E972	E973	E974
	E975	E976	E977	E978	E979	E980	E981
	E982	E983	E984	E985	E986	E987	E988
	E989	E990	E991	E992	E993	E994	E995
	E996	E997	E998	E999	E1000	E1001	E1002
	E1003	E1004	E1005	E1006	E1007	E1008	E1009
	E1010	E1011	E1012	E1013	E1014	E1015	E1016
	E1017	E1018	E1019	E1020	E1021	E1022	E1023
	E1024	E1025	E1026	E1027	E1028	E1029	E1030
	E1031	E1032	E1033	E1034	E1035	E1036	E1037
	E1038	E1039	E1040	E1041	E1042	E1043	E1044
	E1045	E1046	E1047	E1048	E1049	E1050	E1051
	E1052	E1053	E1054	E1055	E1056	E1057	E1058
	E1059	E1060	E1061	E1062	E1063	E1064	E1065
	E1066	E1067	E1068	E1069	E1070	E1071	E1072
	E1073	E1074	E1075	E1076	E1077	E1078	E1079
	E1080	E1081	E1082	E1083	E1084	E1085	E1086
	E1087	E1088	E1089	E1090	E1091	E1092	E1093
	E1094	E1095	E1096	E1097	E1098	E1099	E1100
	E1101	E1102	E1103	E1104	E1105	E1106	E1107
	E1108	E1109	E1110	E1111	E1112	E1113	E1114
	E1115	E1116	E1117	E1118	E1119	E1120	E1121
	E1122	E1123	E1124	E1125	E1126	E1127	E1128
	E1129	E1130	E1131	E1132	E1133	E1134	E1135
	E1136	E1137	E1138	E1139	E1140	E1141	E1142
	E1143	E1144	E1145	E1146	E1147	E1148	E1149
	E1150	E1151	E1152	E1153	E1154	E1155	E1156
	E1157	E1158	E1159	E1160	E1161	E1162	E1163
	E1164	E1165	E1166	E1167	E1168	E1169	E1170
	E1171	E1172	E1173	E1174	E1175	E1176	E1177
	E1178	E1179	E11				



MIKROCOMPUTER FRENCH

SHIFT + CAPSLOCK

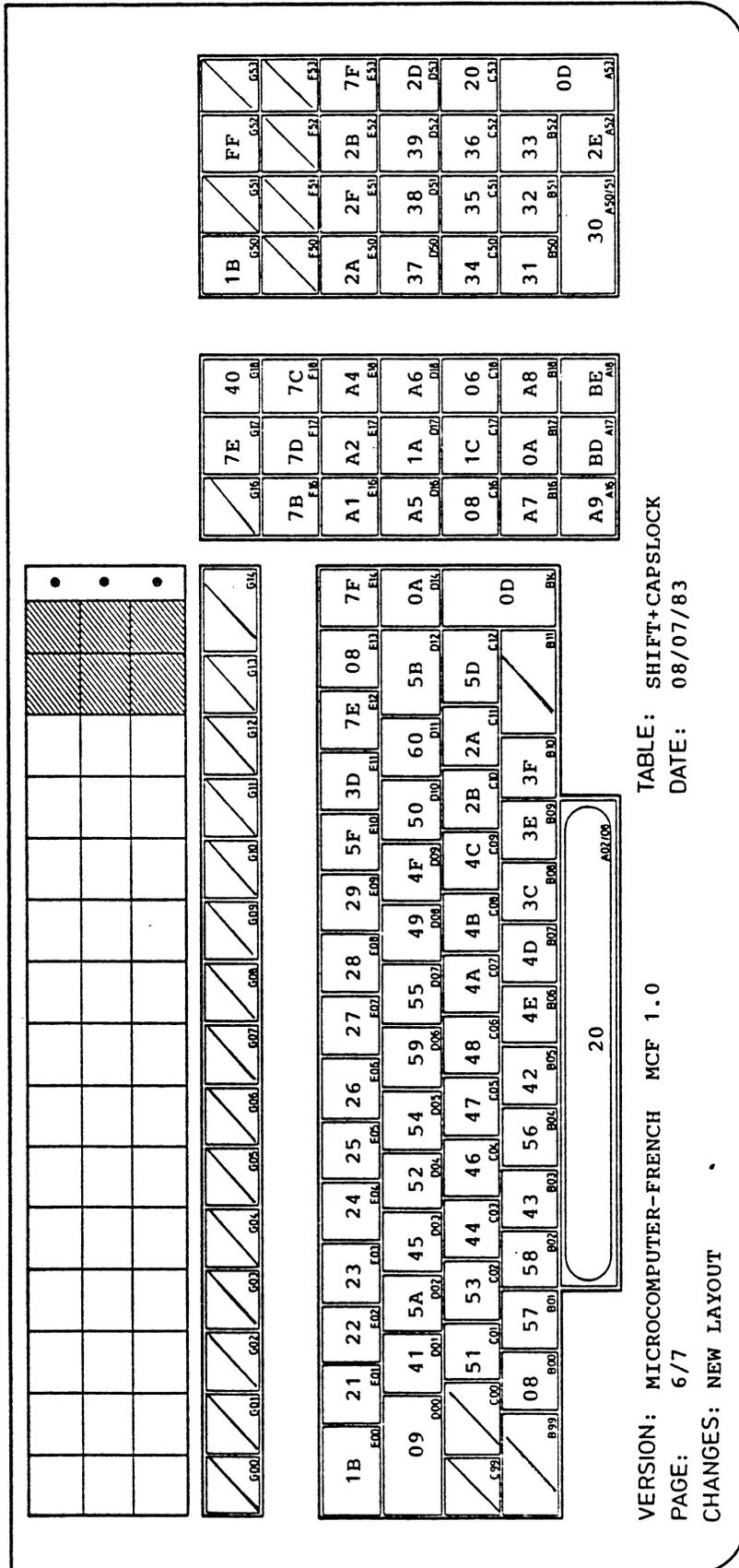


TABLE: SHIFT+CAPSLOCK
DATE: 08/07/83

VERSION: MICROCOMPUTER-FRENCH MCF 1.0
PAGE: 6/7
CHANGES: NEW LAYOUT

1B	FF	
2A	2F	7F
37	38	39
34	35	36
31	32	33
30	2E	0D

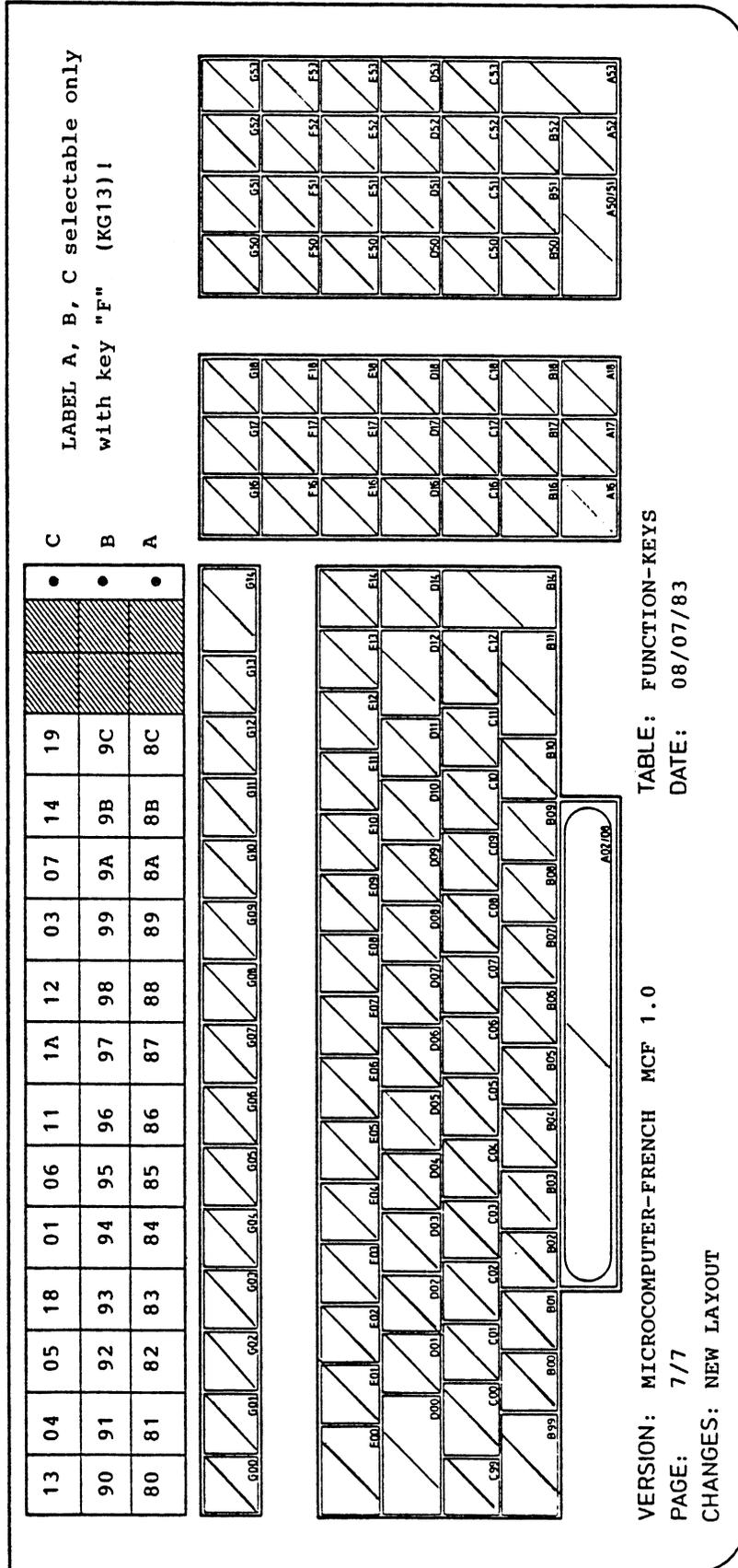
7E	40	7C
7B	A1	A2
A5	1A	A6
08	1C	06
A7	0A	A8
A9	BD	BE

Name		KEYBOARD	
Part No.	1019/1035	Rev. No.	
KONTRON ELECTRONIC		Rev. No.	
KONTRON ELECTRONIC		Rev. No.	



MIKROCOMPUTER FRENCH

FUNCTION - KEYS



VERSION: MICROCOMPUTER-FRENCH MCF 1.0
 PAGE: 7/7
 CHANGES: NEW LAYOUT
 TABLE: FUNCTION-KEYS
 DATE: 08/07/83

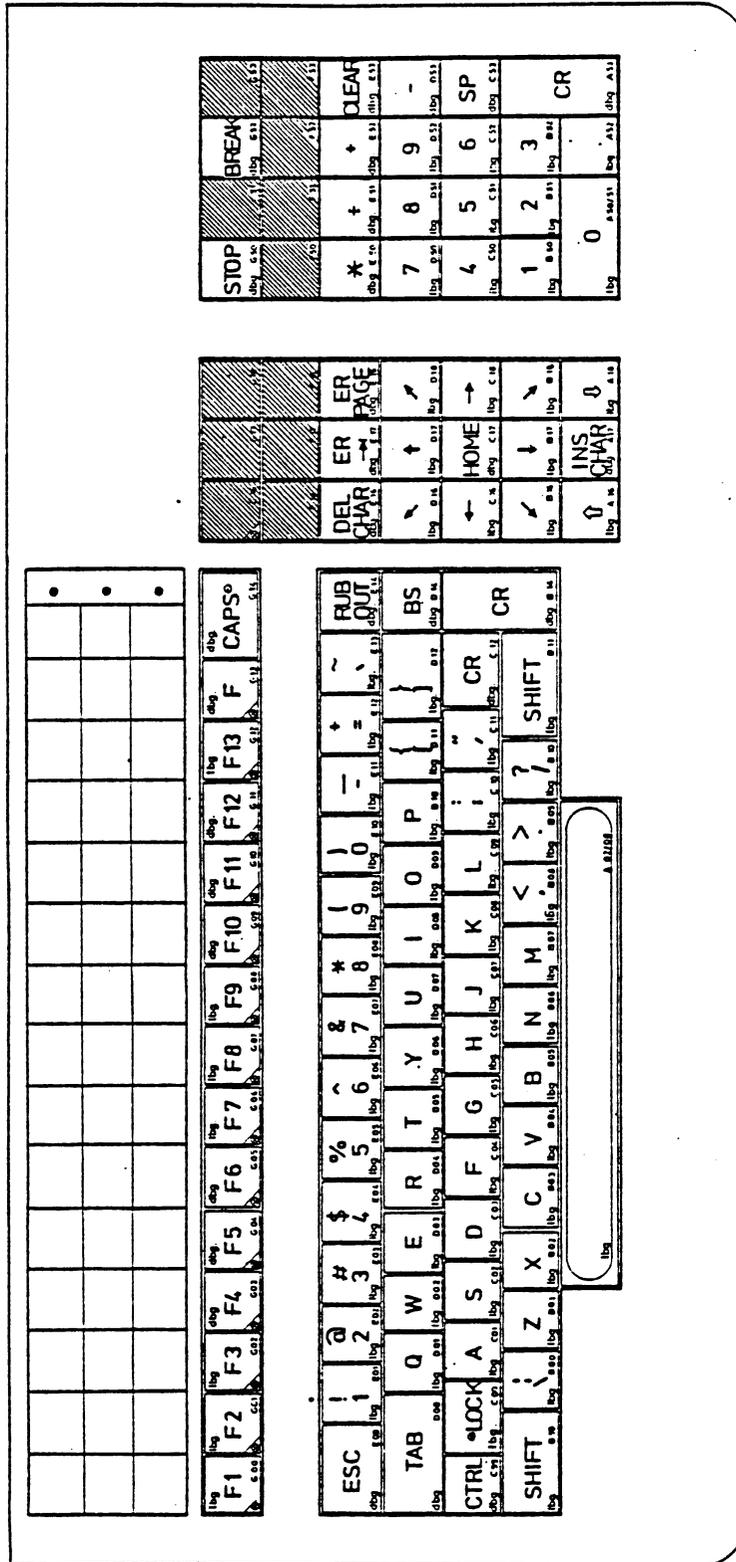
KEYBOARD	
Name: KONTRON Model: 1019/1035 Part No: 1019/1035	Revision: 1.0 Date: 08/07/83



KONTRON Ergoline Keyboard 1035

MICROCOMPUTER INTERNATIONAL

LAYOUT

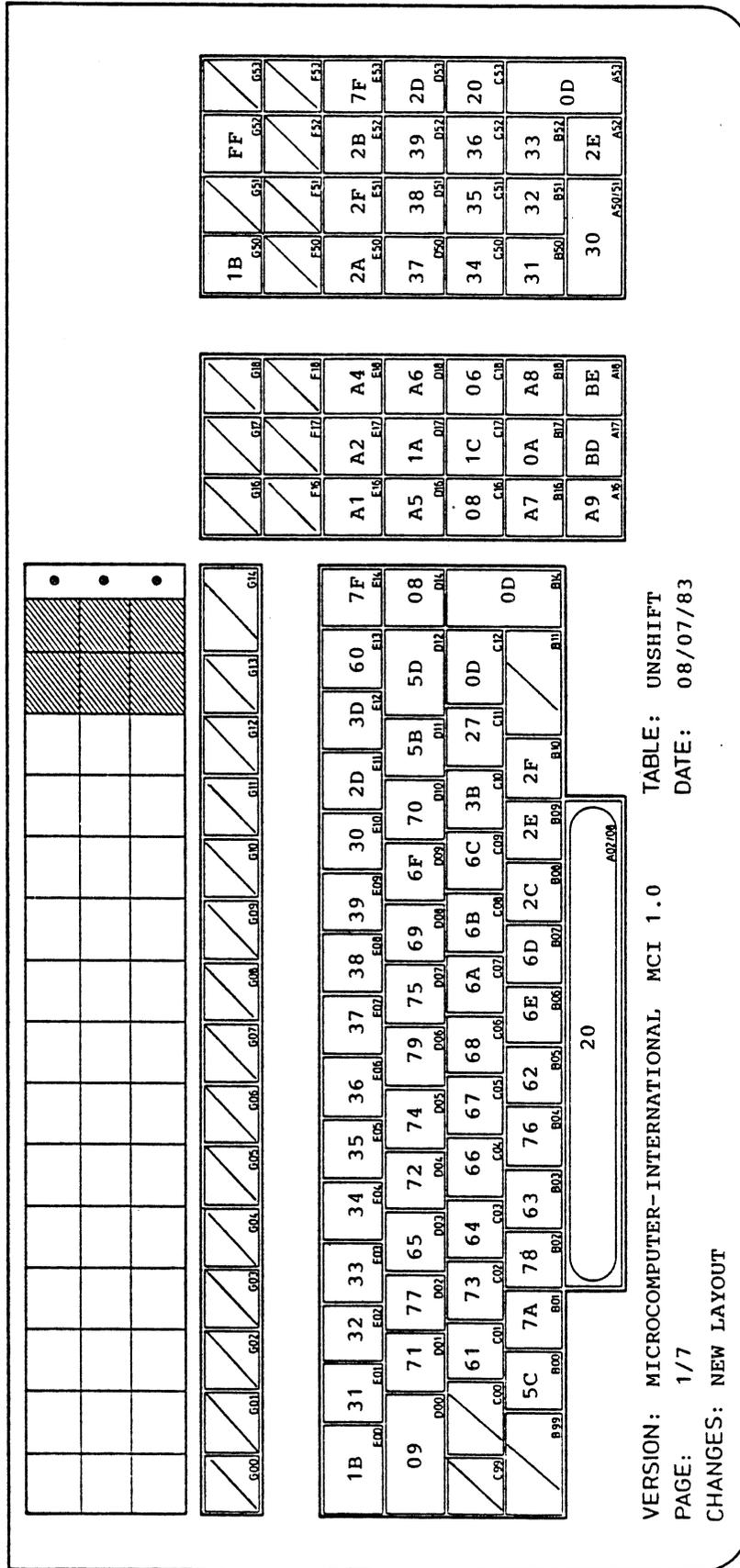


LEGEND
 ● - LED
 COLOURS OF KEYS
 :bg light beige
 :bg dark beige



MIKROCOMPUTER INTERNATIONAL

UNSHIFT



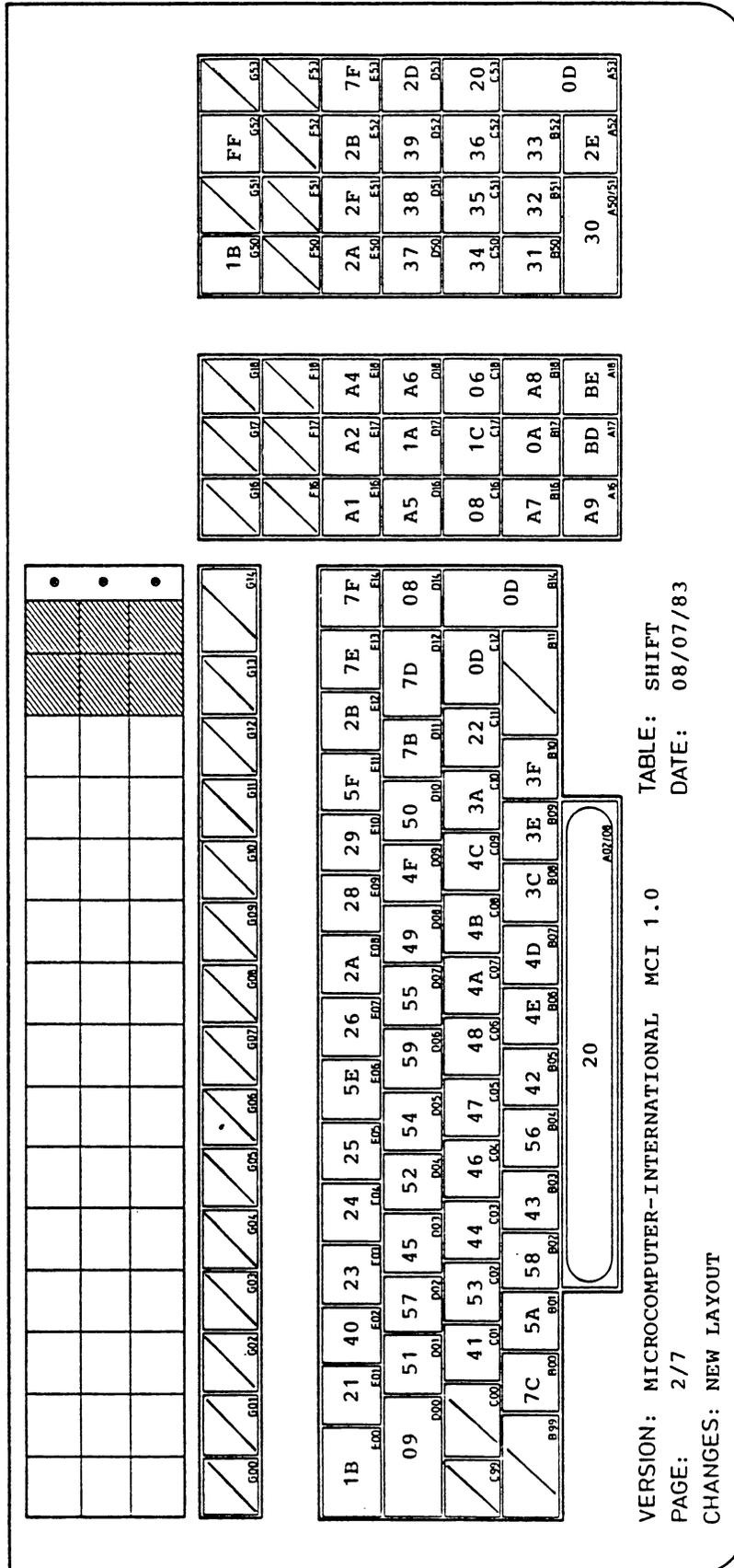
VERSION: MICROCOMPUTER-INTERNATIONAL MCI 1.0
 PAGE: 1/7
 CHANGES: NEW LAYOUT
 TABLE: UNSHIFT
 DATE: 08/07/83

Name		KEYBOARD	
Part No.	117.83	Part No.	1019 / 1035
Code	122.83	Code	
KONTRON ELECTRONIC		KONTRON ELECTRONIC	
St. 178	122.83	St. 178	1019 / 1035
St. 179	122.83	St. 179	
St. 180	122.83	St. 180	
St. 181	122.83	St. 181	
St. 182	122.83	St. 182	
St. 183	122.83	St. 183	
St. 184	122.83	St. 184	
St. 185	122.83	St. 185	
St. 186	122.83	St. 186	
St. 187	122.83	St. 187	
St. 188	122.83	St. 188	
St. 189	122.83	St. 189	
St. 190	122.83	St. 190	
St. 191	122.83	St. 191	
St. 192	122.83	St. 192	
St. 193	122.83	St. 193	
St. 194	122.83	St. 194	
St. 195	122.83	St. 195	
St. 196	122.83	St. 196	
St. 197	122.83	St. 197	
St. 198	122.83	St. 198	
St. 199	122.83	St. 199	
St. 200	122.83	St. 200	
St. 201	122.83	St. 201	
St. 202	122.83	St. 202	
St. 203	122.83	St. 203	
St. 204	122.83	St. 204	
St. 205	122.83	St. 205	
St. 206	122.83	St. 206	
St. 207	122.83	St. 207	
St. 208	122.83	St. 208	
St. 209	122.83	St. 209	
St. 210	122.83	St. 210	
St. 211	122.83	St. 211	
St. 212	122.83	St. 212	
St. 213	122.83	St. 213	
St. 214	122.83	St. 214	
St. 215	122.83	St. 215	
St. 216	122.83	St. 216	
St. 217	122.83	St. 217	
St. 218	122.83	St. 218	
St. 219	122.83	St. 219	
St. 220	122.83	St. 220	
St. 221	122.83	St. 221	
St. 222	122.83	St. 222	
St. 223	122.83	St. 223	
St. 224	122.83	St. 224	
St. 225	122.83	St. 225	
St. 226	122.83	St. 226	
St. 227	122.83	St. 227	
St. 228	122.83	St. 228	
St. 229	122.83	St. 229	
St. 230	122.83	St. 230	
St. 231	122.83	St. 231	
St. 232	122.83	St. 232	
St. 233	122.83	St. 233	
St. 234	122.83	St. 234	
St. 235	122.83	St. 235	
St. 236	122.83	St. 236	
St. 237	122.83	St. 237	
St. 238	122.83	St. 238	
St. 239	122.83	St. 239	
St. 240	122.83	St. 240	
St. 241	122.83	St. 241	
St. 242	122.83	St. 242	
St. 243	122.83	St. 243	
St. 244	122.83	St. 244	
St. 245	122.83	St. 245	
St. 246	122.83	St. 246	
St. 247	122.83	St. 247	
St. 248	122.83	St. 248	
St. 249	122.83	St. 249	
St. 250	122.83	St. 250	
St. 251	122.83	St. 251	
St. 252	122.83	St. 252	
St. 253	122.83	St. 253	
St. 254	122.83	St. 254	
St. 255	122.83	St. 255	
St. 256	122.83	St. 256	
St. 257	122.83	St. 257	
St. 258	122.83	St. 258	
St. 259	122.83	St. 259	
St. 260	122.83	St. 260	
St. 261	122.83	St. 261	
St. 262	122.83	St. 262	
St. 263	122.83	St. 263	
St. 264	122.83	St. 264	
St. 265	122.83	St. 265	
St. 266	122.83	St. 266	
St. 267	122.83	St. 267	
St. 268	122.83	St. 268	
St. 269	122.83	St. 269	
St. 270	122.83	St. 270	
St. 271	122.83	St. 271	
St. 272	122.83	St. 272	
St. 273	122.83	St. 273	
St. 274	122.83	St. 274	
St. 275	122.83	St. 275	
St. 276	122.83	St. 276	
St. 277	122.83	St. 277	
St. 278	122.83	St. 278	
St. 279	122.83	St. 279	
St. 280	122.83	St. 280	
St. 281	122.83	St. 281	
St. 282	122.83	St. 282	
St. 283	122.83	St. 283	
St. 284	122.83	St. 284	
St. 285	122.83	St. 285	
St. 286	122.83	St. 286	
St. 287	122.83	St. 287	
St. 288	122.83	St. 288	
St. 289	122.83	St. 289	
St. 290	122.83	St. 290	
St. 291	122.83	St. 291	
St. 292	122.83	St. 292	
St. 293	122.83	St. 293	
St. 294	122.83	St. 294	
St. 295	122.83	St. 295	
St. 296	122.83	St. 296	
St. 297	122.83	St. 297	
St. 298	122.83	St. 298	
St. 299	122.83	St. 299	
St. 300	122.83	St. 300	



MIKROCOMPUTER INTERNATIONAL

SHIFT



VERSION: MICROCOMPUTER-INTERNATIONAL MCI 1.0
 PAGE: 2/7
 CHANGES: NEW LAYOUT
 TABLE: SHIFT
 DATE: 08/07/83

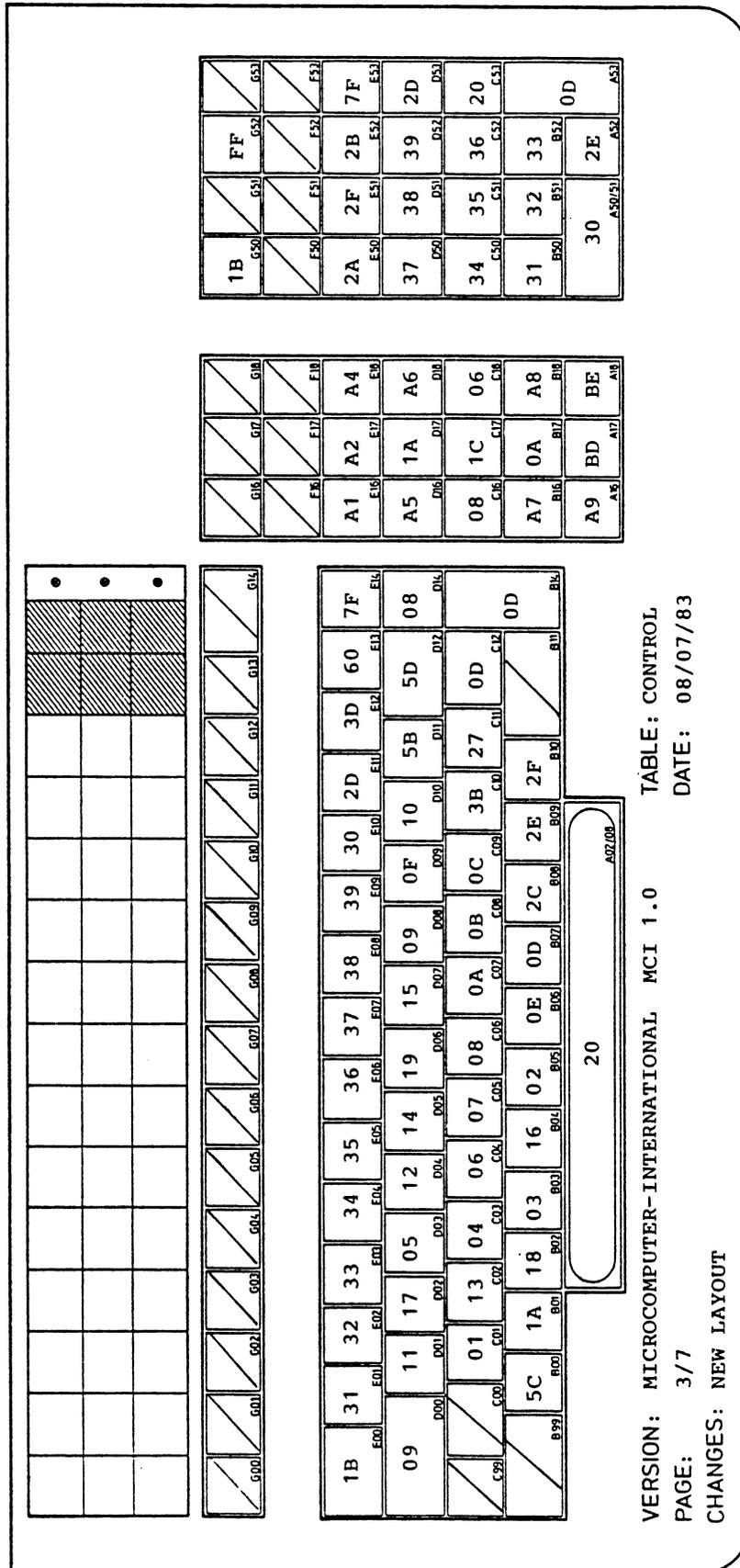
Name		KEYBOARD	
Serial No.		1019 / 1035	
Date		10/19/83	
Manufacturer		KONTRON ELECTRONICS	
Part No.		1019 / 1035	
Drawing No.		1019 / 1035	



KONTRON Ergoline-Tastatur 1035

MIKROCOMPUTER INTERNATIONAL

CONTROL



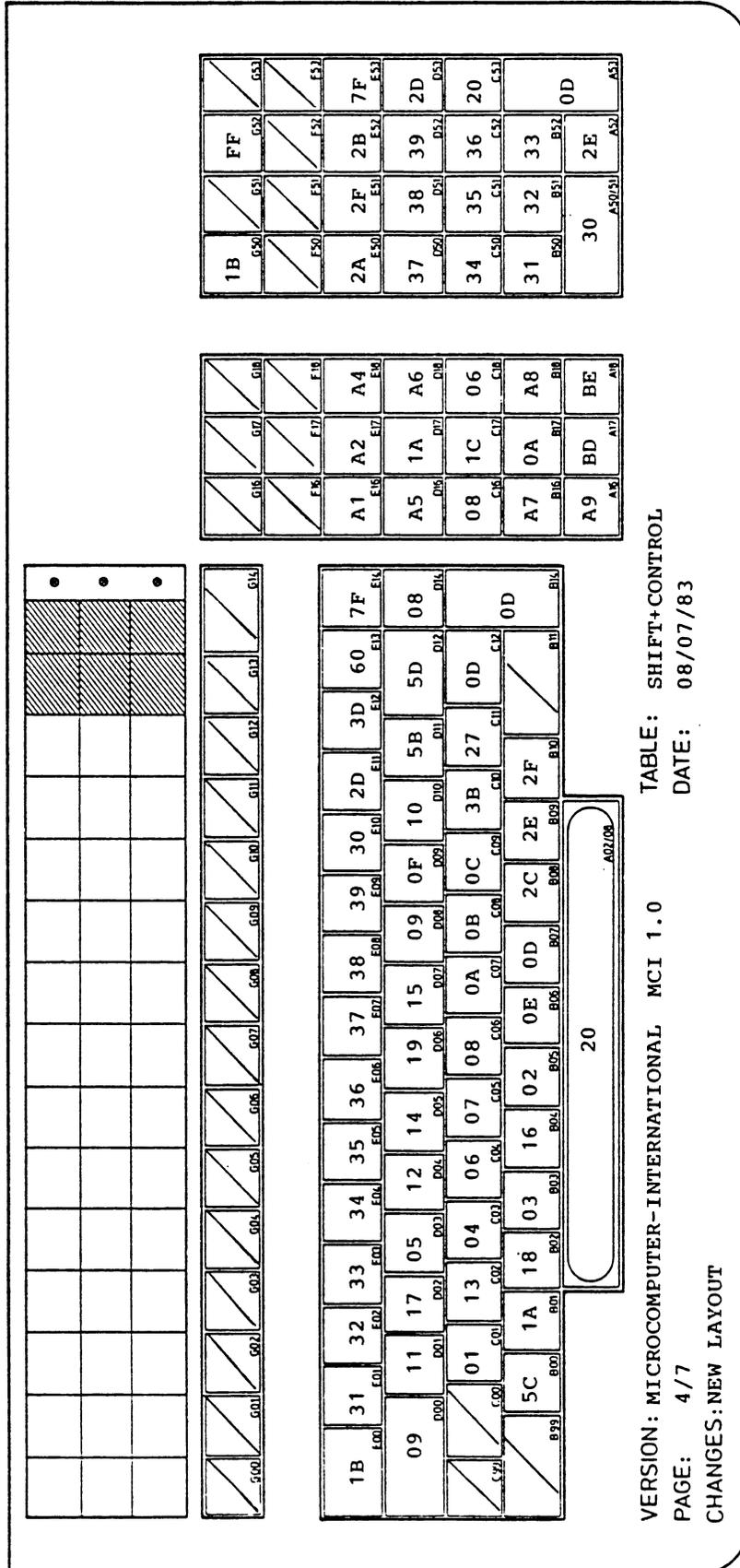
VERSION: MICROCOMPUTER-INTERNATIONAL MCI 1.0
 PAGE: 3/7
 CHANGES: NEW LAYOUT
 TABLE: CONTROL
 DATE: 08/07/83

Name		KEYBOARD	
Part No.	1019/1035	Rev.	01
Manufacturer	KONTRON ELECTRONIC	Part No.	1019/1035
Part No.	1019/1035	Rev.	01
Manufacturer	KONTRON ELECTRONIC	Part No.	1019/1035
Part No.	1019/1035	Rev.	01



MIKROCOMPUTER INTERNATIONAL

SHIFT + CONTROL



1B	FF		
2A	2B	7F	
37	38	39	2D
34	35	36	20
31	32	33	0D
	30	2E	

A1	A2	A4	A6
A5	1A	A6	06
08	1C	06	A8
A7	0A	A8	BE
A9	BD	BE	

TABLE: SHIFT+CONTROL
DATE: 08/07/83

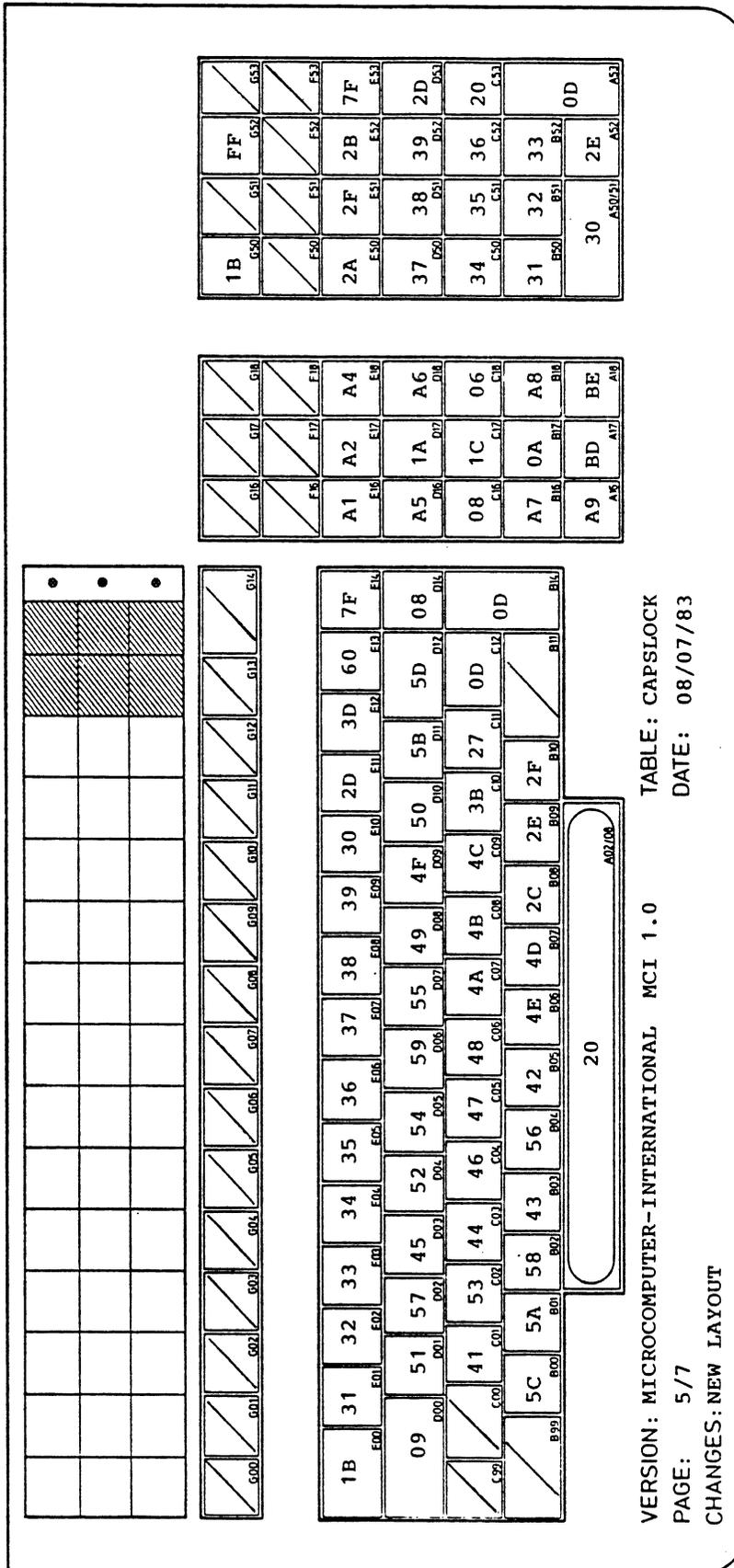
VERSION: MICROCOMPUTER-INTERNATIONAL MCI 1.0
PAGE: 4/7
CHANGES: NEW LAYOUT

KONTRON		KEYBOARD	
Part No.	1019/1035	Rev.	
Manuf.	KONTRON	Part No.	
Model	1019/1035	Rev.	
Year	1983	Part No.	
Month	08	Rev.	
Day	07	Part No.	
Hour		Rev.	
Min		Part No.	
Sec		Rev.	



MIKROCOMPUTER INTERNATIONAL

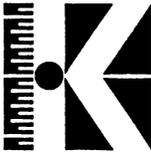
CAPSLOCK



VERSION: MICROCOMPUTER-INTERNATIONAL MCI 1.0
 PAGE: 5/7
 CHANGES: NEW LAYOUT

TABLE: CAPSLOCK
 DATE: 08/07/83

Name		KEYBOARD	
Birth	11.7.83	Serial No.	1019 / 1035
Comp.	122.2.83	PC Code	
KONTRON			
Mr. Mr.	11.11.83		
11	12.2.83		



MIKROCOMPUTERINTERNATIONAL

SHIFT + CAPSLOCK

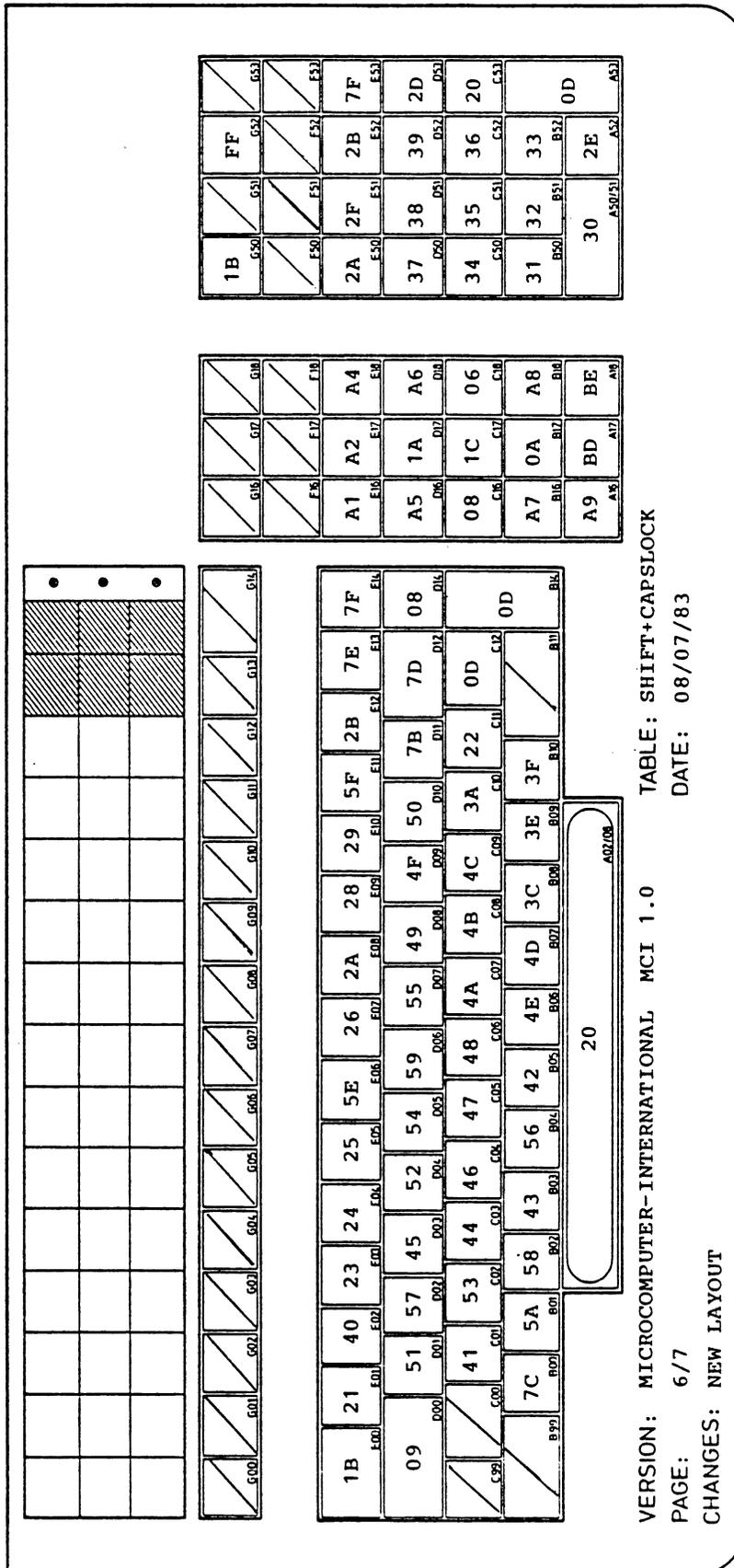


TABLE: SHIFT+CAPSLOCK

DATE: 08/07/83

VERSION: MICROCOMPUTER-INTERNATIONAL MCI 1.0

PAGE: 6/7

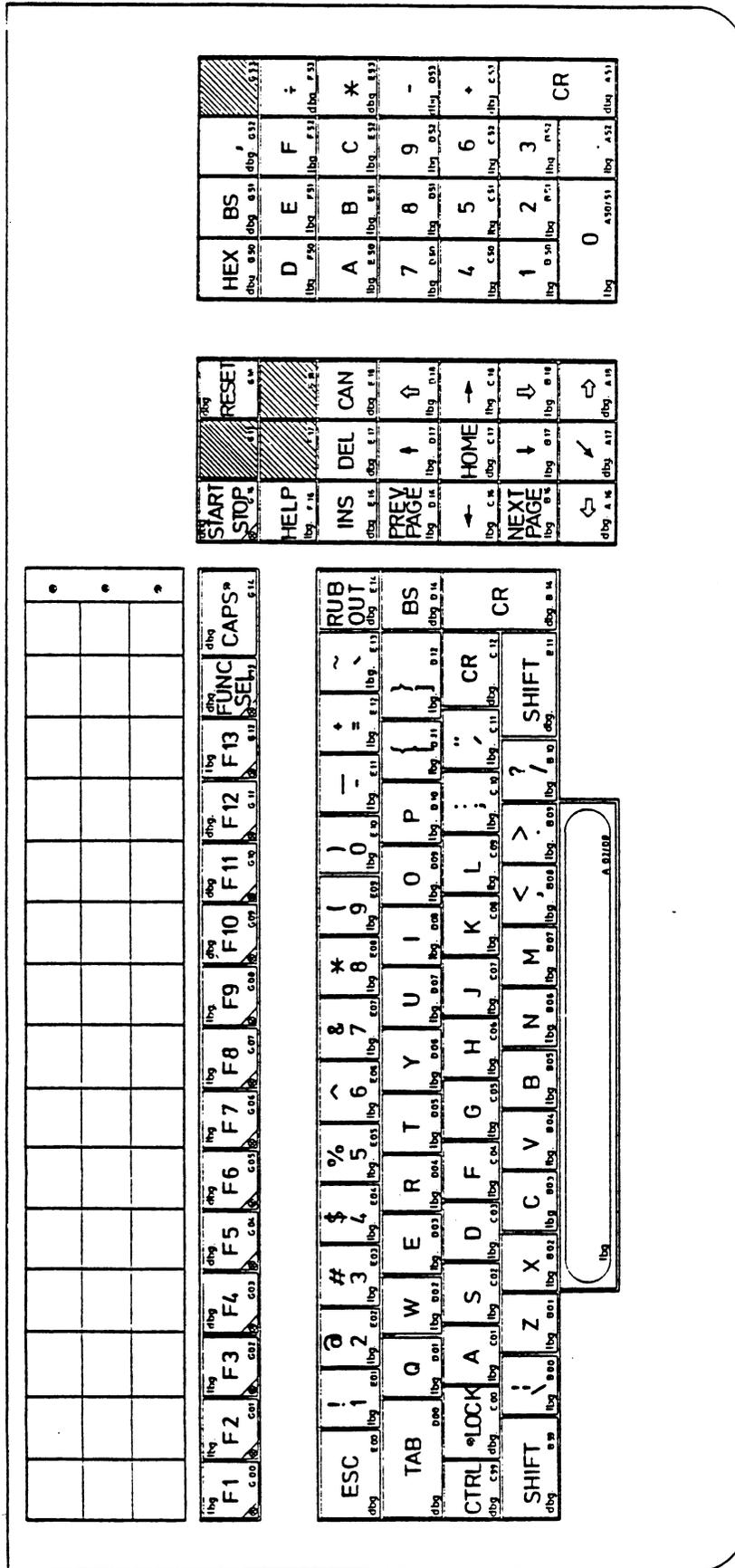
CHANGES: NEW LAYOUT

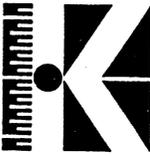
Name		KEYBOARD	
Stichtag	21.7.83	Serial No.	1019/1035
Gezeichnet	22.2.83	Druck No.	
KONTRON		Druck No.	
22.2.83		1019/1035	
22.2.83		1019/1035	
Adresse		Druck No.	
22.2.83		1019/1035	



MEBTECHNIK INTERNATIONAL

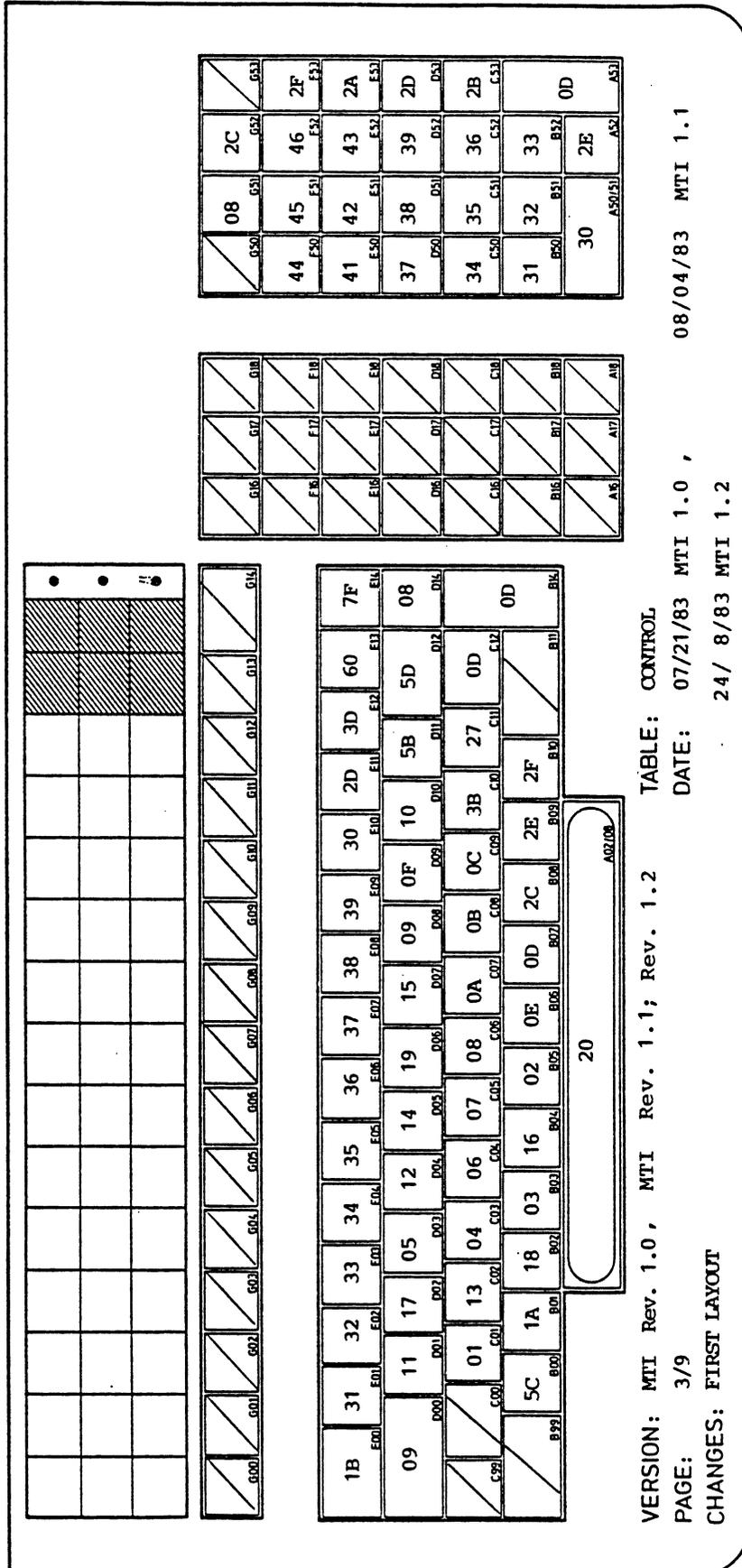
LAYOUT





MEETECHNIK INTERNATIONAL

CONTROL



VERSION: MTI Rev. 1.0, MTI Rev. 1.1; Rev. 1.2
 PAGE: 3/9
 CHANGES: FIRST LAYOUT

DATE: 07/21/83 MTI 1.0, 08/04/83 MTI 1.1
 24/ 8/83 MTI 1.2

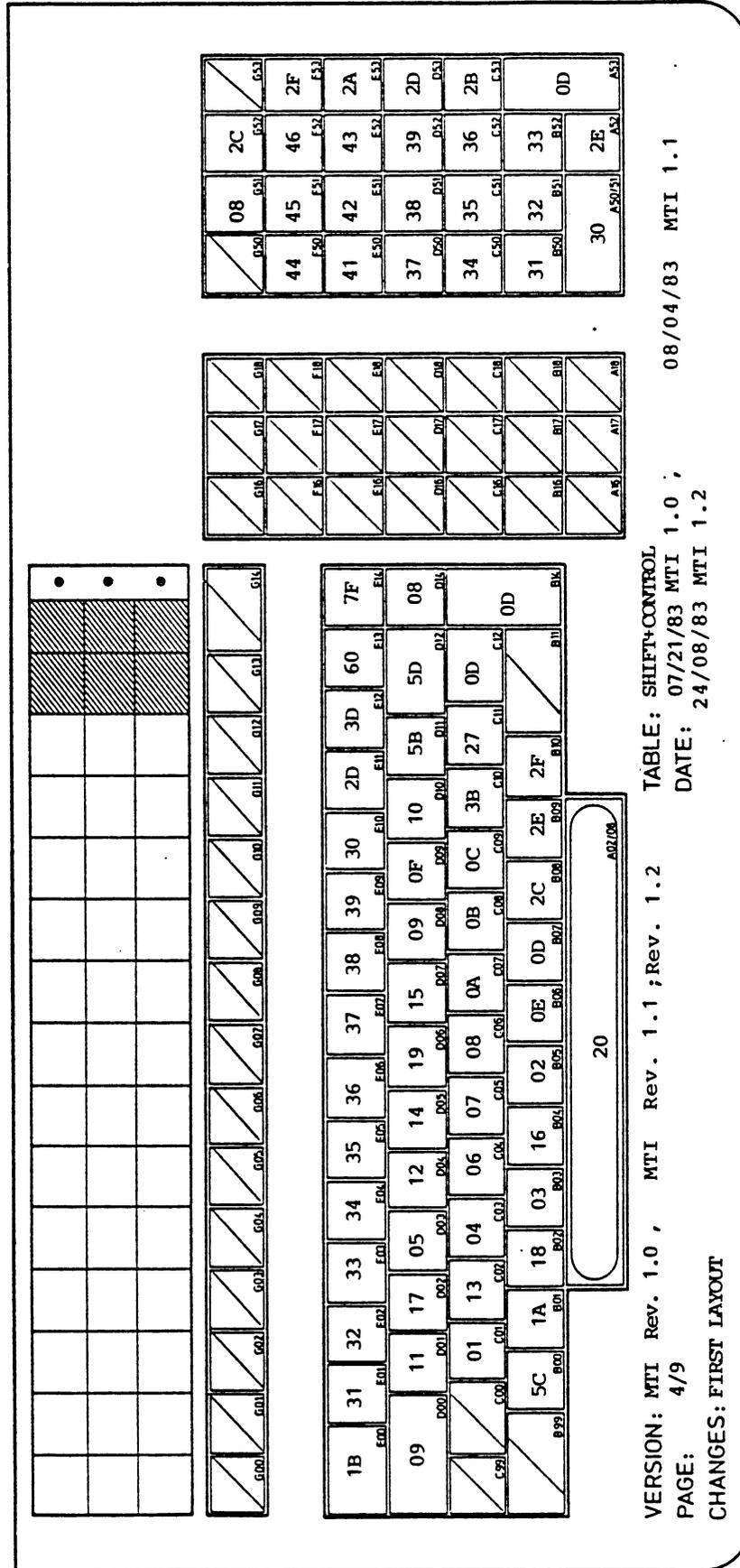
TABLE: CONTROL

Part No.	1019/1035
Part Name	KEYBOARD
Rev.	1.0
Drawn	11/2/83
Checked	11/2/83
Approved	11/2/83
Company	KONTRON ELECTRONICS
Address	
City	
Country	
Scale	
Sheet	
Total	



MEBTECHNIK INTERNATIONAL

SHIFT + CONTROL



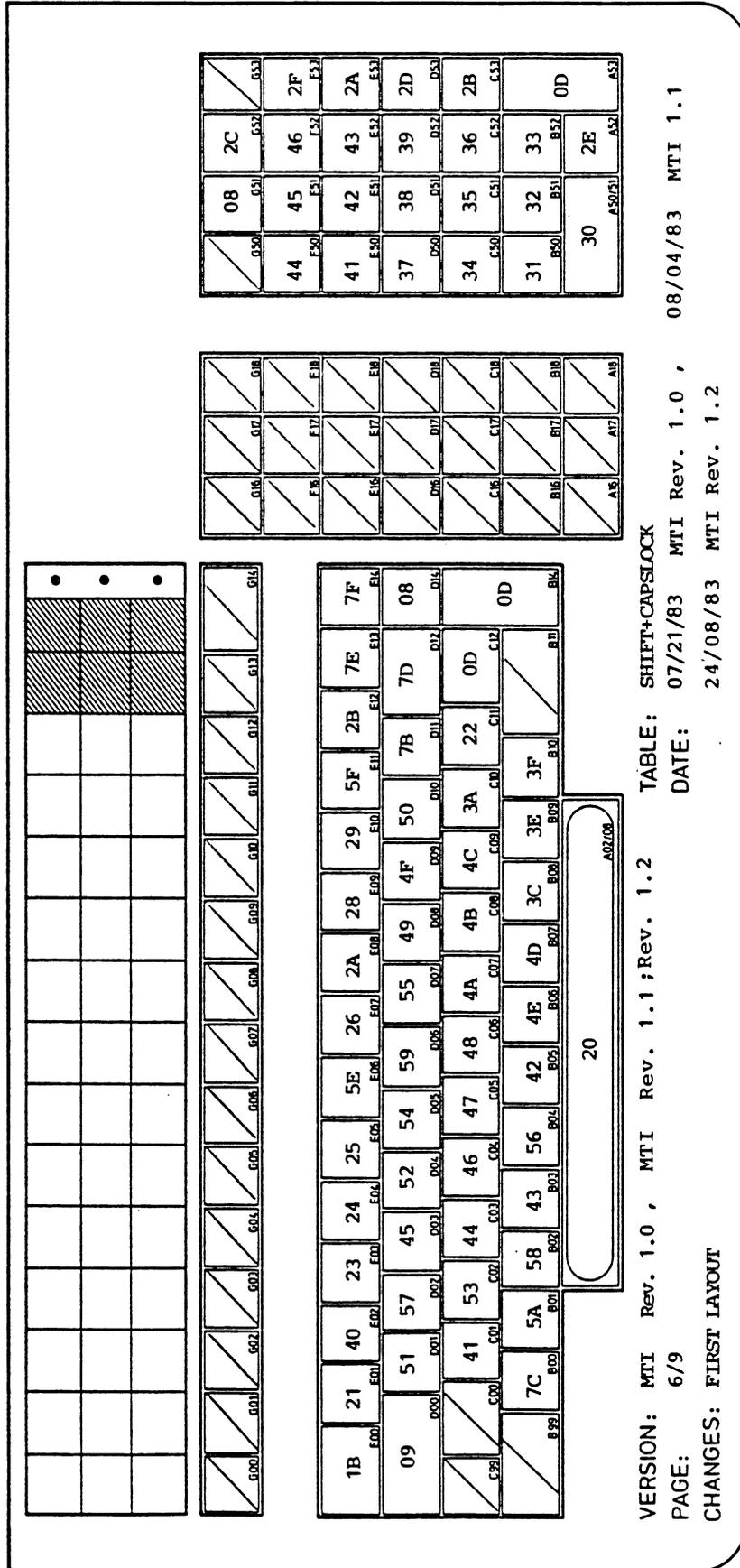
Name		KEYBOARD	
Date		10/19/83	
Page		1019/1035	
KONTRON ELECTRONIC		1019/1035	
Part No.		1019/1035	
Drawing No.		1019/1035	
Rev.		1.0	



KONTRON Ergoline-Tastatur 1035

MEBTECHNIK INTERNATIONAL

SHIFT + CAPSLOCK



VERSION: MTI Rev. 1.0, MTI Rev. 1.1; Rev. 1.2
 DATE: 07/21/83 MTI Rev. 1.0, 08/04/83 MTI 1.1
 24/08/83 MTI Rev. 1.2
 TABLE: SHIFT+CAPSLOCK
 PAGE: 6/9
 CHANGES: FIRST LAYOUT

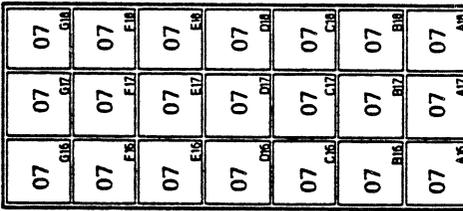
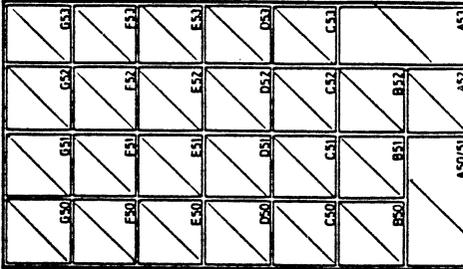
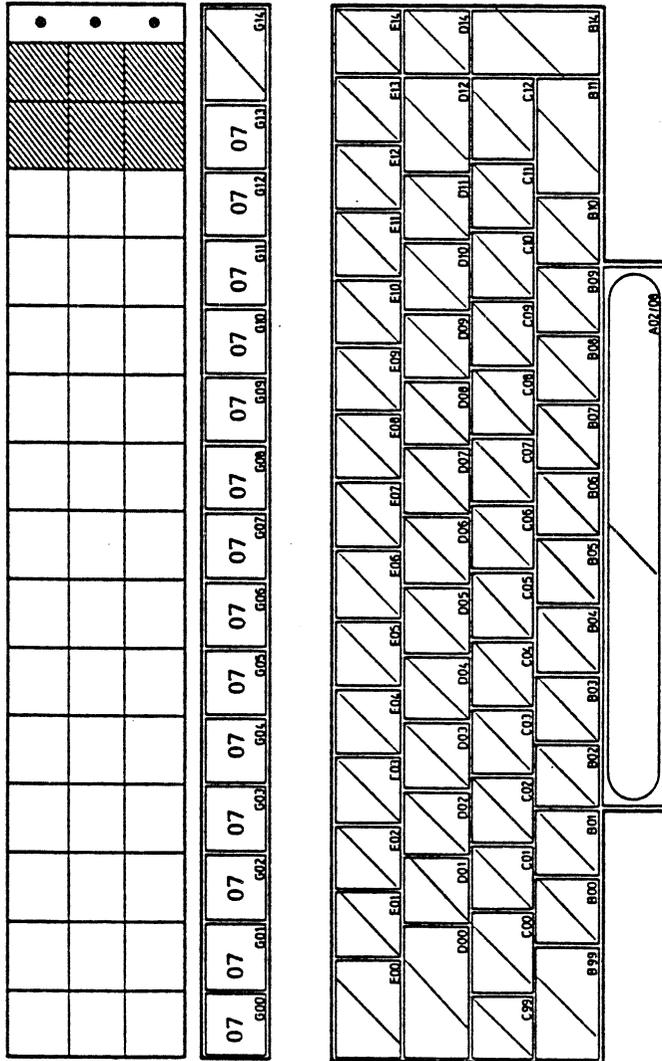
Name		KEYBOARD	
Part No.	1019/1035	Rev. No.	1.1
Manufacturer		KONTRON	
Part No.	1019/1035	Rev. No.	1.1



MEßTECHNIK INTERNATIONAL

FUNCTION LABEL 3

LABEL 3 : NOT USED!



VERSION: MTI Rev. 1.0 , MTI Rev. 1.1; Rev. 1.2 TABLE: LABEL 3
 PAGE: 9/9 DATE: 07/21/83 MTI 1.0 , 08/04/83 MTI 1.1
 CHANGES: FIRST LAYOUT 24/08/83 MTI 1.2

Best.-Nr.	11	Mei./Jhr.	22/83	Tag	11.2.83	Name	KONTRON
Best.-Jahr	83	Mei./Jhr.	22/83	Tag	11.2.83	Name	KONTRON
Best.-Nr.	1019/1035	Mei./Jhr.	22/83	Tag	11.2.83	Name	KONTRON
Best.-Jahr	83	Mei./Jhr.	22/83	Tag	11.2.83	Name	KONTRON
Best.-Nr.	1019/1035	Mei./Jhr.	22/83	Tag	11.2.83	Name	KONTRON
Best.-Jahr	83	Mei./Jhr.	22/83	Tag	11.2.83	Name	KONTRON

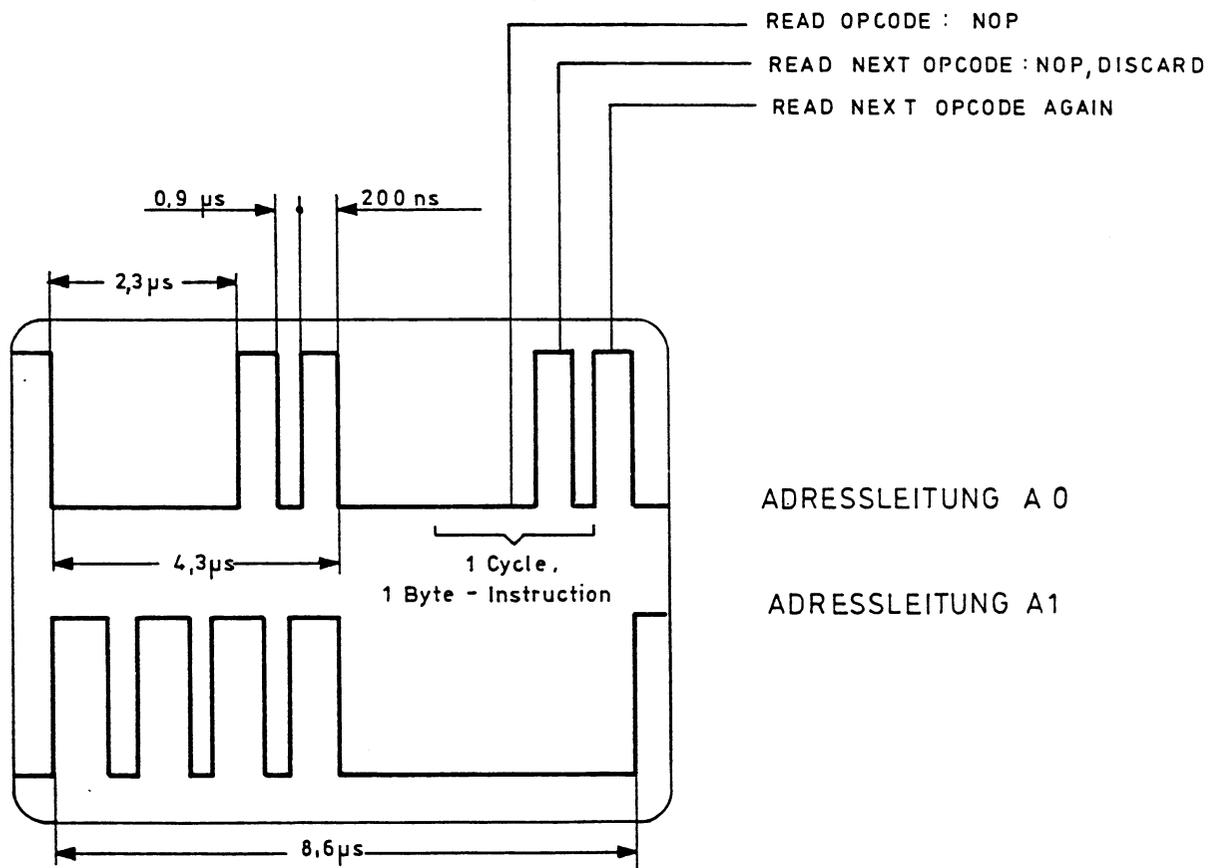


6. Testpromlisting

Die folgenden beiden Testprogramme sollen für die Suche besonders schwieriger Fehler Hilfestellung geben. Dazu sind die Hexcodes des Assemblerlistings in einen EPROM-Programmer einzugeben (z.B. KONTRON MPP/EPP) und für jedes Programm ein eigenes EPROM 27C32A zu programmieren.

6.1 Adreß-Bus-Test

Das gesamte EPROM ist mit "NOP"-Befehlen gefüllt, bei deren Abarbeitung die CPU ihren Program-Counter jeweils um einen Schritt erhöht. Am Ende des EPROMs steht ein Sprung auf den EPROM-Anfang, so daß das Testprogramm als Endlosschleife abläuft und eine Überprüfung der Adreßleitungen mit dem Oscilloscope ermöglicht. Folgendes Oscillogramm zeigt die typischen Signale eines funktionsfähigen Keyboards:





KONTRON Ergoline-Tastatur 1035

Jede Adressleitung weist dabei gegenüber der vorhergehenden die halbe Frequenz auf. Nicht funktionsfähige Leitungen können deshalb sehr schnell erkannt werden.

Der "H"-Pegel der Rechteckschwingung ist deshalb unterbrochen, da während dieser Phase zwei OPCODE-Fetches erfolgen, ebenso wie beim "L"-Bereich des Signales. Die CPU 8031 holt bei 1Byte-/1Cycle-Befehlen grundsätzlich noch den OPCODE des Befehles auf der nächsthöheren Adresse, der jedoch bei der Ausführung unberücksichtigt bleibt.

```

:*****
:***** TEST-SOFTWARE FOR ERGOLINE-KEYBOARDS 1035 Rev. 1.1 *****
:*****
:***** ADDRESS - BUS - TEST Rev. 1.0 *****
:*****
:***** COPYRIGHT BY *****
:***** KONTRON ELEKTRONIK GMBH, DEPT. SYSTEME + TECHNOLOGIE *****
:***** BRESLAUER STR. 2, 8057 ECHING/MUENCHEN *****
:*****
:***** SOFTWARE Rev. 1.0 WRITTEN BY ANDREAS KRIWANEK 09/18/83 *****
:*****

```

```

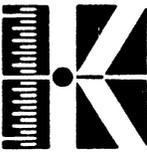
: DESCRIPTION:
:-----
:
: THIS TEST-PROGRAM WAS DESIGNED FOR TESTING THE ADDRESS-BUS
: OF THE KEYBOARD WITH AN TWO-CHANNEL-OSCILLOSCOPE. THE EPROM
: IC8 (27C32) IS FILLED WITH "NOP"-OPCODES, WITH THE EXCEPTION
: OF THE LAST THREE MEMORY-LOCATIONS, IN WHICH A UNCONDITIONAL
: BRANCH TO THE FIRST LOCATION OF THE EPROM IS PLACED. BECAUSE
: THE CPU IS FETCHING THE "NOP"-OPCODE IN A INFINITE LOOP, THE
: ADDRESS-BUS-LINES WILL BE INCREMENTED IN STEPS BY ONE, FROM
: THE FIRST EPROM-LOCATION (ADDRESS 0000H) UNTIL THE HIGHEST
: EPROM-ADDRESS (ADDRESS OFFFH), IN THE SAME MANNER LIKE AN TTL-
: BINARY-COUNTER. SO IT'S EASY TO DETECT DEFECT ADDRESS-LINES
: WITH AN OSCILLOSCOPE.
:

```

```

0000 00      NOP      ;THE EPROM IC8, ORGANIZED 4Kx8 IS FILLED
0001 00      NOP      ;WITH "NOP"-OPCODES, WITH THE EXCEPTION
0002 00      NOP      ;OF THE LAST THREE MEMORY-LOCATIONS
0003 00      NOP
.
.
.
.
OFFA 00      NOP
OFFB 00      NOP
OFFC 00      NOP
OFFD 020000  LJMP     0000H ;UNCONDITIONAL BRANCH TO FIRST EPROM-
                          END   ;LOCATION

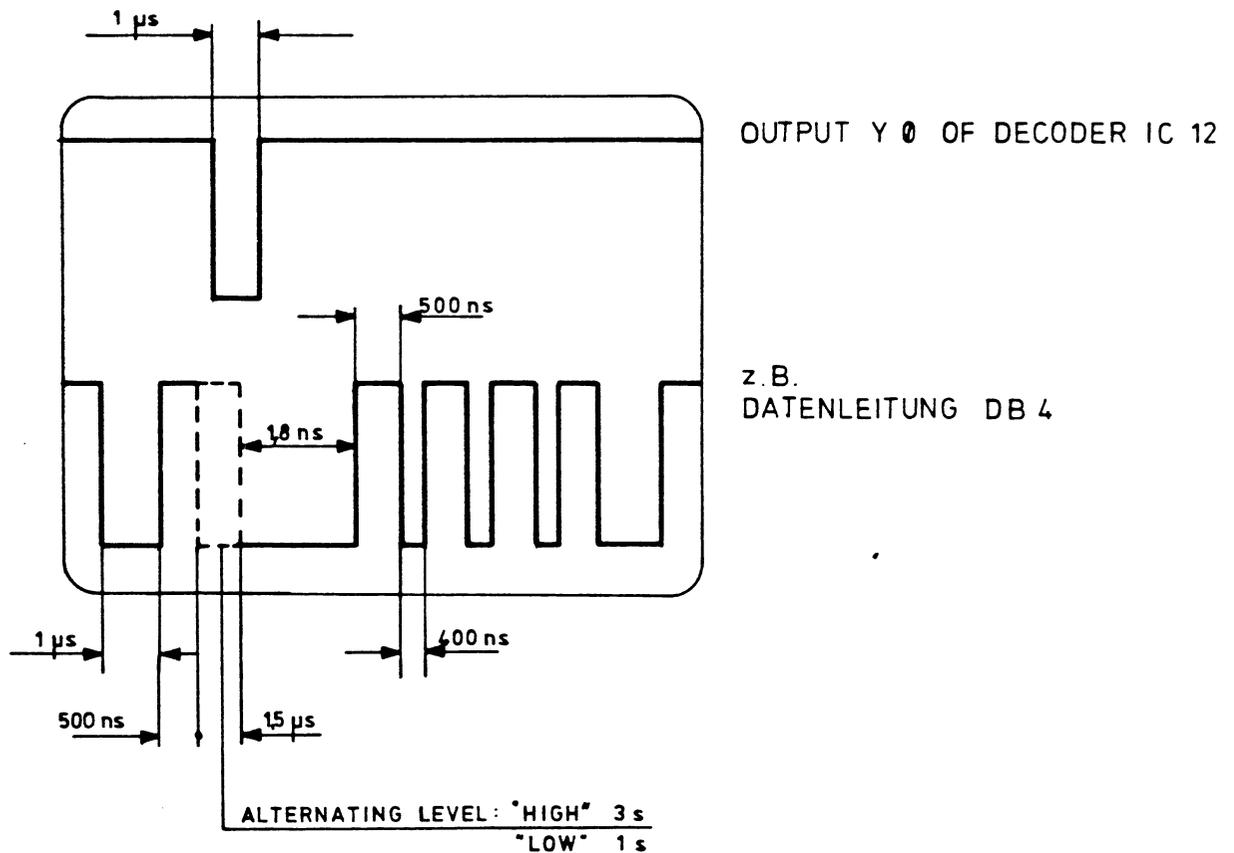
```



6.2 Decoder- und Peripherie-Test

Auch dieses Programm wurde als Endlosschleife konzipiert um Messungen mit dem Oszilloskop zu ermöglichen. Dabei wird laufend ein spezielles Testmuster (1 Bit="L", alle anderen 7 Bits="H") an alle Peripherieeinheiten geschrieben, die an den Ausgängen des Decoders IC12 (74 HC 138) angeschlossen sind. Die Register IC 3,4,5,6 übernehmen das Testmuster und zeigen es mit den LEDs an (Ausnahme IC6). Lediglich der Row-Sense-Buffer IC2 (74 HC 244) wird gelesen statt beschrieben, um einen Buskonflikt zu vermeiden.

Im Programm ist eine Warteschleife installiert, damit die Testmuster für etwa eine halbe Sekunde betrachtet werden können, bevor das Muster sich ändert. Das "L"-Bit des Testmusters wird nach Ablauf der Wartezeit um eine Position nach links rotiert, was sich auf dem Keyboard als eine Art Lauflicht zeigt. Mit dem Scope kann nun einer der acht Decoderausgänge in Verbindung mit einem Datenbit betrachtet werden (Triggerung auf Decoderausgang!). Zur Verdeutlichung der typischen Signale wird im folgenden Oszillogramm der Ausgang Y0 in Verbindung mit dem Datenbit DB4 dargestellt:





KONTRON Ergoline-Tastatur 1035

Die dargestellte Datenleitung wechselt im Bereich unterhalb des aktivierten Decoderausgangs etwa alle 4 Sekunden von "H" auf "L" und verbleibt dort etwa eine Sekunde. Dieser Wechsel ist mit dem Aufleuchten der zur Datenleitung zugehörigen LED identisch. Mit diesem Testprogramm ist es möglich, alle Decoderausgänge und Datenleitungen auf einwandfreie Funktion zu überprüfen.

AVOCET SYSTEMS 8051 CROSS-ASSEMBLER - VERSION 1.09

SOURCE FILE NAME: DECTEST.ASM

TEST-SOFTWARE FOR ERGOLINE-KEYBOARDS 1035 Rev. 1.1

DECODER - AND PERIPHERAL TEST Rev.1.0

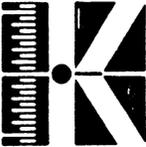
COPYRIGHT BY
KONTRON ELEKTRONIK GMBH, DEPT. SYSTEME + TECHNOLOGIE
BRESLAUER STR. 2, 8057 ECHING/MUENCHEN

SOFTWARE Rev. 1.0 WRITTEN BY ANDREAS KRIWANEK 09/18/83

DESCRIPTION:

THIS PROGRAM IS DESIGNED AS INFINITE LOOP FOR TESTING THE KEYBOARD WITH AN OSCILLOSCOPE. A SPECIAL TEST-PATTERN, IN WHICH ONLY ONE BIT IS "LOW" AND THE OTHER SEVEN BITS ARE "HIGH", IS WRITTEN TO ALL 8 OUPUTS OF THE DECODER IC12. AFTER SCANNING ALL 8 OUTPUTS, A DELAY-COUNTER IS DECREMENTED AND THE OUTPUT OF THE SAME TEST-PATTERN IS CONTINUED ON ALL 8 DECODER-OUTPUTS. IF THE NESTED DELAY-COUNTER REACHES ZERO, THE "LOW"-BIT OF THE TEST-PATTERN IS ROTATED ONE POSITION TO THE LEFT, AND THE PROGRAM CONTINUES THE OUTPUT-LOOP.
THE USER OF THIS PROGRAMM IS ABLE TO TEST ALL OUTPUTS AND LED'S OF THE PERIPHERAL REGISTERS IC 3,4,5,6. IT ALLOWS ALSO TO SEE, IF ALL DATA-LINES ARE INDEPENDENT FROM ANOTHER (ONLY ONE OUTPUT OF A REGISTER IS ALLOWED TO BE ACTIVATED AT THE SAME TIME!).

F7F8 BASEADR EQU 0F7F8H ;BASE-ADDRESS OF DECODER IC12
0000 74FE INIT: MOV A,#1111110B ;LOAD INITIAL TEST-PATTERN INTO ACCU
0002 7F00 MOV R7,#00H ;SET FIRST LOOP-COUNTER FOR DELAY
0004
0004 7E15 LOOP3: MOV R6,#21 ;SET SECOND LOOP-COUNTER FOR DELAY
0006 90F7F8 LOOP2: MOV DPTR,#0F7F8H ;SET DATA-POINTER TO BASE-ADDRESS OF DECODER
0009 F0 MOVX @DPTR,A ;WRITE TO DECODER-OUTPUT Y0
000A A3 INC DPTR
000B F0 MOVX @DPTR,A ;WRITE TO DECODER-OUTPUT Y1
000C A3 INC DPTR
000D F0 MOVX @DPTR,A ;WRITE TO DECODER-OUTPUT Y2
000E A3 INC DPTR
000F F0 MOVX @DPTR,A ;WRITE TO DECODER-OUTPUT Y3
0010 A3 INC DPTR
0011 C0E0 PUSH ACC ;SAVE TEST-PATTERN ONTO STACK
0013 E0 MOVX A,@DPTR ;READ FROM DECODER-OUTPUT Y4
0014 D0E0 POP ACC ;FETCH TEST-PATTERN FROM STACK
0016 A3 INC DPTR
0017 F0 MOVX @DPTR,A ;WRITE TO DECODER-OUTPUT Y5
0018 A3 INC DPTR
0019 F0 MOVX @DPTR,A ;WRITE TO DECODER-OUTPUT Y6
001A A3 INC DPTR
001B F0 MOVX @DPTR,A ;WRITE TO DECODER-OUTPUT Y7
001C
001C DFE8 DJNZ R7,LOOP2 ;DECREMENT FIRST LOOP, TEST IF ZERO
001E DEE6 DJNZ R6,LOOP2 ;DECREMENT 2ND LOOP, TEST IF ZERO!
0020 ;IF NON ZERO, CONTINUE WITH LOOP2!
0020 23 RL A ;DELAY FOR TEST-PATTERN FINISHED:
0021 ;ROTATE ZERO IN TEST-PATTERN ONE POSITION TO
0021 80E1 SJMP LOOP3 ;THE LEFT
0021 ;CONTINUE INFINITE OUTPUT-LOOP
0000 END



Achtung: Die Instandsetzung dieser primärgetakteten Schaltnetz-
teile sollte nur dem entsprechend ausgebildeten
Servicepersonal vorbehalten sein, da hier direkt an der
Netzspannung gemessen und gearbeitet wird.

In dem System KONTRON PSI 98 kommen primärgetaktete Netzteile der
Firma MGV zum Einsatz. Diese Netzteile besitzen gegenüber her-
kömmlichen Stromversorgungsteilen den Vorteil eines sehr hohen
Wirkungsgrades. Er beträgt bei den verwendeten Schaltreglern ca.
80 %. Die Wärmeproduktion der Netzteile hält sich somit in
Grenzen.

Im System sind Einschubmöglichkeiten für maximal zwei Stromver-
sorgungsteile vorgesehen. In der Grundversion (max. 2 Floppy
Laufwerke) ist das System mit nur einem Netzteil ausgerüstet. Es
steht auf dem äußeren der beiden Steckplätze.

Es trägt die Bezeichnung P104A-51215k und liefert folgende
Ausgangsspannungen bei den angegebenen Strömen:

+ 5V	8A
+12V	5.5A
+15V	0.4A
-15V	0.4A

Ist das System mit einer Harddisk bzw. Wechselplatte ausgerüstet,
so ist folgende Netzteilkonfiguration vorgesehen:

Äußerer Steckplatz: P 102A - 12151k

+12V	7A
+15V	0.4A
-15V	0.4A

Innerer Steckplatz: P101A - 05151k

+ 5V	15A
------	-----

Zur Abschätzung des Stromverbrauchs bei Erweiterung der Minimal-
konfiguration (z.B. ECB-Karten) gibt folgende Tabelle einen Über-
blick. Folgende Angaben sollen einen Anhaltspunkt bieten, da die
einzelnen Werte durchaus etwas schwanken können.

KDT6	3.5A	bei + 5V
Floppy (TEAC)	0.8A	bei + 5V
	0.7A	bei +12V
Harddisk	1 A (max)	bei + 5V
	3.5A (max)	bei +12V
Controller	2.6A	bei + 5V

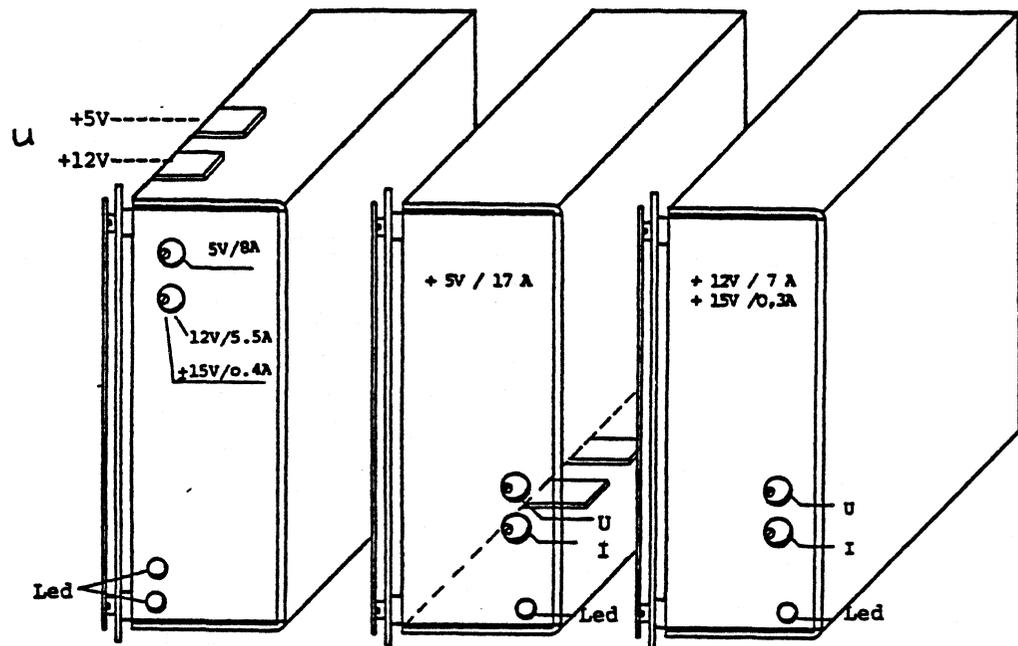
Die Netzeile sollten nicht bis an die äußerste Grenze ihrer
Leistungsfähigkeit gefahren werden. Dies ist zwar für das Netz-
teil selbst ungefährlich, falls jedoch kurzzeitige Belastungs-
spitzen auftreten, kann das Netzteil in den Bereich seiner Strom-
begrenzung fahren und die Ausgangsspannung kurzzeitig abfallen.
Dies kann zu unvermuteten Programmausstiegen führen.



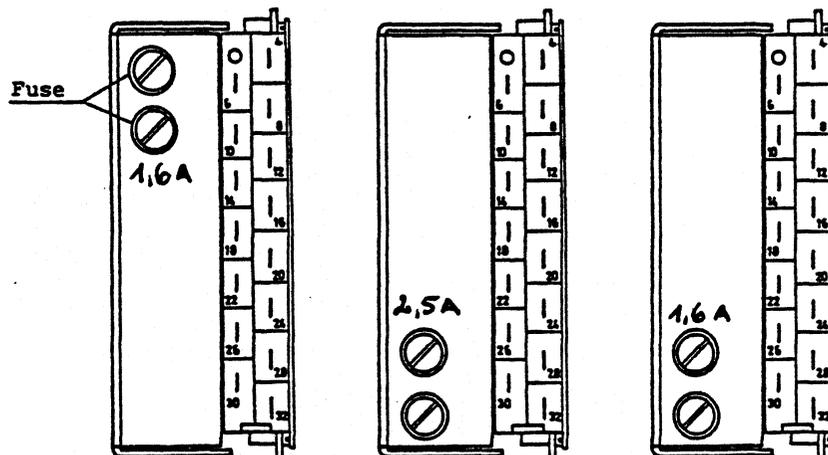
Stromversorgung im System KONTRON PSI 98

Falls "Programmfehler", deren Ursache nicht einleuchtend ist, auftreten, sollte die Strombegrenzung der Netzteile überprüft werden. Sie läßt sich für die Ausgangsspannungen +5V und +12V in einem gewissen Bereich einstellen. Die Ausgangsspannungen +/- 15V sind nicht beeinflussbar. Ebenso sind die Ausgangsspannungen +5V und +12V im Bereich von - 10% bis + 6 % variierbar.

Folgende Bilder zeigen Ihnen die Einstellregler für Strom und Spannung der + 5V und + 12V Ausgangsspannungen der einzelnen Netzteiltypen.



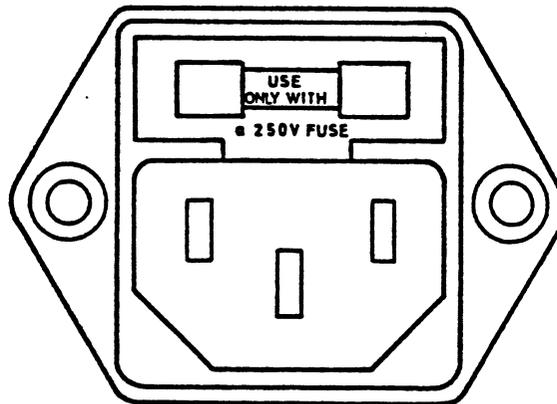
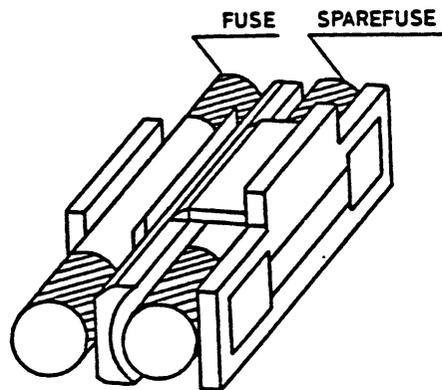
BACK





Stromversorgung im System KONTRON PSI 98

Die Stromzuführung erfolgt über einen Netzfilter zur Störungsunterdrückung mit eingebauter Netzsicherung (2.5 A Mittelträge). Diese Sicherung kann nach Abziehen des Netzkabels von außen gewechselt werden. Im Sicherungshalter ist ebenfalls eine Ersatzsicherung enthalten.



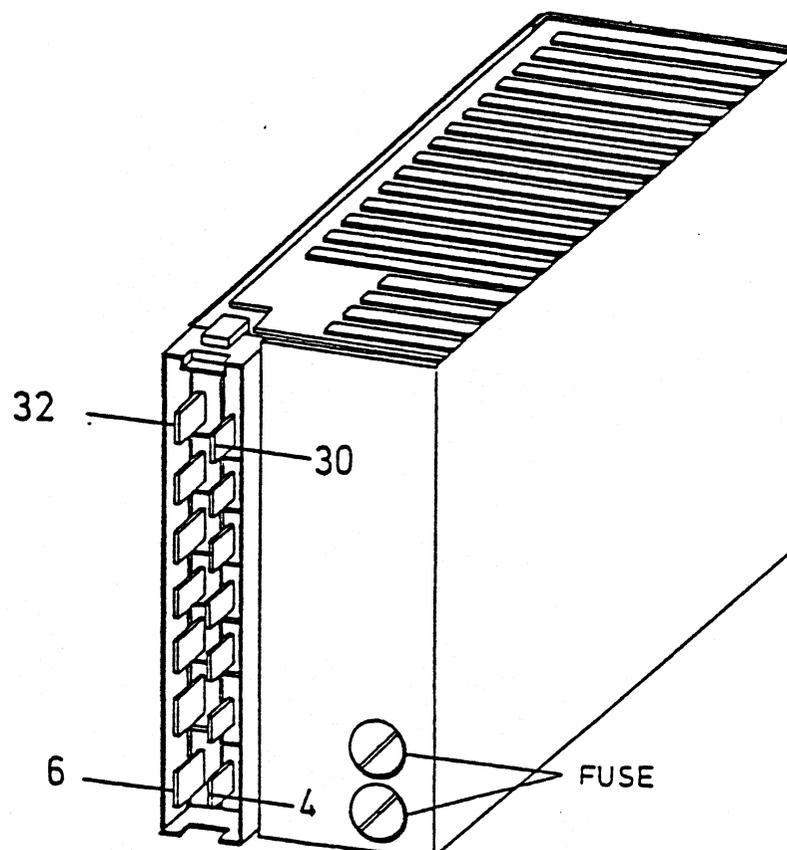


Pinbelegung des Anschlußsteckers der Netzteile:

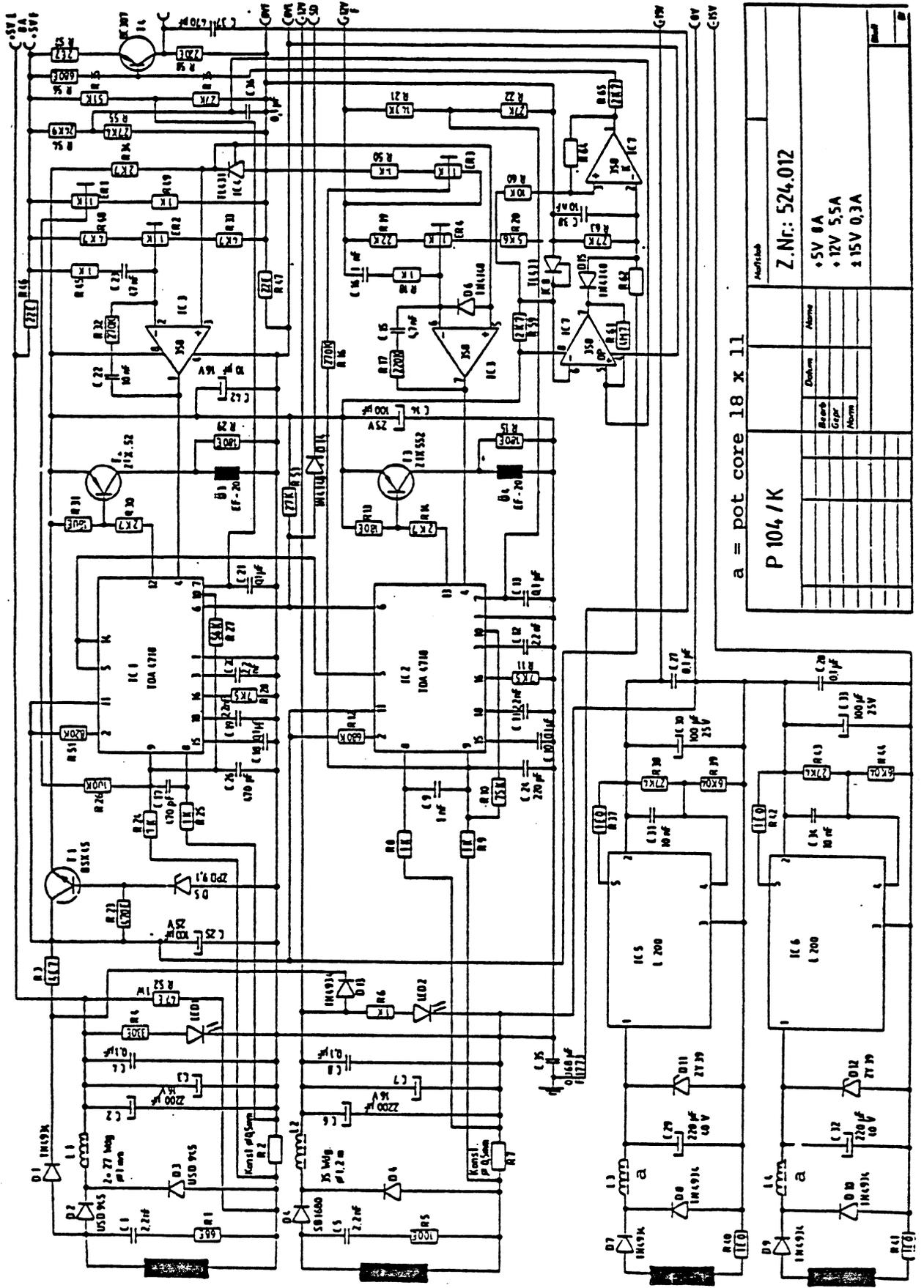
Sämtliche beschriebenen Netzteile sind pinkompatibel. Natürlich sind an den Ausgangspins nur dann die entsprechenden Spannungen vorhanden, falls diese vom jeweiligen Netzteil auch erzeugt werden!

Pin	!	Bezeichnung
32	!	Schutzleiter
30	!	Netz 220 V (Phase)
28	!	Netz 220 V (Rückleiter)
26	!	evtl. Powerfail
24	!	evtl. Shutdown
22	!	-15V
20	!	+15V
18	!	-12V
16	!	+12V
14	!	5V-Masse
12	!	+5V
10	!	5V-Masse
8	!	+5V
6	!	- Fühler 5V
4	!	+ Fühler 5V

Der Pin 32 (Schutzleiter) ist etwas länger als die restlichen Pins.

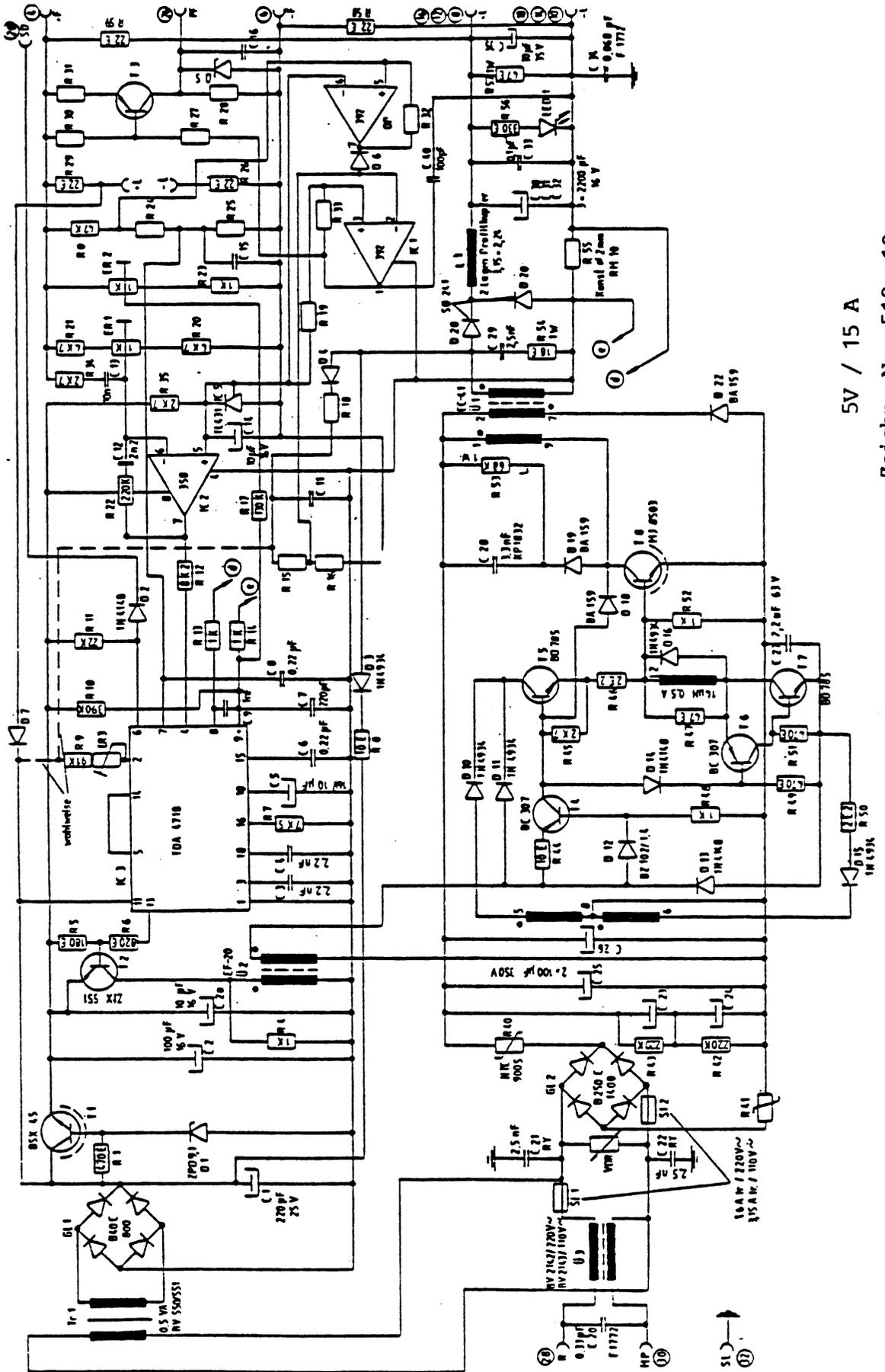


Schaltpläne



a = pot core 18 x 11

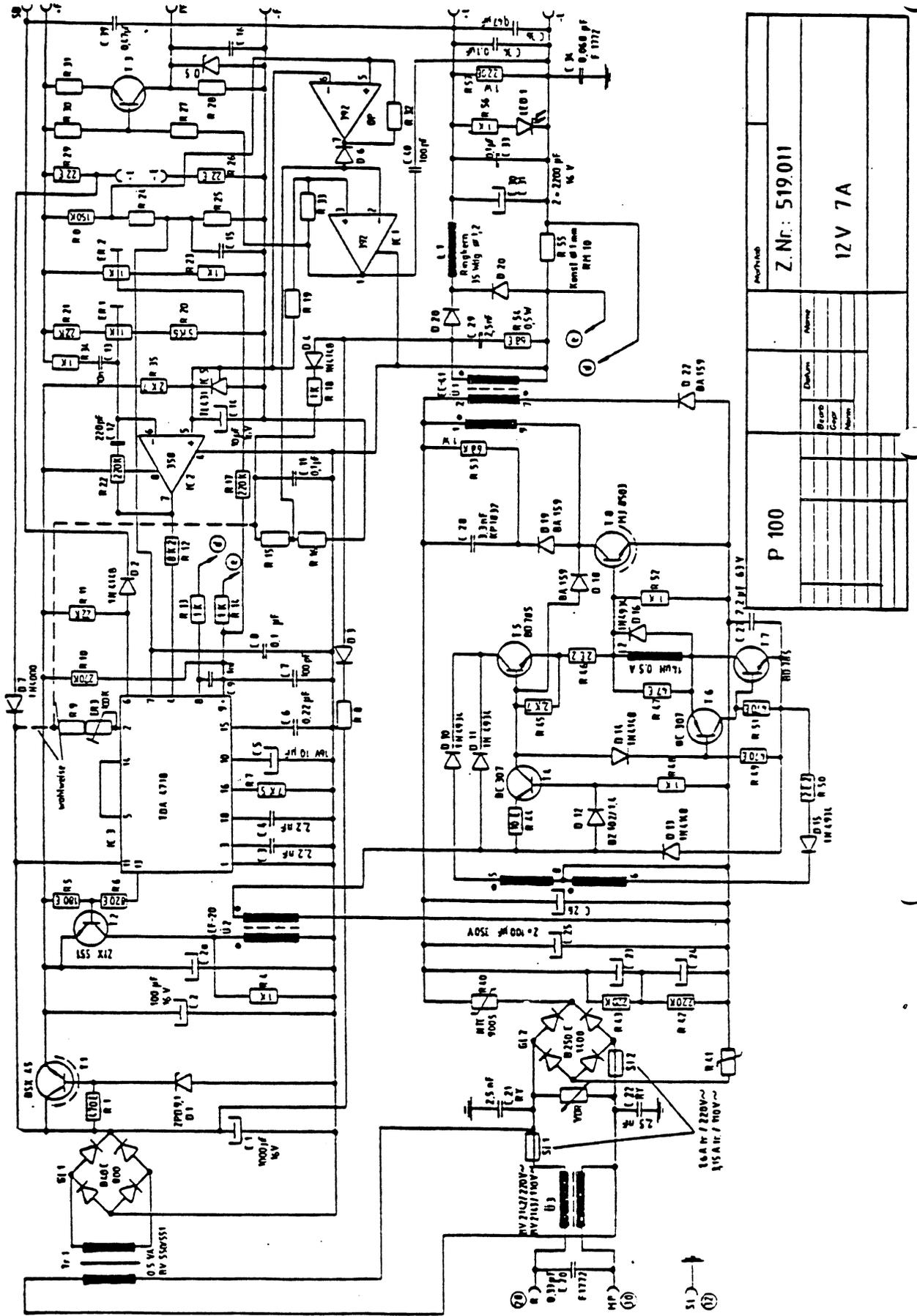
Merkmal		
Z.Nr.:	524.012	
±5V 0A		
±12V 5.5A		
±15V 0.3A		
P 104 / K		
Wert	Norm	
Druck	Norm	
Größe	Norm	
Material		



5V / 15 A
Zeichn. Nr. 519.010



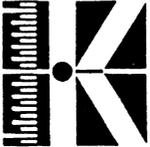
Stromversorgung im System KONTRON PSI 98





Inhaltsverzeichnis

	Seite
1. Allgemeines	3
2. Fehlereingrenzung	3
3. Spezifikationen	4
3.1.1 Betriebsdaten	4
3.1.2 Funktionsdaten	4
3.1.3 Ansteuerlogik	5
3.1.4 Zeitdiagramme	5
4. Stecker	6
4.1 Steckerbelegung	6
4.2 Anschlußstecker	6
5. Abgleichanleitung	7
5.1 Allgemeines	7
5.2 Versorgungsspannung	9
5.3 Frequenz (Vert., Horizont.)	9
5.4 Hintergrundhelligkeit	10
5.5 Fokus	10
5.6 Kontrast	11
5.7 Bildwinkel	11
5.8 Bildhöhe	12
5.9 Bildbreite	12
5.10 Linearität (Vert., Horizont.)	13
5.11 Bildverzerrungen	13
5.12 Abgleich des Zentriermagneten	14
5.13 Weitere Bildfehler	14
6. Pläne	15
6.1 Videoplatine Schaltplan	15
6.2 Videoplatine Bestückungsplan	16
6.3 Videoplatine Lötseite	17
6.4 Äußere Abmessungen	18

**Abbildungen**

Nr.	Titel	Seite
1	Ansteuerlogik	5
2	Zeitdiagramme	5
3	Video-Anschlußstecker	6
4	Lage der Abgleichregler	8
5	Vertikaler Bildfang	9
6	Horizontaler Bildfang	10
7	Kontrast-Teilerwiderstände	11
8	Bildwinkel	11
9	Bildhöhe	12
10	Bildbreite	12
11	Vertikale Linearität	13
12	Kissenverzerrungen	13
13	Abgleich Zentriermagnet	14

Tabellen

Nr.	Titel	Seite
3.1.1	Betriebsdaten	4
3.1.2	Funktionsdaten	4



1. Allgemeines

Der 3Q-Monitor Typ QDM-9N ist ein 9"-Bildschirm.

Im Normalfall erfolgt nach Einschalten des Gerätes und nach jeder Betätigung des Resetknopfes eine Initialisierung des Video-Controllers. Dieser erzeugt die Synchronisierimpulse (Video, HSync, VSync), aus denen auch die Anodenspannung generiert wird.

Hinweis:

Der Zeilentrafo darf nicht auf der Seite der FD-Laufwerke liegen und der Monitor sollte mit einem Abschirmblech umgeben sein, um Auswirkungen auf die Laufwerke zu vermeiden.

2. Fehlereingrenzung

Beim Einschalten des Gerätes wird der Video Controller initialisiert und Hochspannung erzeugt; dies ist durch leichtes Knistern am Bildschirm feststellbar. Wird die Helligkeit voll aufgedreht, so muß der Monitor schwach grün leuchten und der Zeilenrücklauf zu sehen sein. Außerdem muß eine Betriebsmeldung erscheinen.

Ist dies nicht der Fall, so ist zuerst die Versorgungsspannung an der Videoplatine zu überprüfen:

Pin 7: + 12 V
Pin 1 und Pin 10: GND

Der Heizfaden im Bildröhrenhals muß glühen.

Weiterhin sind die Eingangssignale zu überprüfen (siehe Abb. 1 und Abb. 2).

Pin 8: VIDEO-Signal
Pin 6: Horizontalablenkung (HSYNC)
Pin 9: Vertikalablenkung (VSYNC)

Fehlt eines dieser Signale, so sind diese über die kleine Video-Anschlußplatine zur Computer-Platine zurückzuverfolgen.

Liegt die Versorgungsspannung an und sind die beschriebenen drei Signale (VIDEO, HSYNC, VSYNC) vorhanden, erscheint aber kein Bild, muß von einem Defekt der 3Q-Monitoreinheit ausgegangen werden.

Wie die Praxis gezeigt hat, ist es ratsam, die komplette Monitoreinheit oder gegebenenfalls das Videoboard an die zutreffende KONTRON-Field-Service-Niederlassung einzuschicken, da einige Bauteile (z.B. Zeilentrafo, Ablenkspule, Bildröhre (CRT)) nicht verfügbar und schwer zu beschaffen sind.



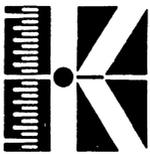
3. Spezifikationen - Monitor Typ QDM-9N

3.1.1 Betriebsdaten

1. Video Input: 4.0 Vs-s +/- 1,5V positiver Puls
2. Video Eingangs-Impedanz: > 1k Ohm
3. Horizontale Ablenkung: 4.0 Vs-s +/- 1,5V positiver Puls
Pulsdauer: 4...40 us
Frequenz: 15,75 kHz +/- 500 Hz
Eingangs-Impedanz: > 470 Ohm
4. Vertikale Synchronisation: 4.0 Vs-s +/- 1,5V negativer Puls
Pulsdauer: 300 us ... 1,4 ms
Frequenz: 55 Hz +/- 8 Hz
Eingangs-Impedanz: > 1 k Ohm
5. Signalpegel
Low: 0 +/- 0.4 V
High: 4 +/- 1.5 V
6. Stromversorgung: + 12V +/- 0.2 V (Gleichspannung)
< 1,5 A
7. Temperaturbereich: 0 ... 55 Grad C (Betrieb)
-30 ... 65 Grad C (Lagerung)
8. Feuchtigkeitsbereich: 10 ... 90 % (nicht kondensierend)
9. Größe: 9 inch, 90 Grad Ablenkung
10. Röntgenstrahlung: > 0,5 mR/Std.
11. Gewicht: ca. 2,6 kg

3.1.2 Funktionsdaten

1. Bandbreite: 16 MHz +/- 3 dB
2. An/Abstiegszeit: < 35 ns (linear mode)
3. Speicherzeit: < 15 ns (linear mode)
4. Horizontale Austastzeit: ca. 8,5 us
5. Vertikale Austastzeit: ca. 0,9 ms
6. Auflösung Mittenbereich: 800 Punkte/Zeile
Randbereich: 650 Punkte/Zeile
7. Raster-Verzerrung: < 2,5 % (JIS C-6101)
8. Horizontale Linearitäts-
verzerrung: < +/- 10 % (JIS C-6101)
9. Vertikale Linearitäts-
verzerrung: < +/- 10 % (JIS C-6101)
10. Störabstand: > 40 dB
11. MTBF: > 10.000 Std.
12. Betriebstemperatur: 0 Grad C ... 40 Grad C



3.1.3 Ansteuerlogik

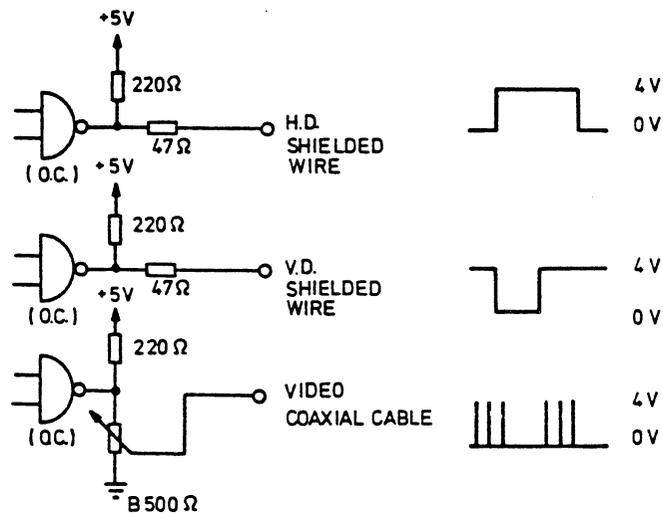


Abb. 1

3.1.4 Zeitdiagramme

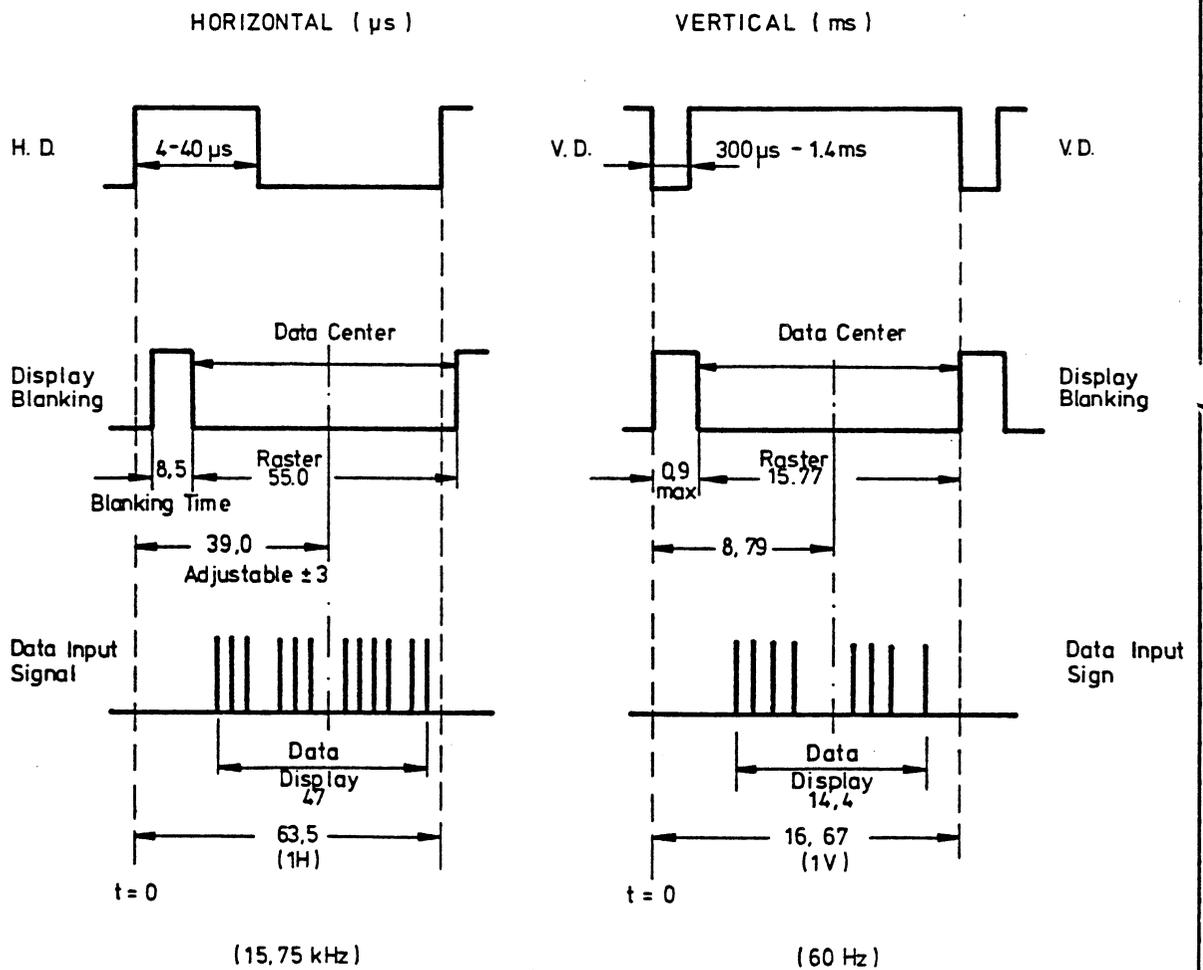
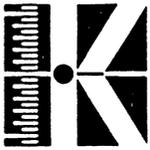


Abb. 2



4. Stecker

4.1. Steckerbelegung

Beachten Sie den Verpolungsschutz zwischen Pin 9 und Pin 10.

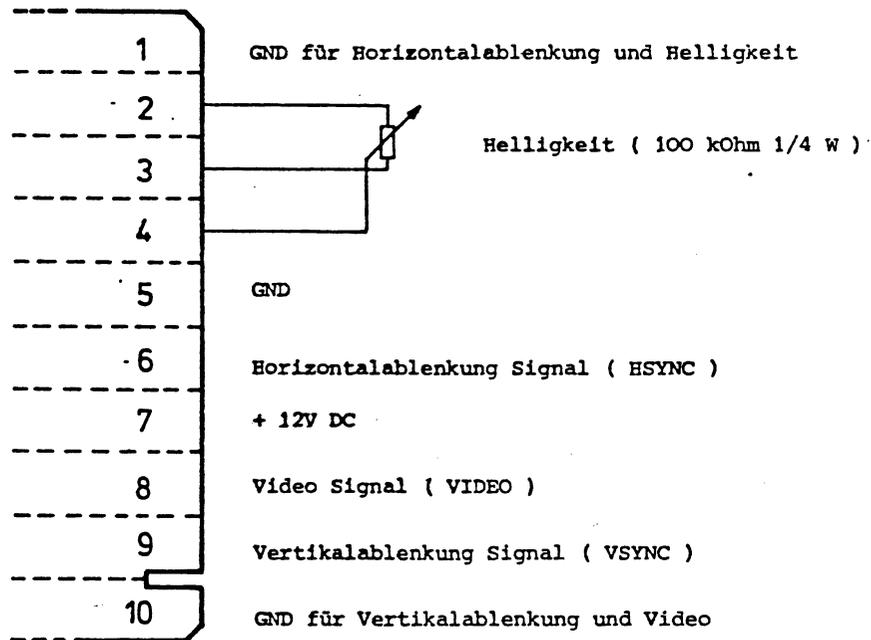


Abb. 3: Video Anschlußstecker

4.2 Anschlußstecker

Card edge connector

- * Viking Nr. 2VKIOS/101
- * Amphenol Nr. 225-21031-101
- * Hirose Nr. CRzE-20DA-3.96E
- * oder Äquivalent



5. Abgleichanleitung

5.1 Allgemeines

Zur Einstellung des Bildschirms (Fokus, Linearität etc.) eignen sich Testmuster, die auf den Bildschirm geschrieben werden. Dies kann entweder mit einem Mustergenerator oder einem Rechnersystem durchgeführt werden.

1. Beschreiben des Schirms mit dem Monitortest der KONTRON Testdiskette (siehe Testsoftware):
Über ein Monitor-Testmenü können vier verschiedene Muster ausgewählt werden.
2. Beschreiben des Schirms unter Zuhilfenahme des Testdebuggers:

Dazu:

- System starten und sofort Testdebugger mit CNTRL K aufrufen
- dann kann nach Erscheinen des Promptzeichens (TD>) die Befehlsfolge

0 31 48

eingegeben werden. Der gesamte Bildschirm wird mit dem Buchstaben "H" (= 48 Hex in der ASCII-Tabelle) vollgeschrieben.

Zur Einstellung der Daten

- Bildhöhe
- Bildbreite
- Helligkeit

sollte das Gerät 30 Minuten warmgelaufen sein.

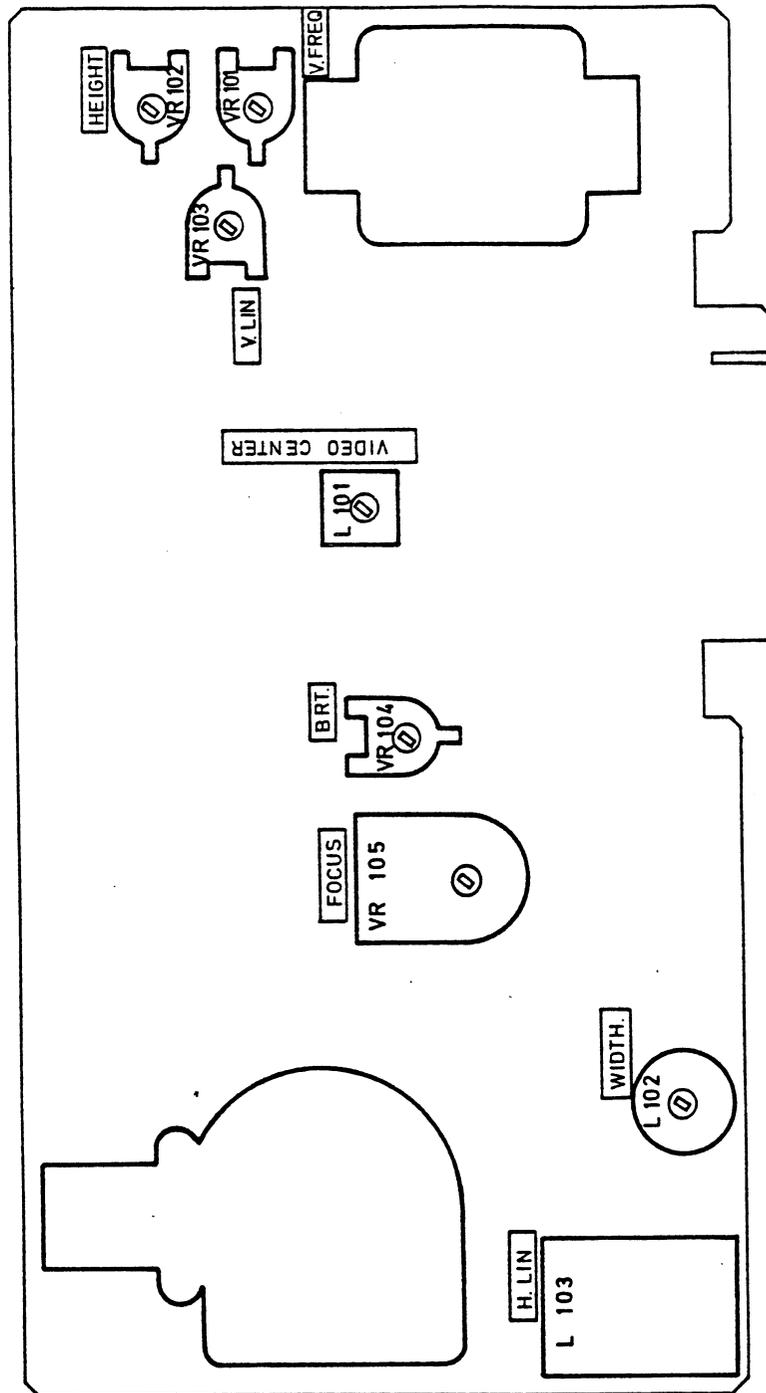


Abb. 4: Lage der Abgleichregler



5.2 Versorgungsspannung

Die Eingangsspannung am Videoboard an Pin 7 auf 12V (+ 0,25 V) einstellen. Dabei sollte 12 V nicht unterschritten werden.

Diese Einstellung sollte bei belastetem Netzteil durchgeführt werden. Unbelastet können die angegebenen Spannungen höhere Werte annehmen.

5.3 Frequenz

5.3.1 Vertikalfrequenz

Die Bildfangfrequenz mit VR 101 (siehe Abb. 4) so einstellen, daß das Bild von unten nach oben zügig "einrastet".

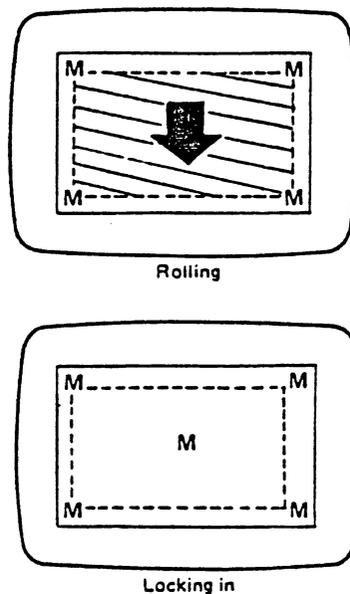


Abb. 5: Vertikaler Bildfang

5.3.2 Horizontalfrequenz

Mit L101 (siehe Abb. 4) läßt sich der horizontale Bildfang als auch die horizontale Bildlage regeln. Die unten dargestellten Verhältnisse sind einzustellen.

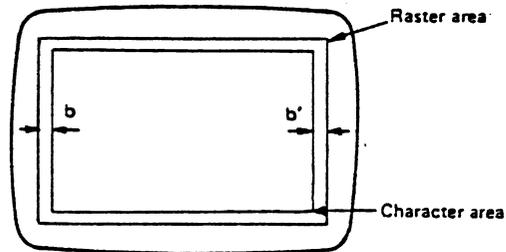


Abb. 6: Horizontaler Bildfang

5.4 Hintergrundhelligkeit

Zu diesem Abgleich muß das Helligkeitspotentiometer auf MAX stehen. Nun mit VR 104 die Bildhelligkeit so einstellen, daß der Zeilenrücklauf gerade sichtbar wird.

5.5 Fokus

Zu dieser Einstellung eignet sich am besten ein Testmuster, bei dem der ganze Bildschirm mit den gleichen Zeichen (etwa O oder H) beschrieben ist.

VR 105 (siehe Abb. 4) nun so einstellen, bis eine gleichmäßige Bildschärfe über den ganzen Bildschirm erreicht ist.



5.6 Kontrast

Auch hier ist ein einheitliches Charactermuster zu empfehlen. Es ist zu kontrollieren, ob bei invertiertem Bild (Control R) alle erforderlichen Bildpunkte dunkelgetastet sind.

Bei zu geringem Kontrast sind, wie unten abgebildet, Teilerwiderstände zwischen Pin8 und Pin10 des Videoeingangs anzulöten.

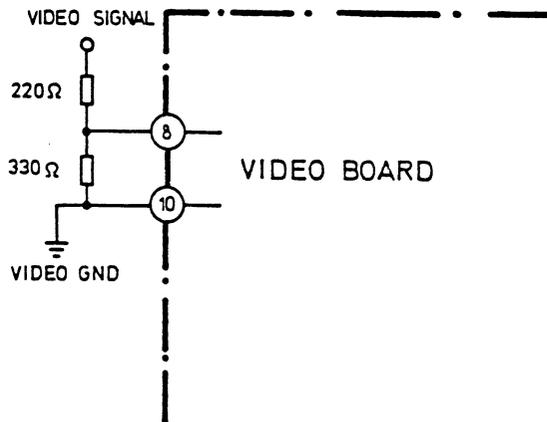


Abb. 7: Kontrast-Teilerwiderstände

5.7 Bildwinkel

Lösen Sie die durch eine Schelle gehaltene Ablenkeinheit und verdrehen Sie sie, bis ein waagrecht stehendes Bild erreicht wird.

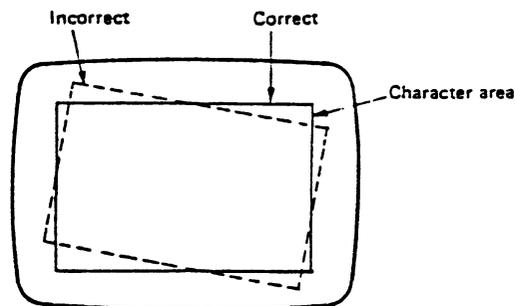


Abb. 8: Bildwinkel



5.8 Bildhöhe

Mit VR 102 wird die zu beschreibende Bildschirmfläche wie in folgendem Bild eingestellt:

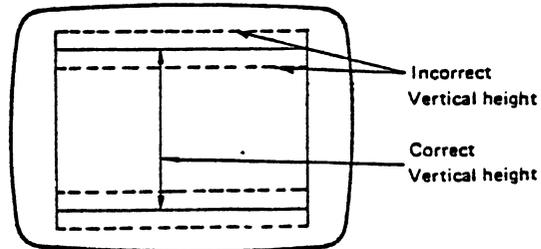


Abb. 9: Bildhöhe

5.9 Bildbreite

Mit Spule L 102 die Bildbreite wie unten gezeigt regeln.

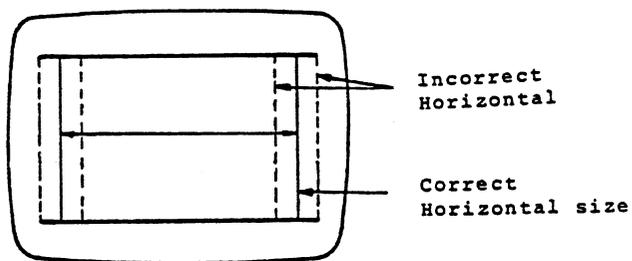


Abb. 10: Bildbreite

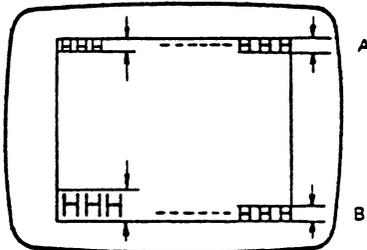


5.10 Linearität

5.10.1 Vertikale Linearität

Mit VR 103 auf gleiche Zeilenhöhe abgleichen.

$A < B$
Incorrect



$A = B$
Correct

Abb. 1: Vertikale Linearität

5.10.2 Horizontale Linearität

Mit der Spule L 103 läßt sich gleiche Zeichenbreite über die gesamte Bildschirmfläche einstellen.

5.11 Bildverzerrungen

Durch Anbringen (z.B. Kleben) von geeigneten Dauermagneten auf der Bildröhrenrückseite und den Ablenkspulen lassen sich Verzerrungen korrigieren.

Mit Hilfe zweier Ringmagnete am Hals der Bildröhre kann das gesamte Bild verschoben werden.

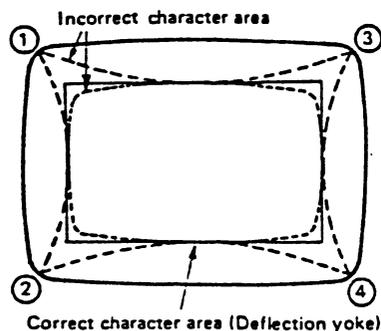


Abb. 12: Kissenverzerrungen



5.12 Abgleich des Zentriermagneten

Verdrehen Sie die Zentriermagnete auf der Ablenkeinheit so gegeneinander, bis das Zeichenfeld wie im Bild gezeigt zentriert ist.

Vor diesem Abgleich muß der horizontale Bildfang eingestellt sein.

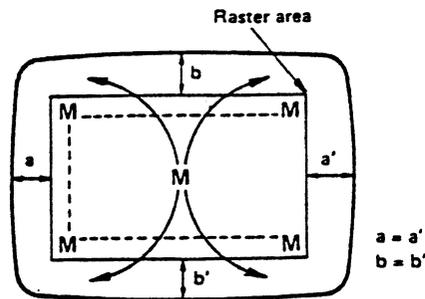


Abb. 13: Abgleich Zentriermagnet

5.13 Weitere Bildfehler

Schwimmt das Bild auf dem Schirm, so hat dies seine Ursache in fehlenden Abschirmblechen.

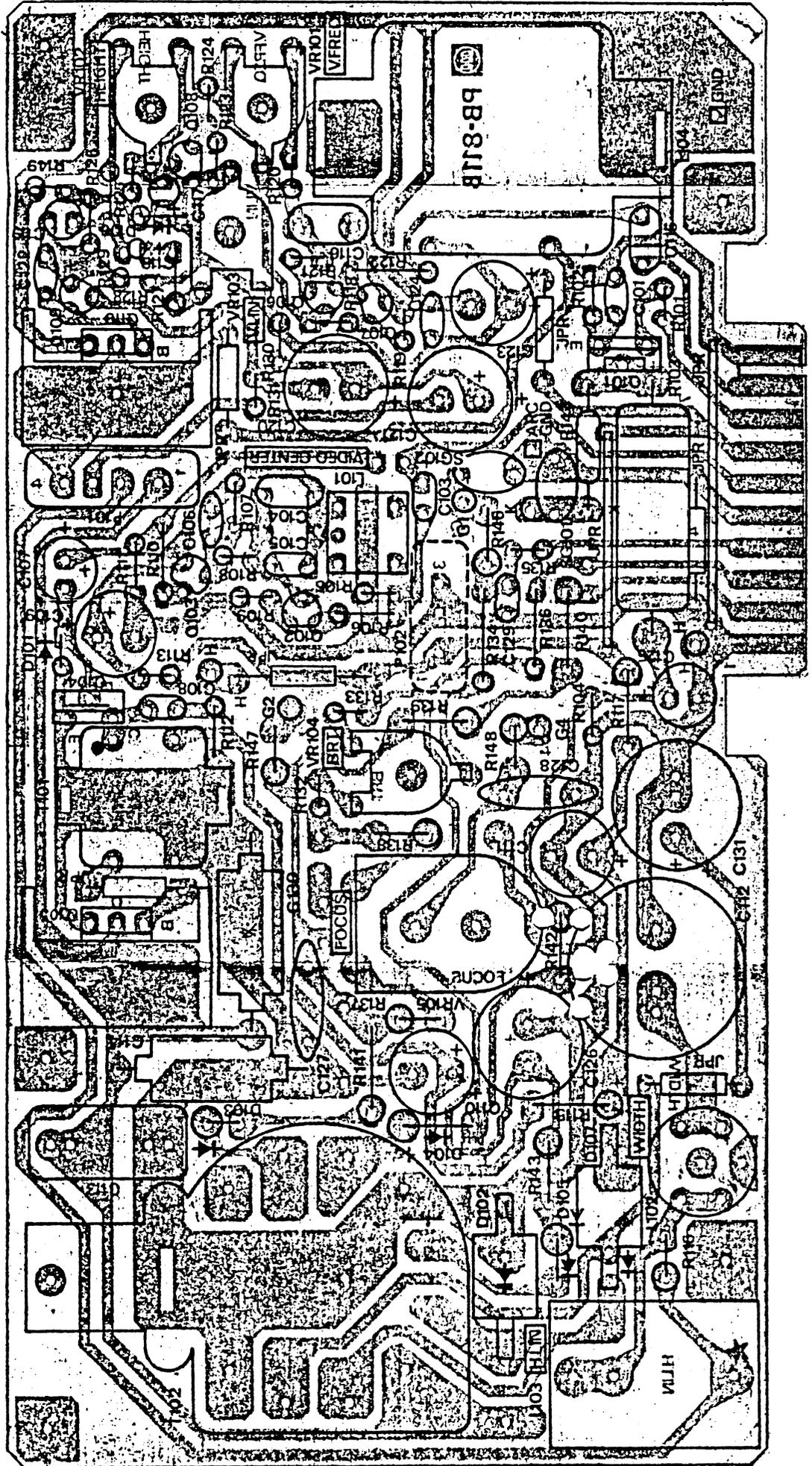
Meist ruft ein schlecht abgeschirmter Zeilentrafo bzw. ein ungünstig angebrachtes Netzteil diese Effekte hervor.

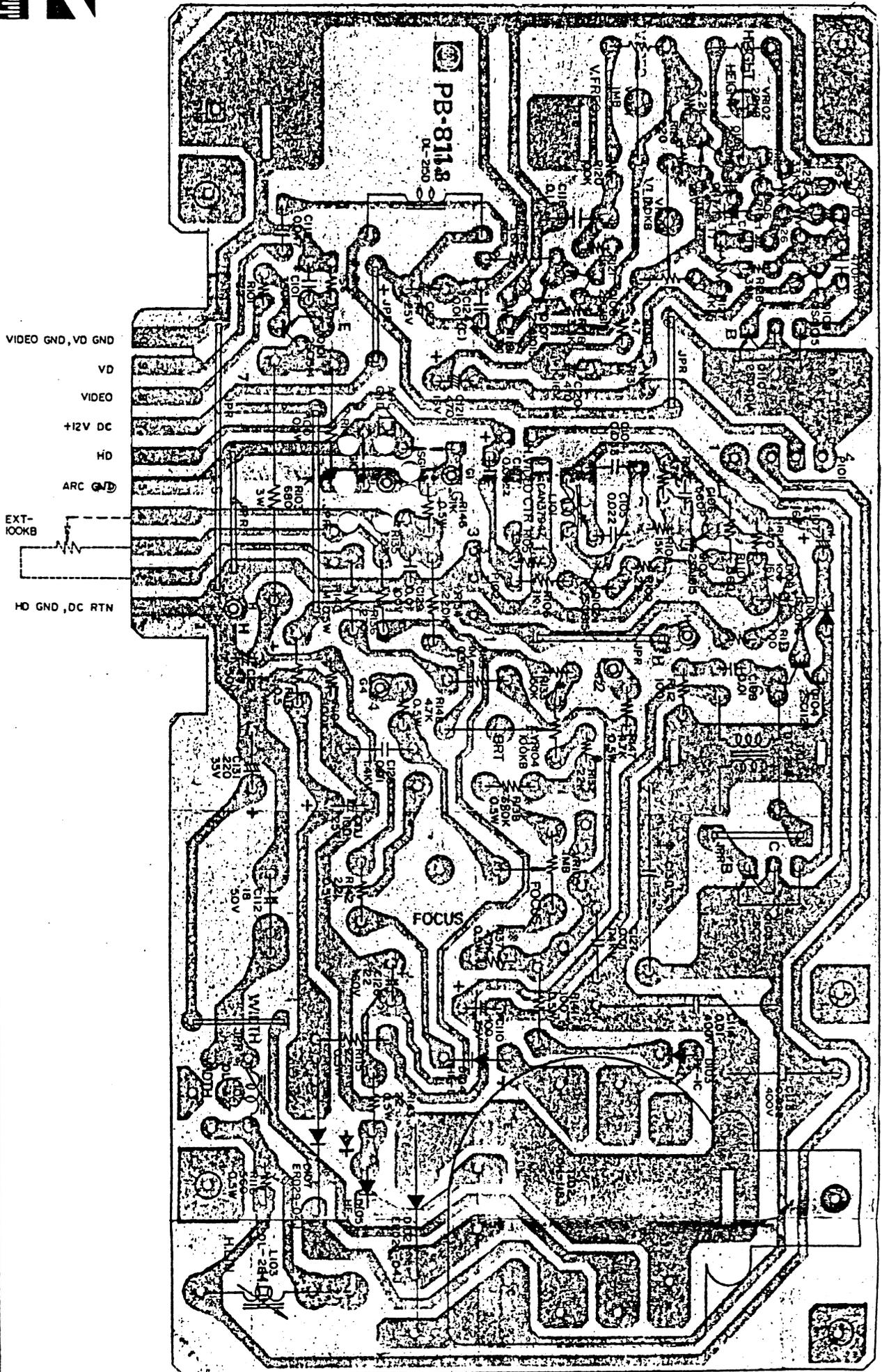
Weiterhin sind noch Bildverzerrungen möglich, die von Röhren- oder Elektrodenfehlern herrühren.

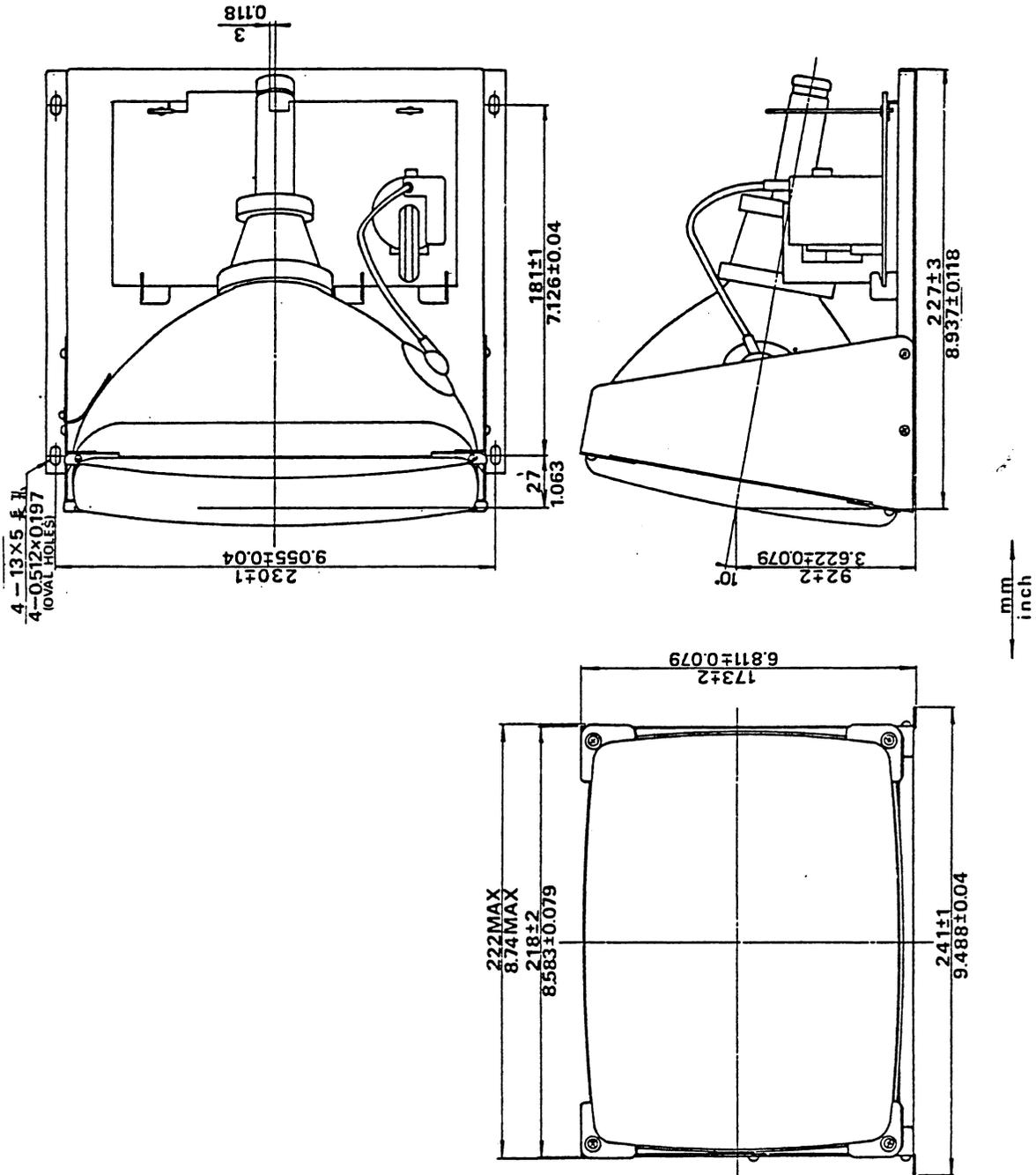
Diese Fehler können ebenfalls mit Hilfe von Magneten behoben werden, erfordern jedoch einen erheblichen Zeitaufwand und sind sehr schwer zu beseitigen. Der Elektronenstrahl ist nicht im Zentrum, sondern nach rechts, links, oben oder unten verschoben.

Diese Fehler können auch auftreten, wenn sich das Videobild im Zentrum, das Raster jedoch außerhalb des Zentrums befindet.

Solche Fehler können außerdem auch dann auftreten, wenn sich die Ablenkspule nicht in ihrer korrekten Position befindet oder wenn sie durch fremde Magnetfelder beeinflusst wird.









```
*****  
*                               *  
*           K D T   R e v . 6   *  
*           T C B   /   Z 8 0   *  
*           T e s t - D e b u g g e r   H a n d b u c h   *  
*                               *  
*****
```

Eching, den 28.04.1983

Beschriebene Version : 6.20

KONTRON Mikrocomputer GmbH



INHALTSVERZEICHNIS:		SEITE
1.	Allgemeines	
1.1	Einführung	4
1.2	Sonderfunktionen	4
1.2.1	ESC-Taste	4
1.2.2	Abbruch durch beliebige Taste	5
1.2.3	Erkennen von externer Hardware über serielle Schnittstelle	5
1.3	Zeichenerklärung	5
2.	Kommandoeingaben	
2.1	Aufbau eines Kommandos	6
2.2	Fehlermeldungen	7
3.	Kommandos	
3.1	Again	8
3.2	Compare Memoryblocks	8
3.3	Display Memory	9
3.3.1	Display Mode	9
3.3.2	Alter Mode	9
3.4	Do-Kommando	10
3.5	Display Port	10
3.6	Go by Error	10
3.7	Stop by Error	11
3.8	Fill Memory	11
3.9	Floppy Control-Mode	12
3.10	Go-Kommando	12
3.11	In-Loop Port	13
3.12	Jump-Kommando	13
3.13	Betriebssystem laden	13
3.14	Locate	13
3.15	Local-Mode	14
3.16	Move	14
3.17	Memory-Mapper Programmierung	15
3.18	Memory-Test	15
3.18.1	Memory-Test in einer Speicherbank	16
3.18.2	Memory-Test über alle Speicherbänke	17
3.19	Output-Loop-Port	18
3.20	Serielle Schnittstelle ausschalten	18
3.21	Serielle Schnittstelle einschalten	19
3.22	Overlay einschalten	19
3.23	Pause-Kommando	19
3.24	Prom-Ram Umschaltung	20
3.25	Read-Loop Memory	20
3.26	Recalibrate Drive	20
3.27	Read Sektor	20
3.28	Read Track	21
3.29	Set Memory	22
3.30	Set Port	22



	Seite
3.31 Set Refresh Time	23
3.32 Testprogramm aufrufen	23
3.33 Write-Loop Memory	23
3.34 Write-Read-Loop Memory	24
3.35 Write Sektor	24
3.36 Write Track	25
4. Systemaufrufe und Einsprungpunkte	
4.1 Kaltstart	26
4.2 Warmstart	26
4.3 Monitorausgabe	27
4.4 Eingabe eines ASCII-Zeichens mit Echo	27
4.5 Prüfung auf Eingabe eines ASCII-Zeichens	28
4.6 Eingabe eines ASCII-Zeichens	28
4.7 Ausgabe eines Textes in einer neuen Zeile	29
4.8 Ausgabe eines Textes an der Cursorposition	29
4.9 Ausgabe von 2 Bytes als 4 ASCII-Zeichen	30
4.10 Ausgabe eines Bytes als 2 ASCII-Zeichen	30
4.11 Cursorposition auf Anfang der nächsten Zeile	31
4.12 Ausgabe von 3 Leerzeichen	31
4.13 Ausgabe von 2 Leerzeichen	31
4.14 Ausgabe von einem Leerzeichen	32
4.15 Abfrage auf Eingabe zur Programmunterbrechung	32
4.16 Programmabbruch mit Meldung	33
4.17 Einlesen in einen Eingabepuffer	34
4.18 Auslesen eines Zeichens aus dem Eingabepuffer	34
4.19 Eingabe-Pufferzeiger hochzählen	35
4.20 Eingabe-Pufferzeiger herunterzählen	35
4.21 Non-Maskable-Interrupt Einsprungpunkt	35
5. RAM-Speicheradressen	
5.1 Status	37
5.2 Letzte Eingabe	37
5.3 Scroll-Adresse Bildschirmausgabe	38
5.4 Cursor-Adresse Bildschirmausgabe	38
5.5 Eingabe Pufferzeiger	38
5.6 Refresh Zeit Konstante	38
5.7 Warteschleife für Memorytest	38
5.8 NMI Service Routine	39
5.9 Warteschleife für Monitorausgabe	39
5.10 Cursor EIN-AUS	39
5.11 Invert Screen Flag	39
5.12 Serielle Ausgabe	40
5.13 Escape-Routine	40
6. Erläuterung zu PROM	
6.1 Autostart	41
6.2 Arbeiten mit Vektor	42
6.3 Fehlermeldungen Floppy	42
6.3.1 Format	42
6.3.2 Drive not ready	43
6.3.3 Read not possible	43
6.3.4 CRC-Error	43
6.3.5 Disk write protected	43



6.4	Disktest	44
7.	Tabellen	
7.1	Kommandos	45
7.2	Drive-ID Tabelle	46
7.3	Steuerzeichen	47



1. Allgemeines:

1.1 Einführung

Der nachfolgend beschriebene Testdebugger ist aus der Notwendigkeit entstanden, die produzierten KDT-Platinen nicht nur einem GO-NOGO Test zu unterziehen, sondern um einerseits Testprozeduren ablaufen zu lassen, andererseits um einfache Maschinenprogramme direkt einzugeben und zu testen. Somit soll die Fehler-Diagnosezeit auf ein Minimum reduziert werden.

Der Testdebugger besteht aus 2 Proms. Prom 1 enthält eine Grundsoftware mit den Kommandos, Initialisierung, Verwalter, Kommandointerpreter, Bildschirmausgabe usw. und ist für sich alleine voll funktionsfähig. Prom 2 enthält die Disk-Software (siehe auch 6.3). Die Software kann das Vorhanden sein von Proms erkennen und meldet Zugriffe auf nicht vorhandene Software mit

* NOT IMPLEMENTED *

Der Testdebugger kann nach einem RESET mit CTRL-K aufgerufen werden. Am Bildschirm erscheint der Text :

TESTDEBUGGER VERSION : (Versionsnummer) (Datum)
TD>

Die derzeit (25.04.83) aktuelle Version ist 6.20.

Der Testdebugger ist in vier verschiedenen Ausführungen verfügbar:

- Video 60 Hz , SIO-Kanal B aktiv (für PSI 9XXX-Systeme)
- Video 50 Hz , SIO-Kanal B aktiv
- Video 60 Hz , SIO-Kanal A aktiv
- Video 50 Hz , SIO-Kanal A aktiv (für KLA)

SIO-Kanal A aktiv bedeutet, daß Ein/Ausgabe über die serielle Schnittstelle SIO A möglich ist und die Kommandos ON und OF auf diese Schnittstelle wirken (siehe 3.20 u. 3.21).



1.2 Sonderfunktion

Die Funktion von CTRL-Q, CTRL-R, CTRL-S, CTRL-T und CTRL-W siehe Tabelle 6.5.

1.2.1 ESC-Taste

Die ESC-Taste bewirkt einen sofortigen Abbruch des Programms und einen Warmstart. Eine Ausnahme bilden die Floppy-Disk Zugriffe, bei denen die ESC-Funktion unwirksam ist.

Hinweis: Da die ESC-Funktion einen sofortigen Abbruch des Programms zur Folge hat, können immer dann Probleme auftreten, wenn eine Interrupt-Service-Routine unterbrochen wird.

1.2.2 Abbruch durch beliebige Taste

Bei den Kommandos Nr. 2,3,18 (siehe Tabelle 6.1) kann die Ausführung durch Drücken einer beliebigen Taste (außer "ESC", siehe 1.2.1 und außer CTRL-R, -S, -T, -W siehe 6.5) abgebrochen werden. Es wird jedoch erst an einer für die Ausführung des jeweiligen Kommandos sinnvollen Stelle abgebrochen. Eine Unterbrechung ist mit "W" möglich. Danach führt die Eingabe einer beliebigen Taste (außer "ESC", siehe 1.2.1 und außer CTRL-R, -S, -T, -W siehe 6.5) zum Abbruch, eine Eingabe von "W" läßt das Kommando weiterarbeiten.

1.2.3 Erkennen von externer Hardware über serielle Schnittstelle

Nach einem Reset oder Kaltstart (siehe 4.1) wird das DTR-Signal der seriellen Schnittstelle (A oder B) zuerst auf Low (aktiv) und dann auf High (inaktiv) programmiert. Wenn auf diesen Low-High Übergang ein angeschlossenes Gerät mit "ACK" (ASCII 06H) antwortet, so wird im Testdebugger auf eine Laderoutine gesprungen und auf Eingaben über die serielle Schnittstelle (9600 BAUD) gewartet. Damit besteht die Möglichkeit, über die serielle Schnittstelle ein Testsystem für beliebige Funktionen anzuschließen.



1.3 Zeichenerklärung

- <CR> bedeutet Eingabe von CARRIAGE RETURN (ASCII ODH). Dies geschieht mit Hilfe der "RETURN"-Taste, bei manchen Tastaturen auch als "NEW LINE" bezeichnet.
- H Eine Hexadezimalzahl (auch Hexzahl genannt) wird durch ein "H" hinter der Zahl gekennzeichnet.
- CTRL- Die Angabe "CTRL-" bedeutet, daß eine Taste zusammen mit der CONTROL-Taste zu drücken ist.



2. Kommandoeingaben

2.1 Aufbau eines Kommandos

Formal besteht jede Kommandoeingabe (jedes Kommandofeld) aus einem Identifikationsfeld (ID-FELD), einem Parameterfeld (P-Feld), sowie den dazwischenliegenden Trennzeichen (TZ).

Es ergibt sich das folgende Format für ein Kommando:

```
<---ID-Feld---><-----Parameterfeld----->  
KOMMANDOAUFBRUF TZ P1 TZ P2 TZ ...Pi TZ ...Pn <CR>
```

Das ID-Feld muß mit einem Großbuchstaben (A bis Z) beginnen und reicht formal bis zum ersten Trennzeichen (TZ1). Da der Kommandointerpreter in der Regel nur ein, höchstens aber zwei Zeichen zur Identifikation eines Kommandos benötigt (siehe Punkt 3), bleiben eventuell vorhandene weitere Zeichen im ID-Feld bedeutungslos.

Beispiel:

```
Die Eingaben:      D 9000 100  
                   DISPLAY 9000 100  
                   DXYZ 9000 100
```

bewirken alle den Ausdruck von 100H Bytes ab Adresse 9000H.

Als Trennzeichen (TZ) dürfen nur Leerzeichen (ASCII-CODE 20H) verwendet werden, wobei deren Anzahl zwischen den Parametern keine Rolle spielt. Das Parameterfeld ist für verschiedene Kommandos optional. Es enthält mit Ausnahme des Register- und des Setkommandos (ASCII-Mode) nur hexadezimale Zahlenwerte (Ziffern 0...9 und die Zeichen A...F). Die Eingabe des Parameterfeldes ist formatfrei, d.h. führende Nullen brauchen nicht mit eingegeben zu werden.

Beispiel:

```
Die Eingaben      9  
                  09  
                  009  
                  0009
```

sind gleichbedeutend und werden als vierstellige Hexadezimalzahl 0009H angenommen.



Bei mehr als vier Zeichen werden lediglich die letzten vier berücksichtigt. Entsprechendes gilt auch dann, wenn das Monitorprogramm nur 2 hexadezimale Zeichen als Eingabe erwartet. Es können pro (logischer) Zeile mehrere Kommandos hintereinander eingegeben werden. Der Zeilenpuffer des Debuggers ist 255 Bytes groß, das entspricht mehr als drei Zeilen des Sichtschirmes.

Zur Trennung zweier Kommandos dient das Semikolon (ASCII-Code 3BH). Der ASCII-Code ODH (<CR>, Taste RETURN) schließt die Kommandozeile ab.

Es ergibt sich das folgende Format für eine Kommandozeile:

```
<-----logische Zeile (255 Bytes max)----->  
TD> KOMMANDO 1;KOMMANDO 2;...;KOMMANDO i;...;KOMMANDO n<CR>
```

2.2 Fehlermeldungen

Bei Kommandos, deren Format nicht richtig angegeben ist, erscheint:

```
* FORMAT ? *
```

Bei Eingaben, welche nicht als Kommandos erkannt werden:

```
* NOT IMPLEMENTED *
```



3. Kommandos

3.1 A = AGAIN

FORMAT: A <CR>

Beispiel: A <CR>

Das zuletzt abgearbeitete Kommando mit Ausnahme der Kommandos Nr. 1, 13, 14, 29, 30 (siehe Tabelle 6.1) wird wiederholt.

3.2 CP = COMPARE MEMORYBLOCKS

FORMAT: CP (Blockadresse1) (Blockadresse2) (Blocklänge) <CR>

Beispiel: CP 3000 C000 100 <CR>

Zwei Memoryblöcke können miteinander verglichen werden. Dabei wird der Inhalt von Adresse 3000H mit dem Inhalt von Adresse C000H verglichen, der Inhalt von Adresse 3001H mit dem Inhalt von Adresse C001H usw.

Die beiden letzten zu vergleichenden Speicherstellen sind in diesem Beispiel 30FFH und C0FFH (= 100H Länge).

Der gesamte Vergleich beider Blöcke wird 255 mal ausgeführt.

Bei der ersten Nichtübereinstimmung wird die Ausführung abgebrochen und eine Fehlermeldung mit folgenden Angaben ausgegeben:

- Soll- und Istwerte der nicht übereinstimmenden Speicherplätze
- Nummer des Durchlaufs, bei welchem der Fehler aufgetreten ist.

Dabei ist zu beachten, daß bei einem Fehler eine Abprüfung auf "Stop by Error" (siehe 3.7) durchgeführt wird.

Mit der Eingabe von "W" kann der Vergleich unterbrochen und ebenso wieder weitergeführt werden, mit einer beliebigen Taste wird die Ausgabe unterbrochen (siehe 1.2.2).



3.3 D = DISPLAY MEMORY

3.3.1 Display Mode

FORMAT: D (Startadresse) (Länge) <CR>
oder: D (Startadresse)-(Endadresse) <CR>

Beispiel: D 100 10 <CR>
oder: D 100-10F <CR>

Mit Display Memory werden die Adresseninhalte zeilenweise (10H je Zeile) mit ASCII-Äquivalent ausgegeben. Entspricht eine Hexzahl einem ASCII-Zeichen, wird dieses zwischen * * an der entsprechenden Stelle ausgegeben. Ein Text läßt sich somit leicht als solcher erkennen.

Mit der Eingabe von "W" kann die Ausgabe unterbrochen und ebenso wieder weitergeführt werden, mit einer beliebigen Taste wird die Ausgabe unterbrochen (siehe 1.2.2).

3.3.2 Display and Alter mode

FORMAT: D (Adresse) <CR>

Beispiel: D 5300 <CR>

Die Angabe der Adresse ist optional (Voreinstellung : Adresse=0). In diesem Modus arbeitet das D-Kommando interaktiv, d.h. nach dem Ausdruck des Speicherinhalts kann der Benutzer wahlweise den Inhalt des angezeigten Speicherplatzes verändern und/oder auf den nächsten/vorhergehenden Speicherplatz weiterschalten. Der Abbruch einer derartigen "Display and Alter Sequenz" erfolgt mit dem Zeichen "Q" (Quittierung).

Ausgabeformat: (Adresse) (Daten)

Fünf Funktionen können nun durch die Eingabe folgender Zeichen bzw. Zeichenfolgen veranlaßt werden:

<CR>	Weiterschalten und Ausdruck des Inhalts der Speicherstelle Adresse +1
^ <CR>	Weiterschalten und Ausdruck des Inhalts der Speicherstelle -1
xx <CR>	Ersetzen des Inhalts von Adresse durch den Wert xx mit anschließendem Weiterschalten auf Adresse +1
xx Q <CR>	wie oben mit anschließendem Abbruch der Kommandos
Q <CR>	Abbruch des Kommandos.



3.4 DO = DO-KOMMANDO

FORMAT: DO (Startadresse) <CR>

Beispiel: DO 3000 <CR>

Mit diesem Kommando wird die auf der Startadresse 3000H stehende Befehlsfolge abgearbeitet. Dabei können mehrere Befehle, mit Strichpunkt (;) getrennt, aneinander gereiht werden. Rekursiv - Aufrufe sind gestattet.

Beispiel: S 3000 /CP 5000 6000 100;D 2000-2030;DO 3000 <CR>

Hierbei stellt "DO 3000" den Rekursivaufruf dar, d.h. den Aufruf auf sich selbst (Schleifenbildung).

3.5 DP = DISPLAY PORT

FORMAT: DP (Portadresse) <CR>

Beispiel: DP 2 <CR>

Der Port mit der Adresse 02H wird ausgelesen und angezeigt.

Hinweis: Der Statusport mit der Adresse 1CH darf nur beschrieben und nicht gelesen werden. Ein Lesevorgang auf diesem Port hat den Absturz der Hardware zur Folge.

3.6 EG = GO BY ERROR

FORMAT: EG <CR>

Beispiel: EG <CR>

Durch den Befehl "EG" (GO BY ERROR) wird die Funktion "ES" (STOP BY ERROR, siehe 3.7) wieder gelöscht.

GRUNDEINSTELLUNG nach Reset: STOP BY ERROR



3.7 ES = STOP BY ERROR

FORMAT: ES <CR>

Beispiel: ES <CR>

Durch den Befehl "ES" (STOP BY ERROR) wird die Funktion "GO BY ERROR" wieder gelöscht.

Nach Eingabe von ES (STOP BY ERROR) wird bei einem auftretenden Fehler beim Abarbeiten eines der Befehle 2, 17 oder 18 (siehe Tabelle 6.1) das Programm abgebrochen. Ebenso wird die Bearbeitung einer DO-Kommandofolge (siehe 3.4) abgebrochen.

GRUNDEINSTELLUNG nach Reset : STOP BY ERROR

3.8 F = FILL MEMORY

FORMAT: F (Startadr.) (Länge) (Daten) <CR>
oder : F (Startadr.)-(Endadr.) (Daten) <CR>

Beispiel: F 5000 100 AA <CR>
oder: F 5000-50FF AA <CR>

Mit dem Fill-Kommando können beliebige Speicherbereiche mit einer Konstanten gefüllt werden. In unserem Beispiel wird der Speicher von Adresse 5000H bis 50FFH mit dem Datum AAH gefüllt.

Der Debugger benützt den Speicherbereich von Adresse 4000H bis einschließlich 44FFH als Arbeitsspeicher. Auf diesen Bereich dürfen keine schreibenden Zugriffe gemacht werden.

Hinweis: Füllen des Speichers mit einer Datenfolge ist mit dem Move-Kommando möglich (siehe 3.16).



3.9 FC = FLOPPY CONTROL

FORMAT: FC (Disk-ID) (Spur in dezimal) <CR>

Beispiel: FC 1 20 <CR>

Die angegebene Spur 20 des Drive 0 (Mini double density ohne DMA, siehe 6.2) wird gelesen.

Dieses Kommando dient z.B. zur Reparatur von Laufwerken oder des Datenseparators. Folgende Unterkommandos sind hier möglich (Reaktionszeit liegt bei max. 2 Sekunden):

- I ---> gehe auf nächsthöhere Spur (IN)
- O ---> gehe auf nächstniedere Spur (OUT)
- Q ---> zurück in Testdebugger (QUIT)

Bei einer Überschreitung der Bereichsgrenzen (< Spur 0 oder > maximaler Spur) wird nichts getan.

Werden Laufwerke ohne eigenes READY-Signal verwendet (dieses wird dann auf der KDT-Platine auf Low gelegt) und kann der Floppy-controller bei einem solchen Laufwerk keine Daten lesen, so führt dies aus Gründen, die in der Hardware liegen, zum Absturz des Testdebuggers. Dies zeigt sich in einem Verweilen in der Disk-Leseroutine.

3.10 G = GO TO ADDRESS

FORMAT: G (Adresse) <CR>

Beispiel: G 2000 <CR>

Ein Maschinenprogramm ab Adresse 2000H wird gestartet. Dieses wird wie ein Unterprogramm behandelt, d.h. beim Finden eines RET Befehls (0C9H) wird ein Rücksprung zum Testdebugger ausgeführt.



3.11 I = PORT INPUT LOOP

FORMAT: I (Portadresse) <CR>

Beispiel: I 2 <CR>

Der Port mit der Adresse 02H wird laufend gelesen.

Dieses Programm dient für Messungen und erzeugt ein feststehendes Bild auf dem Oszilloskop.

Abbruch erfolgt mit der ESCAPE-Taste.

3.12 J = JUMP

FORMAT: J (Adresse) <CR>

Beispiel: J 6000 <CR>

Wie GO-Kommando (siehe 3.10).

3.13 K= BETRIEBSSYSTEM LADEN

FORMAT: K <CR>

Beispiel: K <CR>

Lädt das Betriebssystem (z.B. KOS, CPM).



3.14 L = LOCATE

FORMAT: L (Startadresse) (Länge) (Daten) <CR>
oder : L (Startadresse) - (Endadresse) (Daten) <CR>

Beispiel: L 5000 2001 33 22 <CR>
oder: L 5000-7000 33 22 <CR>

Im Speicherbereich 5000H bis 7000H wird die BYTE-Kombination 33H 22H gesucht. Wird diese Kombination gefunden, so wird am Monitor ein Adressbereich von 30H um die gefundenen Daten ausgegeben.

3.15 LL = LOCAL

FORMAT: LL <CR>

Beispiel: LL <CR>

Jedes eingegebene Zeichen wird am Monitor ausgegeben, ohne eine Kommando-Ausführung zu bewirken (nur Echo).

Anwendungsbeispiel:

Kommentar zu einem z.Zt. laufenden Dauertest, Mitteilung an einen z.Zt. abwesenden Terminalbenutzer, Austesten von Anzeigeformaten oder Keyboardfunktionen.

Hinweis: Beim Drücken der <CR>-Taste erfolgt ein CARRIAGE RETURN (ASCII ODH) ohne LINE FEED (ASCII OAH).

Abbruch des LOCAL-Zustandes erfolgt mit der ESCAPE-Taste.

3.16 MO = MOVE

FORMAT: MO (Quelladresse) (Zieladresse) (Länge) <CR>

Beispiel: MO 3000 C000 300 <CR>

Der Speicherinhalt von Adresse 3000H bis 32FFH wird in den Speicherbereich C000H bis C2FFH kopiert.

Der Debugger benützt den Speicherbereich von Adresse 4000H bis einschließlich 41FFH als Arbeitsspeicher. Auf diesen Bereich dürfen keine schreibenden Zugriffe gemacht werden.



Hinweis: Mit dem Move-Kommando ist es auch möglich, den Speicher mit einer Folge von Daten zu füllen.

Beispiel: S 5000 41 4C 4D;MO 5000 5003 102 <CR>

Der Speicherbereich von Adresse 5003H bis 5104H wird mit der Datenfolge 41H, 4CH, 40H gefüllt.

3.17 MA = Memory Mapper programmieren

FORMAT : MA (X) <CR> (X = 0,..,7)

Beispiel : MA 2 <CR>

Auf den Platinen KDT Rev. 6.x und TCB/Z80 befinden sich insgesamt 256 KByte Schreib-/Lese-Speicher (RAM), die in Form von vier 64K-Bänken realisiert sind.

Da die Z80-CPU nur 64KByte adressieren kann, ist ein sogenannter Memory-Mapper (LS 610/612) vorhanden, der diesen Speicher verwaltet. Die genaue Funktion des Mappers kann der jeweiligen Hardware-Beschreibung (z.B. TCB/Z80 2.2.1) entnommen werden.

Nach RESET oder Einschalten der Spannungsversorgung ist der Mapper so initialisiert, daß die Speicherbank 0 im 64K-Adreßbereich der CPU liegt. Es gilt dann folgende Speicherverteilung:

```
0000..0FFF : Testdebugger (PROM)
1000..17FF : Boot-Software (PROM)
1800..1FFF : Disktest (PROM)
2000..3FFF : frei (RAM)
4000..41FF : Debugger RAM
4200..4EFF : frei (RAM)
4F00..4FFF : Boot RAM
5000..FFFF : frei (RAM)
```

Mit dem MA-Kommando kann nun entweder die erste oder die zweite Hälfte jeder 64K-Bank in den Bereich 8000..FFFF gemappt werden.

Im Bereich 0000..7FFF liegt immer die erste Hälfte von Bank 0.

```
MA oder MA 0 : 8000..FFFF = 2.Hälfte von Bank 0 (Standard)
MA 1 : 8000..FFFF = 1.Hälfte von Bank 0
MA 2 : 8000..FFFF = 1.Hälfte von Bank 1 (Beispiel)
MA 3 : 8000..FFFF = 2.Hälfte von Bank 1
MA 4 : 8000..FFFF = 1.Hälfte von Bank 2
MA 5 : 8000..FFFF = 2.Hälfte von Bank 2
MA 6 : 8000..FFFF = 1.Hälfte von Bank 3
MA 7 : 8000..FFFF = 2.Hälfte von Bank 3
```



3.18 Memory-Test =====

Für den Speichertest stehen zwei Kommandos zur Verfügung, MT und MX . Mit MT kann Speicher nur innerhalb einer Bank getestet werden, MX testet in allen Bänken.

3.18.1 MT = MEMORY-TEST innerhalb einer Speicherbank =====

FORMAT 1: MT (Startadresse) (Länge) <CR>
oder : MT (Startadresse)-(Endadresse) <CR>
FORMAT 2: MT (Startadresse) (Länge) (Anzahl Loops) <CR>
oder : MT (Startadresse)-(Endadresse) (Anzahl Loops) <CR>

Beispiel 1: MT 6000 1000 <CR>
oder : MT 6000-6FFF <CR>
Beispiel 2: MT 6000 1000 33 <CR>
oder : MT 6000-6FFF 33 <CR>

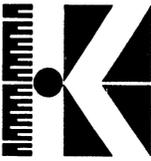
Der Speicherbereich von Adresse 6000H bis 6FFFH wird getestet. Die Angabe der Anzahl der Loops ist optional (Beispiel 2). Der Test läuft in Beispiel 1 solange, bis ein Abbruch mit <ESC> (siehe 1.2.1) oder mit einer beliebigen Taste (siehe 1.2.2) erfolgt. In Beispiel 2 wird der Memorytest insgesamt 33 mal (= Anzahl der eingegebenen Loops) durchgeführt. Das Testergebnis erscheint am Monitor entweder als:

"NO ERROR DETECTED !"

oder als "MEMORY-ERROR AT ADDRESS "

unter Angabe der fehlerhaften Speicherstelle und deren IST- und SOLL-Wert. Dabei ist zu beachten, daß der Memorytest im Fehlerfall dann abgebrochen wird, wenn "ES" (siehe 3.7) aktiviert ist.

Hinweis: Der Memorytest ist zerstörend und darf daher nicht im Speicherbereich von 4000H bis 41FFH durchgeführt werden, da dies der Arbeitsspeicher des Testdebuggers ist.



3.18.2 MX = MEMORY-TEST über alle Bänke

=====

FORMAT 1 : MX (Startadresse) (Länge) <CR>
oder : MX (Startadresse)-(Endadresse) <CR>
FORMAT 2 : MX (Startadresse) (Länge) (Anzahl Loops) <CR>
oder : MX (Startadresse)-(Endadresse) (Anzahl Loops) <CR>

Beispiel : MX 4200-FFFF 2 <CR>

Der Bereich von 4200-FFFF wird getestet, wobei im Bereich 8000..FFFF über alle Bänke getestet wird.

Mit MX kann sowohl die Funktionsfähigkeit des Memory Mappers als auch aller Speicherbänke getestet werden. Der Ablauf dabei ist folgendermaßen :

- a) Die Bänke 1..3 werden mit einem bestimmten Datenmuster gefüllt (1.Hälfte Bank 1 mit 02, 2.Hälfte mit 03 usw.).
- b) In Bank 0 wird der angegebene Bereich getestet (genau wie bei MT-Kommando).
- c) Falls Test in Bank 0 erfolgreich, wird geprüft ob die Datenmuster in den folgenden Bänken unverändert geblieben sind. Falls nicht erfolgt in der entsprechenden Bank eine Fehlermeldung : ERROR IN BANK X (X = 1..3). Der Mapper bleibt in diesem Fall auf diese Bank programmiert, so daß die betreffende Bank sofort überprüft werden kann .
- d) Falls kein Fehler auftrat, wird die erste Hälfte von Bank 1 in den Bereich 8000..FFFF gemappt (entspricht dem Kommando MA 2)
- e) Der angegebene Bereich wird getestet.
- f) Das Datenmuster in den folgenden Bänken wird geprüft.
- g) Falls kein Fehler, wird die zweite Hälfte von Bank 1 nach 8000..FFFF gemappt usw.

Während des Tests wird ausgegeben, welche Bank gerade getestet wird, bei erfolgreichem Ablauf ergibt sich (pro Durchlauf) der Ausdruck :

```
MEMORY TEST BANK 0 1 1 2 2 3 3 NO ERROR DETECTED !
```

Da die Bänke 1..3 in zwei Hälften getestet werden, erscheint die Bank-Nr. zweimal im Ausdruck.

Im Bereich 0000..7FFF liegt immer die 1.Hälfte von Bank 0, dies bedeutet, daß bei dem oben angegebenen Beispiel der Bereich 4200-7FFF von Bank 0 mehrfach (pro Durchlauf 7 mal) getestet wird.



Beispiele für mögliche Fehlermeldungen :

MEMORY TEST BANK 0 ERROR IN BANK 1

Bank 0 wurde erfolgreich getestet, in Bank 1 wurde das am Anfang eingetragene Datenmuster (02/03) nicht gefunden. Es liegt entweder ein Speicherfehler in Bank 1 vor oder der Mapper funktioniert nicht.

MEMORY TEST BANK 0 ERROR IN BANK 3

Bank 0 erfolgreich getestet, in Bank 3 wurde das eingetragene Datenmuster (06/07) nicht gefunden. Mapper vermutlich in Ordnung, wahrscheinlich Speicherfehler in Bank 3 .

Falls nach einer Fehlermeldung oder nach <ESC> abgebrochen wird, bleibt der Memory Mapper in dem Zustand indem er zuletzt war.

Bei normalem Ende (ohne Fehler) wird der Mapper wieder auf Bank 0 initialisiert.

3.19 0 = PORT OUTPUT LOOP

FORMAT: 0 (Portadresse) (Daten) <CR>

Beispiel: 0 2 55 <CR>

Auf den Port 02H wird laufend 55H geschrieben.

Dieser Test dient für Messungen und erzeugt ein feststehendes Bild auf dem Oszilloskop.

Abbruch erfolgt mit der ESCAPE-Taste.

3.20 OF = SERIELLE SCHNITTSTELLE AUSSCHALTEN

FORMAT: OF <CR>

Beispiel: OF <CR>

Mit diesem Kommando wird die serielle Schnittstelle abgeschaltet. An der Initialisierung wird nichts geändert.

Welche serielle Schnittstelle (A oder B) ausgeschaltet wird, hängt von der vorliegenden Debugger-Version ab (siehe 1.1).



3.21 ON = SERIELLE SCHNITTSTELLE EINSCHALTEN

FORMAT: ON <CR>

Beispiel: ON <CR>

Mit diesem Kommando wird die serielle Schnittstelle eingeschaltet, die Baudrate ist auf 9600 Baud gestellt.

Die Initialisierung des SIO geschieht sofort nach Reset oder Kaltstart und nicht erst nach der Ausführung des ON-Kommandos.

Welche serielle Schnittstelle (A oder B) eingeschaltet wird, hängt von der Debugger-Version ab (siehe 1.1).

3.22 OV = OVERLAY EINSCHALTEN

FORMAT: OV <CR>

Beispiel: OV <CR>

Nur bei entsprechender Hardware für Bildverarbeitung möglich.

Mit dem OV-Kommando ist es möglich, das Computerbild mit einem Videobild (TV-Kamera oder Videorecorder) zu überlagern.

3.23 P = PAUSE

FORMAT 1: P <CR>

FORMAT 2: P (Anzahl der Loops) <CR>

Beispiel 1: D 0 100;P;MV;P;MT 4500 2000 <CR>

Beispiel 2: S 5000 /D 0 50;P 5;D 5000 30;D0 5000 <CR>

Dies Kommando kann nur in einer Kommandofolge sinnvoll integriert sein. Es unterbricht die laufende Abarbeitung einer Kommandofolge, um auf eine Eingabe zu warten. Beim Drücken einer beliebigen Taste wird das nächste Kommando bearbeitet. Die ESC-Taste (siehe 1.2.1) bricht die Befehlsfolge ab. Damit ist eine Kontrolle über die einzelnen Schritte der Kommandofolge möglich.

Wird die optionelle Angabe der Anzahl der Loops benutzt (Beispiel 2), so reagiert das Pause-Kommando nur nach der angegebenen Anzahl der Durchläufe (hier 5 Durchläufe).



3.24 RA = PROM - RAM UMSCHALTUNG

FORMAT: RA <CR>

Beispiel: RA <CR>

Der Inhalt der E-Proms wird in die untere RAM-Bank kopiert, die Adresse 0000H-2000H als Prombereich abgeschaltet und auf RAM umgeschaltet.

3.25 RD = READ LOOP

FORMAT: RD (Adresse) <CR>

Beispiel: RD 3000 <CR>

Die Adresse 3000H wird laufend gelesen.

Dieses Kommando dient für Messungen am RAM und erzeugt ein feststehendes Bild am Oszilloskop. Abbruch erfolgt mit der ESC-Taste.

3.26 RC = RECALIBRATE

FORMAT : RC (Drive-ID) <CR>

Der Schreib/Lesekopf des angegeben Laufwerks wird auf Spur 0 gefahren.

3.27 RS = READ SECTOR

FORMAT 1: RS (Drive-ID) (Track Sector) (Adresse) <CR>
FORMAT 2: RS <CR>

Beispiel 1: RS 1 2001 5000 <CR>
Beispiel 2: RS <CR>

Beispiel 1 liest Daten gemäß der Drive-ID (siehe 6.2) von Drive 0 (Mini double density ohne DMA) Spur 20 Sektor 1 auf die Adresse 5000H bis 50FFH (wegen double density). Anschließend wird der Speicherbereich 5000H bis 50FFH angezeigt.



Bei single density wird nur ein Speicherbereich von 80H beschrieben und angezeigt .

Bei fehlendem Parameterfeld (Beispiel 2) werden die zuletzt bei einem Disk-Kommando verwendeten Parameter benützt.

Werden Laufwerke ohne eigenes READY-Signal verwendet (dieses wird dann auf der KDT-Platine auf Low gelegt) und kann der Floppy-controller bei einem solchen Laufwerk keine Daten lesen, so führt dies aus Gründen, die in der Hardware liegen, zum Absturz des Testdebuggers. Dies zeigt sich in einem Verweilen in der Disk-Leseroutine.

Der Debugger benützt den Speicherbereich von Adresse 4000H bis einschließlich 41FFH als Arbeitsspeicher. Der Boot-PROM verwendet den Bereich 4F00..4FFF . Auf diese Bereiche dürfen keine schreibenden Zugriffe gemacht werden.

3.28 RT = READ TRACK

FORMAT 1: RT (Drive-ID) (Track) (Adresse) <CR>
FORMAT 2: RT <CR>

Beispiel 1: RT A 20 5000 <CR>
Beispiel 2: RT <CR>

Beispiel 1 liest Daten gemäß der Drive-ID (siehe 6.2) von Drive 0 (Mini double density mit DMA) Spur 20 auf die Adresse 5000H bis 5FFFH (wegen double density). Anschließend wird der Speicherbereich 5000H bis 515FH angezeigt. Der gesamte Datensatz kann mit dem Kommando D 5000 1000 angezeigt werden. Bei single density wird nur ein Block von 800H Bytes eingelesen.

Bei fehlendem Parameterfeld (Beispiel 2) werden die zuletzt bei einem Disk-Kommando verwendeten Parameter benützt.

Werden Laufwerke ohne eigenes READY-Signal verwendet (dieses wird dann auf der KDT-Platine auf Low gelegt) und kann der Floppy-controller bei einem solchen Laufwerk keine Daten lesen, so führt dies aus Gründen, die in der Hardware liegen, zum Absturz des Testdebuggers. Dies zeigt sich in einem Verweilen in der Disk-Leseroutine.

Der Debugger benützt den Speicherbereich von Adresse 4000H bis einschließlich 41FFH als Arbeitsspeicher. Der Boot-PROM verwendet den Bereich 4F00..4FFF . Auf diese Bereiche dürfen keine schreibenden Zugriffe gemacht werden.



3.29 S = SET MEMORY

FORMAT 1: S {Adresse} {Daten} {Daten}.....{Daten} <CR>
FORMAT 2: S {Adresse} /(TEXT) <CR>

Beispiel 1: S 5000 34 56 78 90 <CR>
Beispiel 2: S 5000 /MT 3000 1000 9;CP 8000 C000 4000 <CR>

In Beispiel 1 wird auf die Adresse 5000H das Datum 34H, auf die Adresse 5001H das Datum 56H usw. geschrieben.

Beispiel 2 zeigt das Eintragen eines alphanumerischen Textes. Dies wird durch Eingabe eines SLASH (/) nach der Startadresse erreicht.

Der Debugger benützt den Speicherbereich von Adresse 4000H bis einschließlich 41FFH als Arbeitsspeicher. Der Boot-PROM verwendet den Bereich 4F00..4FFF. Auf diese Bereiche dürfen keine schreibenden Zugriffe gemacht werden.

3.30 SP = SET PORT

FORMAT: SP (Portadresse) (Daten) (Daten) (Daten) <CR>

Beispiel: SP 80 55 <CR>

Dieser Befehl schreibt das Datum 55H auf den Port 80H.

Beispiel für die Initialisierung des SIO Kanal A (Datenport: 04H, Controllport: 06H) auf folgende Werte:

Baudrate 2400
CTS aktiv, 8 Bit/Char, kein Parity, Auto Enable, 2 Stoppbits

SP A 47 32 <CR> (für den CTC1 Kanal 2 Baudrate 2400)
SP 6 04 4C 05 EA 03 E1 <CR> (für den SIO Port A)

Es wird darauf hingewiesen, daß bei nicht bedienten CTS-Signal (z.B. bei 3-Draht-Leitung) im angeführten Beispiel keine Übertragung möglich ist (wegen Programmierung von CTS aktiv und Auto Enable) !



3.31 ST = SET REFRESH TIME

FORMAT 1: ST <CR>
FORMAT 2: ST (Konstante) <CR>

Beispiel 1: ST <CR>
Beispiel 2: ST 10 <CR>

Die Refresh Zyklen des Speichers können beim Memorytest (auch Video) unterdrückt werden. In diesem Beispiel werden sie $10H * 2 \text{ ms} = 32 \text{ ms}$ unterdrückt ($10H = 16$ Dezimal $\rightarrow 32 \text{ ms}$).

Die Konstante kann bis maximal 20H erhöht werden, wobei der Grenzwert stark von den jeweils verwendeten RAM-Typen abhängt (teilweise ist auch 80H und mehr möglich).

VOREINSTELLUNG : 5H

3.32 TP = TESTPROGRAMM

FORMAT: TP (Drive-ID) <CR>

Beispiel: TP 2 <CR>

Mit diesem Kommando werden gemäß Drive-ID (siehe 6.2) Daten von Drive 1 (Mini double density ohne DMA) Spur 0 Sektor 1 in den Speicher ab Adresse 5000H eingelesen. Anschließend erfolgt automatisch das Kommando "DO 5000".

ANWENDUNG:

Auf Spur 0 Sektor 1 einer Diskette wird eine Kommandofolge geschrieben. Die Abarbeitung der Kommandos kann dann durch das TP-Kommando gestartet werden. Somit lassen sich Testprogramme sehr einfach implementieren.

3.33 W = WRITE LOOP

FORMAT: W (Adresse) (Daten) <CR>

Beispiel: W 5000 55 <CR>

Auf die Adresse 5000H wird laufend das Datum 55H geschrieben. Dieses Kommando dient Messungen am RAM und erzeugt ein feststehendes Bild am Oszilloskop.



Abbruch erfolgt mit der ESC-Taste.

Der Debugger benützt den Speicherbereich von Adresse 4000H bis einschließlich 41FFH als Arbeitsspeicher. Der Boot-PROM verwendet den Bereich 4F00..4FFF. Auf diese Bereiche dürfen keine schreibenden Zugriffe gemacht werden.

3.34 WR = WRITE / READ LOOP

FORMAT: WR (Adresse) (Daten) <CR>

Beispiel: WR 5000 55 <CR>

Auf die Adresse 5000H wird laufend das Datum 55H geschrieben und wieder gelesen.

Dieses Kommando dient Messungen am RAM und erzeugt ein feststehendes Bild am Oszilloskop.

Abbruch erfolgt mit der ESC-Taste.

Der Debugger benützt den Speicherbereich von Adresse 4000H bis einschließlich 41FFH als Arbeitsspeicher. Der Boot-PROM verwendet den Bereich 4F00..4FFF. Auf diese Bereiche dürfen keine schreibenden Zugriffe gemacht werden.

3.35 WS = WRITE SECTOR

FORMAT 1: WS (Drive-ID) (Track Sector) (Adresse) <CR>

FORMAT 2: WS <CR>

Beispiel 1: WS 2 2201 6000 <CR>

Beispiel 2: WS <CR>

Beispiel 1 schreibt Daten gemäß Drive-ID (siehe 6.2) von Adresse 6000H bis 60FFH auf Drive 1 (Mini double density ohne DMA) Spur 22 Sector 1.

Bei fehlendem Parameterfeld (Beispiel 2) werden die zuletzt bei einem Floppy-Befehl verwendeten Parameter verwendet.

Werden Laufwerke ohne eigenes READY-Signal verwendet (dieses wird dann auf der KDT-Platine auf Low gelegt) und kann der Floppy-controller bei einem solchen Laufwerk keine Daten lesen, so führt dies aus Gründen, die in der Hardware liegen, zum Absturz des Testdebuggers. Dies zeigt sich in einem Verweilen in der Disk-Leseroutine.



3.36 WT = WRITE TRACK

FORMAT 1: WT (Drive-ID) (Track) (Adresse) <CR>
FORMAT 2: WT <CR>

Beispiel 1: WT A 20 5000 <CR>
Beispiel 2: WT <CR>

Beispiel 1 schreibt Daten auf Drive 0 (Mini double density mit DMA) Spur 20 von der Adresse 5000H bis 5FFFH (wegen double density). Anschließend wird der Speicherbereich 5000H bis 515FH angezeigt. Bei single density wird nur ein Block von 800H Bytes geschrieben.

Bei fehlendem Parameterfeld (Beispiel 2) werden die zuletzt bei einem Disk-Kommando verwendeten Parameter benutzt.

Werden Laufwerke ohne eigenes READY-Signal verwendet (dieses wird dann auf der KDT-Platine auf Low gelegt) und kann der Floppy-controller bei einem solchen Laufwerk keine Daten lesen, so führt dies aus Gründen, die in der Hardware liegen, zum Absturz des Testdebuggers. Dies zeigt sich in einem Verweilen in der Disk-Leseroutine.



4. Systemaufrufe und Einsprungpunkte

Mit dem Test-Debugger erhält der Benutzer die Möglichkeit, fertige Test- und Diagnoseprogramme abarbeiten zu lassen, sowie ein Paket von Unterprogrammen, die über speziell geschaffene Einsprungpunkte aufgerufen werden können.

Damit ist ein einfacher Weg geschaffen, schnell und problemlos Maschinenprogramme zu schreiben, die auch komplizierte Ein- und Ausgaben durchführen können. Die zur Verfügung stehenden Einsprungpunkte sind nachstehend mit Beispielen beschrieben.

4.1 Kaltstart

FORMAT: C3 00 00 MNEMO-CODE: JP 0000H
oder : C7 RST 0H

Es erfolgt eine Hard- und Software-Neuinitialisierung. Der Kaltstart entspricht einem RESET.

Hinweis: Der PIO-Baustein hat keinen Reset-Eingang und bleibt daher auch nach einem Reset oder Kaltstart initialisiert.

4.2 Warmstart

FORMAT: C3 02 00 MNEMO-CODE: JP 0002H

Der Warmstart initialisiert die Software und setzt den Stackpointer neu.

Nach Abarbeitung dieser Routine meldet sich der Testdebugger mit der Ausgabe der vollen Überschrift.



4.3 Monitorausgabe

FORMAT: CD 08 00 MNEMO-CODE: CALL 0008H
oder : CF RST 8H

Eingaberegister: <A>
Ausgaberegister: keine
Zerstörte Register: keine

Der RST 8 gibt ein ASCII-Zeichen, das im Register <A> steht, auf dem Bildschirm an der aktuellen Cursor-Stelle aus.

Hinweis: Wenn die serielle Schnittstelle A eingeschaltet ist ("ON-Kommando" siehe 3.21), erfolgen sämtliche Ein- und Ausgaben auch zusätzlich über die serielle Schnittstelle.

Beispiel: S 5000 3E 55 CF C9;J 5000 <CR>

Erklärung:

ADRESSE	OP-CODE	MNEMO-CODE	KOMMENTAR
5000	3E 55	LD A,55H	ASCII-CODE FÜR "U" IN <A>
5002	CF	RST 8H	AUSGABE EINES ASCII-ZEICHENS
5003	C9	RET	RÜCKSPRUNG IN DEN DEBUGGER

4.4 Eingabe eines ASCII-Zeichens mit ECHO

FORMAT: CD 0B 00 MNEMO-CODE: CALL 000BH

Eingaberegister: keine
Ausgaberegister: <A>
Zerstörte Register: <AF>

Jedes eingegebene Zeichen wird auf dem Bildschirm angezeigt (optional serielle Schnittstelle siehe 3.21).

BEISPIEL: S 5000 CD 0B 00 C9;J 5000 <CR>

Nun kann ein beliebiges Zeichen eingegeben werden, das sofort am Bildschirm an der aktuellen Cursor-Stelle erscheint.



4.5 Prüfung auf Eingabe

FORMAT: CD OE 00 MNEMO-CODE: CALL 000EH

Eingaberegister: keine
Ausgaberegister: <F> (Z-Flag)
Zerstörte Register: <AF>

Soll in einem Programm abgefragt werden, ob eine Eingabe (optional serielle Schnittstelle siehe 3.21) erfolgt ist, bietet sich dieses Unterprogramm als Hilfe an. Ist ein Zeichen eingegeben worden, so wird das Z-Flag zurückgesetzt. Wurde kein Zeichen eingegeben, so ist das Z-Flag gesetzt. Gleichzeitig kann im Register <A> das eingegebene Zeichen abgefragt werden.

Hinweis: Das eingelesene Zeichen bleibt weiterhin present. Es gilt erst als ausgelesen, wenn es über Einsprung OBH (siehe 4.4) oder 10H (siehe 4.6) eingelesen wurde.

4.6 Eingabe eines ASCII-Zeichens

FORMAT: CD 10 00 MNEMO-CODE: CALL 0010H
oder : D7 RST 10H

Eingaberegister: keine
Ausgaberegister: <A>
Zerstörte Register: <AF>

Diese Subroutine wartet auf die Eingabe eines ASCII-Zeichens (optional serielle Schnittstelle, siehe 3.21) und liest dieses in das Register <A> ein.

Beispiel: S 5000 D7 32 50 50 C9;J 5000 <CR>

Erklärung:

ADRESSE	OP-CODE	MNEMO-CODE	KOMMENTAR
5000	D7	RST 10H	ASCII-ZEICHEN IN AKKU
5001	32 50 50	LD (5050H),A	ASCII-ZEICHEN NACH ADRESSE 5050H SCHREIBEN
5004	C9	RET	RÜCKSPRUNG IN DEN DEBUGGER

Mit dem Display-Befehl kann leicht nachgeprüft werden, daß das eingegebene Zeichen wirklich von Register <A> auf die Adresse 5050H geladen worden ist.



4.7 Ausgabe von "CURSOR AUF ANFANG DER NÄCHSTEN ZEILE" und Testausgabe

FORMAT: CD 13 00 MNEMO-CODE: CALL 0013H

Eingaberegister: <HL>
Ausgaberegister: keine
Zerstörte Register: <AF> (A=0), <HL>

Der Cursor wird auf den Anfang der nächsten Zeile gesetzt und anschließend erfolgt ein Sprung auf den Einsprungpunkt 18H, der einen Text ausgibt, der mit OOH als Ende-Markierung versehen sein muß. Die Adresse des Textes muß vorher in das Register <HL> geladen werden.

Beispiel: S 5050 /TEXTAUSGABE <CR>
S 505B 00 <CR> (Ende-Markierung)
S 5000 21 50 50 CD 13 00 C9;J 5000 <CR>

Ausgabe: TEXTAUSGABE

Erklärung:

ADRESSE	OP-CODE	MNEMO-CODE	KOMMENTAR
5000	21 50 50	LD HL,5050H	ADRESSE DES TEXTANFANGS NACH <HL>
5003	CD 13 00	CALL 0013H	TEXT AM ANFANG DER NÄCHSTEN ZEILE AUSGEBEN
5006	C9	RET	RÜCKSPRUNG IN DEN DEBUGGER

4.8 Textausgabe

FORMAT: CD 18 00 MNEMO-CODE: CALL 0018H
oder : DF RST 18H

Eingaberegister: <HL>
Ausgaberegister: keine
Zerstörte Register: <AF> (A=0), <HL>

Der Text wird ab der aktuellen Cursorposition ausgegeben, und zwar bis OOH, was als Ende-Markierung vereinbart ist.



4.9 Ausgabe von 2 Byte als 4 ASCII-Zeichen

FORMAT: CD 1B 00 MNEMO-CODE: CALL 001BH

Eingaberegister: <HL>
Ausgaberegister: keine
Zerstörte Register: <A>

Der Inhalt des Registers <HL> wird als 4-stellige Hexzahl aufgefaßt, die Hexziffern werden in ASCII-Zeichen umcodiert und anschließend ausgegeben.

Beispiel: S 5000 21 34 12 CD 1B 00 C9;J 5000 <CR>

Erklärung:

ADRESSE	OP-CODE	MNEMO-CODE	KOMMENTAR
5000	21 34 12	LD HL,1234H	HEXZAHL 1234 IN <HL> SCHREIBEN
5003	CD 1B 00	CALL 001BH	INHALT VON <HL> IN ASCII WANDELN UND AUSGEBEN
5006	C9	RET	RÜCKSPRUNG IN DEN DEBUGGER

4.10 Ausgabe eines Bytes als 2 ASCII-Zeichen

FORMAT: CD 20 00 MNEMO-CODE: CALL 0020H
oder : EF RST 20H

Eingaberegister: <A>
Ausgaberegister: keine
Zerstörte Register: keine

Das im Register <A> stehende Byte wird in 2 ASCII-Zeichen umgewandelt und ausgegeben.

Beispiel: S 5000 3E 55 E7 C9;J 5000 <CR>

Erklärung: (vergleiche dazu mit Beispiel in 4.3)

ADRESSE	OP-CODE	MNEMO-CODE	KOMMENTAR
5000	3E 55	LD A,55H	ASCII-CODE FÜR "U" IN <A>
5002	E7	RST 20H	AUSGABE VON "55"
5003	C9	RET	RÜCKSPRUNG IN DEN DEBUGGER



4.11 Ausgabe von "CURSOR AUF ANFANG DER NÄCHSTEN ZEILE"

FORMAT: CD 23 00 MNEMO-CODE: CALL 23H

Eingaberegister: keine
Ausgaberegister: keine
Zerstöre Register: keine

Es erfolgt ein Sprung von der aktuellen Cursorposition auf den Anfang der nächsten Zeile.

4.12 Ausgabe von 3 Leerzeichen

FORMAT: CD 26 00 MNEMO-CODE: CALL 0026H

Eingaberegister: keine
Ausgaberegister: keine
Zerstörte Register: keine

Es werden 3 Leerzeichen ausgegeben. Ansonsten siehe 4.14.

4.13 Ausgabe von 2 Leerzeichen

FORMAT: CD 27 00 MNEMO-CODE: CALL 0027H

Eingaberegister: keine
Ausgaberegister: keine
Zerstörte Register: keine

Es werden 2 Leerzeichen ausgegeben. Ansonsten siehe 4.14.



Wird jetzt während des Programmablaufs ein 'W' eingegeben unterbricht der Debugger die Programmfolge, irgend ein weiteres eingegebenes Zeichen läßt das Programm fortfahren (siehe 1.2.2). Mit der ESC-Taste wird das Programm völlig abgebrochen (siehe 1.2.1).

Erklärung:

ADRESSE	OP-CODE	MNEMO-CODE	KOMMENTAR
5000	3E 24	LD A,24H	ASCII-CODE VON "\$" IN AKKU
5002	CF	RST 8H	AUSGABE VON "\$"
5003	CD 33 00	CALL 0033H	PROGRAMMUNTERBRECHUNG ?
5006	CO	RET NZ	RETURN, WENN UNTERBRECHUNG
5007	C3 00 50	JP 5000H	SPRUNG AN DEN PROGRAMMBEGINN

4.16 Programmabbruch mit Meldung

FORMAT: CD 38 00 MNEMO-CODE: CALL 0038H
oder: FF RST 38H

Eingaberegister: keine
Ausgaberegister: keine
Zerstörte Register: alle

Wird in einem Programm der Befehl RST 38H (OFFH) erkannt, so wird ein Unterprogramm aufgerufen, welches das laufende Programm abbricht und folgende Meldung ausgibt:

BREAK AT (Adresse)

Als Adresse wird diejenige Speicherstelle angegeben, an der der nächste auszuführende Maschinenbefehl steht. Nach der Textausgabe erfolgt ein Warmstart (siehe 4.2).

Beispiel: S 5000 00 00 00 00 FF;J 5000 <CR>

Ausgabe: BREAK AT 5005



4.17 Einlesen eines Textes in einen Eingabepuffer

FORMAT: CD 3E 00 MNEMO-CODE: CALL 003EH

Eingaberegister: <A>,<HL>
Ausgaberegister:
Zerstörte Register: <AF>,,<HL>

Es wird in das Register <HL> die Startadresse und in das Register <A> die Länge des Eingabepuffers eingelesen. Diese Länge ist inklusive des abschließenden <CR> (ASCII ODH). Nach der Rückkehr aus der Eingaberoutine steht im Register die tatsächliche Anzahl der eingegebenen Zeichen ohne abschließendes <CR>.

Beispiel:S 5000 21 50 50 3E 10 CD 3E 00 78 32 10 50 C9;J 5000 <CR>

Es können jetzt 15 (= 10H) Zeichen eingegeben werden. Wird das 16-te Zeichen eingegeben, ertönt ein akustisches Signal um anzuzeigen, daß der Eingabepuffer voll ist.

Erklärung:

ADRESSE	OP-CODE	MNEMO-CODE	KOMMENTAR
5000	21 50 50	LD HL,5050H	ZEIGER IN <HL> AUF EINGABEPUFFER
5003	3E 10	LD A,10H	PUFFERLÄNGE 10H BYTES
5005	CD 3E 00	CALL 003EH	EINGABE
5008	78	LD A,B	LADE ANZAHL NACH <A>
5009	32 10 50	LD (5010H),A	LADE ANZAHL NACH ADRESSE 5010H
500C	C9	RET	RÜCKSPRUNG IN DEN DEBUGGER

Eingabe: 123456789ABCDEF . <CR>

Mit dem Display-Kommando (D 5000 60) kann die Funktion des Programms überprüft werden. Man sieht auf Adresse 505FH das ODH (von <CR>) und auf Adresse 5010H die Anzahl der eingegebenen Bytes (0FH = 15 Zeichen).

4.18 Auslesen eines Zeichens aus Eingabepuffer

FORMAT: CD 41 00 MNEMO-CODE: CALL 0041H

Eingaberegister: keine
Ausgaberegister: <A>
Zerstörte Register: <AF>

Ein Zeichen, auf welches der Eingabepuffer-Zeiger zeigt (siehe 5.5), wird ins Register <A> eingelesen.

Hinweis: Ein Strichpunkt (;) wird als ODH (ASCII-Code für CR) interpretiert und eine Markierung gesetzt, daß noch weitere Kommandos folgen.



4.19 Pufferzeiger Hochzählen

FORMAT: CD 44 00 MNEMO-CODE: CALL 0044H

Eingaberegister: keine
Ausgaberegister: keine
Zerstörte Register: keine

Der Eingabepuffer-Zeiger (siehe 5.5) wird um eins erhöht. Damit können Manipulationen an der Reihenfolge des Einlesens vom Eingabepuffer (siehe 4.18) vorgenommen werden.

4.20 Pufferzeiger herunterzählen

FORMAT: CD 47 00 MNEMO-CODE: CALL 0047H

Eingaberegister: keine
Ausgaberegister: keine
Zerstörte Register: keine

Der Eingabepuffer-Zeiger (siehe 5.5) wird um eins erniedrigt. Damit können Manipulationen an der Reihenfolge des Einlesens vom Eingabepuffer (siehe 4.18) vorgenommen werden.

4.21 Einsprungpunkt für NON-MASKABLE INTERRUPT (NMI)

FORMAT: C3 66 00 MNEMO-CODE: JP 0066H

Eingaberegister: keine
Ausgaberegister: keine
Zerstörte Register: alle

Auf Adresse 0066H steht eine Interrupt-Service-Routine für den NMI, welche einen Sprungbefehl auf die Adresse 400CH enthält (siehe 5.8). Als Voreinstellung steht auf der Adresse 400CH ein Sprung auf die Adresse 007FH. Es wird folgender Text ausgegeben:

NMI AT (Adresse)

Nach Ausgabe des Textes erfolgt ein Warmstart (siehe 4.2).

Soll bei NMI nicht die Voreinstellung erwünscht sein, so hat der Benutzer die Möglichkeit, durch Manipulation der Adresse 400CH eine andere Interrupt-Service-Routine aufzurufen.



Beispiel für eine Änderung der Interrupt-Service-Routine :

S 400C FB ED 45 <CR>

Erklärung:

ADRESSE	OP-CODE	MNEMO-CODE	KOMMENTAR
4013	FB	EI	INTERRUPT FREIGEBEN
4014	ED 45	RETN	RÜCKSPRUNG AUS DER INTERRUPT-SERVICE-ROUTINE FÜR NMI



5. RAM-Speicheradressen

Folgende Speicheradressen stehen dem Anwender zur Verfügung:

4000H:	STATUS	
4001H:	LETZTE EINGABE	
4002H:	SCROLL-ADRESSE LOW	BYTE
4003H:	SCROLL-ADRESSE HIGH	BYTE
4004H:	CURSOR-ADRESSE LOW	BYTE
4005H:	CURSOR-ADRESSE HIGH	BYTE
4006H:	EINGABE PUFFERZEIGER LOW	BYTE
4007H:	EINGABE PUFFERZEIGER HIGH	BYTE
4008H:	REFRESH ZEIT KONSTANTE	
4009H:	WARTESCHLEIFE FÜR MEMORYTEST	(3 BYTES)
400CH:	NMI UNTERPROGRAMM FÜR MEMORYTEST	(3 BYTES)
400FH:	WARTESCHLEIFE FÜR MONITORAUSGABE	(3 BYTES)
4012H:	CURSOR ON-OFF FLAG	
4013H:	INVERT SCREEN FLAG	
4014H:	SIO-AUSGABE ROUTINE	(3 BYTES)
4017H:	ESCAPE ROUTINE	(3 BYTES)
401AH:	RECEIVE ROUTINE FÜR TESTSYSTEM	(3 BYTES)

5.1 Status

Diese Speicherzelle beinhaltet den Status des Statusports 1CH. Da dieser Port nicht gelesen werden kann, muß der jeweilige Zustand zusätzlich auf der Adresse 4000H gespeichert werden. Dabei bedeuten (1/0) :

BIT 0:	WATCHDOG ENABLE/DISABLE
BIT 1:	4 MHZ / 2MHZ SYSTEM-TAKT
BIT 2:	AUDIO ENABLE/DISABLE
BIT 3:	NOT USED
BIT 4:	SIO-A und DMA / FDC und DMA
BIT 5:	PROM OFF / ON
BIT 6:	MINI-FLOPPY / STANDARD-FLOPPY
BIT 7:	FLOPPY MOTOR ON/OFF

Jede Änderung muß sowohl auf den Statusport 1CH als auch auf die Speicherzelle 4000H geschrieben werden.



5.2 Letzte Eingabe

Jedes durch Interrupt empfangene Zeichen (Keyboard, serielle Schnittstelle) wird auf der Speicherzelle 4001H abgelegt, bis es ausgelesen wird (siehe 4.4, 4.5, 4.6). Nach dem Auslesen wird die Speicherzelle auf 00H gesetzt um anzuzeigen, daß kein Zeichen präsent ist.

5.3 Scroll-Adresse

Die Scroll-Adresse ist die aktuelle Anfangsadresse der Bildschirm-Ausgabe. Die Adresse wird relativ zur Anfangsadresse des Bildspeichers (0000H) angegeben. Durch Umsetzen der Scroll-Adresse kann im Bildspeicher "geblättert" werden. Das Low-Byte der Scroll-Adresse steht auf Adresse 4002H, das High-Byte auf Adresse 4003H. Von den vorhandenen 64K Bildspeicher werden im Debugger nur 16K unterstützt, das entspricht 8 Bildschirmseiten. Die Scroll-Adresse bewegt sich somit immer im Bereich 0000..3FFFH .

5.4 Cursor-Adresse

Die Cursor-Adresse ist die aktuelle Position des Cursors relativ zur Anfangsadresse des Bildspeichers (8000H). Eine Umpositionierung des Cursors ist jederzeit möglich, besonders auch unter Einbeziehung der Scroll-Adresse. Das Low-Byte der Cursor-Adresse steht auf Adresse 4004H, das High-Byte auf Adresse 4005H.

5.5 Eingabe Pufferzeiger

Der Eingabe Pufferzeiger zeigt auf die aktuelle Speicherzelle des Eingabe-Puffers (siehe 4.18, 4.19, 4.20). Das Low-Byte steht auf Adresse 4006H, das High-Byte auf Adresse 4007H.

5.6 Refresh Zeit-Konstante

Die Speicherzelle 4008H enthält den Wert für die Zeitspanne, während der die Refresh-Zyklen beim Memorytest unterdrückt werden (siehe 3.30).



5.7 Warteschleife für Memorytest

Nach jedem Schreibvorgang wird eine Subroutine mit CALL 4009H aufgerufen. Normalerweise steht dort ein RET (0C9H) und dahinter die Adresse einer Warteroutine von 3.3 Sekunden Verzögerungszeit bei einer Refresh Zeit Konstante von 5H. Schreibt man nun Jump (0C3H) auf die Speicherzelle 4009H, so wird diese Subroutine in den Memorytest eingebunden und ein Testdurchlauf benötigt von da an wesentlich mehr Zeit und man hat eine Kontrolle, ob der Speicher die eingeschriebenen Daten auch längere Zeit behalten kann.

5.8 NMI Service Routine

Um die NMI-Service Routine (Non-Maskable-Interrupt) verändern zu können wurde auf der Speicherstelle 400CH eine Änderungsmöglichkeit eingerichtet. Bei der Software-Initialisierung steht hier ein Sprung auf eine Meldung (JP 007FH = Jump auf Adresse 7FH). Es kann jedoch auch auf eine andere Routine durch entsprechendes Ändern der Adressen 400DH (Low-Byte) und 400EH (High-Byte) gesprungen werden (siehe auch 4.21).

5.9 Warteschleife für Monitorausgabe

Mit CTRL-S (siehe 6.5) kann die Geschwindigkeit der Ausgabe auf dem Bildschirm gesteuert werden. Dies geschieht durch ein Ändern der Speicherzelle 400FH. Normalerweise steht dort 0C9H (RET). Nach Eingabe von CTRL-S wird ein 0C3H (JP) eingetragen, was bei der Ausgabe einen Sprung auf eine Zeitschleife zur Folge hat. Bei der nächsten Eingabe von CTRL-S wird wieder auf 0C9H (RET) zurückgeschaltet.

5.10 Cursor On-Off

Auf dieser Speicherzelle wird die jeweilige Programmierung des Cursors im Videocontroller eingetragen. Diese kann mit CTRL-T (siehe 6.5) geändert werden.



5.11 Invert Screen Flag

Auf dieser Speicherzelle wird die jeweilige Programmierung des Bildschirms eingetragen. Diese kann mit CTRL-R (siehe 6.5) geändert werden.

5.12 Serielle Ausgabe

Auf Adresse 4014H steht je nach Status der seriellen Ausgabe (siehe 3.20 bzw. 3.21) ein Sprung zur Ausgabe über die serielle Schnittstelle (C3 54 08 = JP 0854H) oder ein RET (0C9H).

5.13 ESCAPE-Routine

Auf Adresse 4017H steht ein Sprung zum Unterprogramm für die ESC-Funktion. Soll die ESC-Funktion (sofortiger Programmabbruch) unwirksam sein (wie bei allen Disk-Zugriffen), so wird auf dieser Adresse Return (0C9H) eingetragen. Ansonsten steht dort ein Sprungbefehl (0C3H).

Es gibt die Möglichkeit, das bei Eingabe von ESC angesprochene Unterprogramm durch Eintragen eine Adresse auf Speicherzeller 4018H (Low-Byte) und 4019H (High-Byte) zu maskifizieren. Es muß allerdings darauf geachtet werden, daß so bald als möglich ein RETI-Befehl gegeben wird, da das Escape-Unterprogramm eine Interrupt-Service-Routine ist.



6. Erläuterung zu PROM 2 (Floppy-Routine)

Das Prom 2 (Adresse 1000H-1FFFH) enthält alle notwendigen Unterprogramme zum Ansprechen von Disk-Laufwerken. Hierzu kurz einige Hinweise für diejenigen, die etwas tiefer einsteigen wollen.

6.1 Autostart

Bei Reset wird normalerweise automatisch das Betriebssystem geladen. Dieser sogenannte Autostart wird durch einen Sprung auf Adresse 1000H erreicht. Auf welchen Laufwerken der BOOT (Zwischenprogramm zum Starten der Betriebssoftware mit Namen BOOT2.SYS) gesucht werden soll, steht in einer 20H langen Tabelle ab Adresse 1010H. Zwei Angaben sind dazu erforderlich, nämlich die Codierung für das angesprochene Laufwerk und die Spur, die als Inhaltsverzeichnis (Directory) angesprochen werden soll. Das Ende der Tabelle muß mit zweimal OFFH markiert sein.

Folgende Bitzuordnung für die Laufwerke gilt:

BO + B1	2 Bits für Drive-Nummer	(0-3)
B2	Single/Double-Density	(0/1)
B3	Single/Double-Head	(0/1)
B4	Mini/Std.-Drive	(0/1)
B5	Non-DMA/DMA	(0/1)
B6	Floppy-Disk/Hard-Disk	(0/1)
B7	Implementiert	(NO/YES) (0/1)

Dazu ein Beispiel (nach RA-Kommando siehe 3.24 möglich)

```
S 1010 84 04 85 04 B4 26 B5 26 C4 03 80 05 FF FF <CR>
```

Hier würde der Reihe nach gesucht auf:

```
Minifloppy double-density Drive 0 non DMA auf Spur 4  
Minifloppy double-density Drive 1 non DMA auf Spur 4  
Standardfloppy double-density Drive 0 DMA auf Spur 26  
Standardfloppy double-density Drive 1 DMA auf Spur 26  
Mini-Hard-Disk DMA auf Spur 3  
Minifloppy single-density Drive 0 non DMA auf Spur 5
```

Hinweis: Die Option Standard-Hard-Disk ist aus Platzgründen nicht implementiert.

Bei Standard-Drives und Hard-Disk ist aus Geschwindigkeitsgründen immer DMA zu verwenden.



6.2 Arbeiten mit Vektor

Für direktes Lesen von der Floppy kann über den Einsprungpunkt 1006H gearbeitet werden. Dazu ist mit dem Register <IX> ein Vektor aufzubauen. Es gilt folgende Vereinbarung:

- (IX + 00) = Drive-Identifikation nach Tabelle in 6.3.1 ohne Bit 3 und Bit 7
- (IX + 01) = Kommando Byte (00 = Recalibrate 02 = Read Track;
03 = Read Sektor; 04 = Write Sektor;
05 = Write Track)
- (IX + 02) = Track Byte (Angabe des zu bearbeitenden Tracks)
- (IX + 03) = Sektor Byte (Angabe des zu bearbeitenden Sektors)
- (IX + 04) = Reserviert
- (IX + 05) = Fehler Byte (Byte für Rückmeldung eines aufgetretenen Fehlers)
- (IX + 06) = Buffer-Adresse (Angabe der Buffer-Adresse Low-Byte)
- (IX + 07) = Buffer-Adresse (Angabe der Buffer-Adresse High-Byte)
- (IX + 08) = Anzahl Versuche (Angabe der Anzahl der Schreib-Lese-Versuche)
- (IX + 09) = Fehler Zähler (Zähler für die Anzahl der aufgetretenen Fehler)
- (IX + 10) = Reserviert
- bis
- (IX + 15) = Reserviert

Alle Kommandos werden auf einen Vektor dieser Art umgesetzt. Als Anzahl der Versuche gilt 5 als Voreinstellung.

6.3 Fehlermeldungen Floppy

Bei Floppy-Disk-Zugriffen sind folgende Fehlermeldungen implementiert:

6.3.1 Format

Bei falschen Parametern wird, soweit in einem Programm dieser Kürze eine Erkennung möglich ist, die Meldung

* FORMAT *

ausgegeben. Intern hat dieser Fehler den Error-Code 81H.



6.3.2 DRIVE NOT READY

Alle nicht näher spezifizierten Fehler werden mit dieser Fehlermeldung angezeigt. Intern hat dieser Fehler den Error-Code 82H.

6.3.3 READ NOT POSSIBLE

Wenn der Disk-Controller die Sektormarkierungen nicht lesen kann, wird diese Fehlermeldung ausgegeben. Intern hat dieser Fehler den Error-Code 83H.

6.3.4 CRC-ERROR

Auf jedem Sektor ist ein Schutz gegen Fehler in Form von einer Prüfsumme eingetragen. Wenn diese Prüfsumme nicht mit dem Inhalt des Sektors übereinstimmt, so wird eine Fehlermeldung ausgegeben. Intern hat dieser Fehler den Error-Code 84H.

6.3.5 DISK WRITE PROTECTED

Wird bei einem schreibenden Zugriff auf die Diskette festgestellt, daß diese durch Aufkleben des Schreibschutzes geschützt ist, so wird diese Fehlermeldung ausgegeben. Intern hat dieser Fehler den Error-Code 85H.



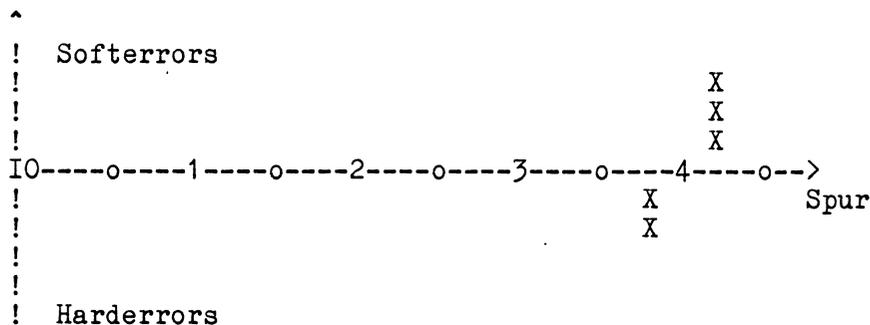
6.4 DISK-TEST

PROM 2 enthält auf Adresse 1800H ein Floppy-Disk-Testprogramm. Dieses Programm ist interaktiv und kann mit "J 1800 <CR>" angesprungen werden. Der Test führt nur Lesezugriffe aus, er kann also mit jeder Scheibe durchgeführt werden. Der Ablauf sieht in etwa folgendermaßen aus :

Eingabe im Testdebugger : J 1800 <CR>

```
DISKTEST VERSION 1.51 VOM 30.11.1982 (derzeit aktuelle Version)
DRIVE ID? 1 <CR>
VERSUCHE: 5 <CR>      (Eingabe dezimal, 2-stellig)
LOOPS : 2 <CR>      (Eingabe hexadezimal, 2-stellig)
MODE 1/2 : 2 <CR>
```

Es erfolgt nun ein Test in Laufwerk 0, 5" Mini, double density, kein DMA. Dabei wird Spur für Spur gelesen, jeweils maximal 5 Versuche, dabei auftretende Hard- oder Soft-Errors werden aufgelistet. Der Test wird in dem oben angegebenen Beispiel zweimal durchlaufen. Bei MODE 2 erfolgt die Darstellung der Fehler in einem sehr anschaulichen Histogramm das in etwa folgendes Aussehen hat :



Bei dem Test traten somit 2 Harderrors in Spur 38 und 3 Softerrors in Spur 42 auf.

Über einen sogenannten SCALE FACTOR wird der Wert eines Tabelleneintrags (X) variiert :

```
SCALE FACTOR 0010 : X bedeutet : 1 Hard- oder Softerror
SCALE FACTOR 0020 : X bedeutet : 2 Hard- oder Softerrors
SCALE FACTOR 0040 : X bedeutet : 4 Hard- oder Softerrors
usw.
```

Bei MODE 1 erfolgt eine Fehlermeldung im folgenden Format :

```
PROBLEM AT TRACK XX WITH .....
```



Testsoftware für KDT6, TCB/Z80 und TCB/IOV

Der Test kann mit W angehalten und mit jeder anderen Taste abgebrochen werden.

Wird bei VERSUCHE : nur <CR> eingegeben so werden 99 Versuche gemacht, wird bei LOOPS : nur <CR> eingegeben so werden 9999 Durchläufe gemacht.



7. Tabellen

7.1 KOMMANDOS

Befehle	Erklärung	Anzahl der Eingaben	Format
1)	A Again	0	
2)	CP Compare	3	Anf.-Adr.1 Anf.-Adr.2 Länge
3)	D Display and alter	1	Adresse
	Display Memory	2	Adresse -Adr./Länge
4)	DO Kommandoausführung	1	Adresse
5)	DP Display Port	1	Port-Adresse
6)	EG Go by Error	0	
7)	ES Stop by Error	0	
8)	F Fill	3	Anf.-Adr. -Adr./Länge Wert
9)	FC Floppy Controlmode	2	Disk-ID Track
10)	G Go	1	Adresse
11)	I In-Loop Port	1	Port Adresse
12)	J identisch mit GO	1	Adresse
13)	K Betriebssystem laden	0	
14)	L Locate	optional	Anf.-Adr. -Adr./Länge Wert.
15)	LL Local-Mode	0	
16)	MO Move	3	Quell-Adr. Ziel-Adr. Länge
17)	MA Mapper Programmierung	1	Bank Nr.
18a)	MT Memory-Test (in 1 Bank)	2	Anf.-Adr. -Adr./Länge
	Memory-Test	3	Anf.-Adr. -Adr./Länge Anzahl
18b)	MX Memory-Test (alle Bänke)	2	Anf.-Adr. -Adr./Länge
	Memory-Test	3	Anf.-Adr. -Adr./Länge Anzahl
19)	O Output-Loop Port	2	Port-Adr. Wert
20)	OF Serielle Schnittstelle ausschalten	0	
21)	ON Serielle Schnittstelle einschalten (9600 Baud)	0	
22)	OV Overlay einschalten (nur bei spezieller Hardware möglich)	0	
23)	P Pause	0	
	Pause	1	Schleifenzähler
24)	RA RAM-Umschaltung	0	
25)	RD Read-Loop Memory	1	Adresse
26)	RC Recalibrate Disk	1	Disk-ID
27)	RS Read Sector	0	alte Werte
	Read Sector	3	Disk-ID Track/Sector Adr.
28)	RT Read Track	0	alte Werte
		3	Disk-ID Track/Sector Adr.
29)	S Set Memory	optional	Adresse Wert Wert....
30)	SP Set Port	optional	Port-Adr. Wert Wert....
31)	ST Zeit-Konstante anzeigen	0	
	Zeit-Konstante setzen	1	Wert
32)	TP Testprogramm	1	Disk-ID
33)	W Write-Loop Memory	2	Adresse Wert
34)	WR Write-Read-Loop Memory	2	Adresse Wert
35)	WS Write Sector	0	alte Werte
	Write Sector	3	Disk-ID Track/Sector Adr.
36)	WT Write Track	0	alte Werte
		3	Disk-ID Track/Sector Adr.



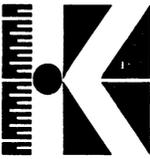
7.2 DRIVE-ID TABELLE

<u>Drive-ID</u>	<u>Bedeutung</u>	<u>Laufwerk</u>	
1	5" Mini	0	double density ohne DMA
2	5" Mini	1	double density ohne DMA
3	5" Mini	0	single density ohne DMA
4	5" Mini	1	single density ohne DMA
5	8" Standard	0	double density mit DMA
6	8" Standard	1	double density mit DMA
7	8" Standard	0	single density ohne DMA
8	8" Standard	1	single density ohne DMA
9	5" Winchester		double density mit DMA
A	5" Mini	0	double density mit DMA
B	5" Mini	1	double density mit DMA
C	5" Mini	0	single density mit DMA
D	5" Mini	1	single density mit DMA
E	8" Standard	0	single density mit DMA
F	8" Standard	1	single density mit DMA

Bei double-sided Laufwerken kann durch eine führende "1" bei der Drive-ID die Seite 2 angesprochen werden.

Beispiel: "16" bedeutet Seite 2 des linken 8" Standard Laufwerks, double density mit DMA.

Im Allgemeinen gilt die Zuordnung : Laufwerk 0 = rechts oder oben
Laufwerk 1 = links oder unten



7.3 Steuerzeichen

<u>Taste:</u>	<u>ASCII-CODE:</u>	<u>Funktion:</u>
CTRL-A	01H	Cursor left down
CTRL-F	06H	Cursor forward
CTRL-G	07H	Bell
CTRL-H	08H	Backspace
CTRL-I	09H	Tabulator
CTRL-J	0AH	Line feed
CTRL-L	0CH	Form feed
CTRL-Q	11H	Character invert
CTRL-R	12H	Invert screen
CTRL-S	13H	Invert speed
CTRL-T	14H	Cursor off-on
CTRL-W	17H	Blinking on/off
CTRL-Z	1AH	Cursor up
RETURN	0DH	Carriage return
RUBOUT	7FH	Clear input buffer
HOME	1CH	Cursor left top

Manche dieser Funktionen werden bei der Eingabe über Eingabe-Puffer unterdrückt (z.B. bei Kommandoeingaben).



Diese Unterlage beinhaltet ein Assemblerquellprogramm, das eine zuverlässige Überprüfung des Hauptvideospeichers auf der KDT6 sowie der TCB/IOV ermöglicht.



Videomemorytest für KDT6 und TCB/IOV

VMT6:

```
;VIDEOMEMORYTEST FÜR KDT6 REV 1.1. UND 1.2
;-----
```

```
;P.NAME: VMT6
;AUTHOR: Karl-Heinz Bauer
;DATE: 22.06.1982
;VERSION: 2.1
;LAST MOD.: 25.10.1982 by K.H.Bauer
;LAST MOD.: 24.01.1983 by K.H.Bauer
```

```
TITLE VMT6
PAGE 65
```

```
;Dieses Programm testet den Hauptvideospeicher
;der KDT6 sowie der TCB IOV.
;Es werden folgende Kombinationen eingeschrieben
;und überprüft:
;01, 02, 04, 08, 10, 20, 40, 80,
;FE, FD, FB, F7, EF, DF, BF, 7F, 00, FF,
;Ferner wird das LOW Adressbyte auf die jeweilige
;Adresse geschrieben und überprüft. Danach das HIGH
;Adressbyte.
;Im letzten Test wird alles auf 00 gesetzt und nacheinander
;nur eine der 16 Adressleitungen auf HIGH gesetzt, und die so
;adressierte Speicherzelle mit FF beschrieben und abgeprüft.
;Anschließend werden die Ergebnisse aller Tests am Bildschirm
;ausgegeben. Die Ausgabe erfolgt über die KOS Funktionen
;OUTPUT (86H) und STRING (87H).
```

```
;Zerstörte Register:-----> KEINE
;Zerstörter RAMinhalt:---> VIDEO RAM Inhalt wird zerstört:
```

```
;ERLIST:
;Zur Auswertung durch dieses oder eines anderen Programmes
;wird eine ERROR-LISTE (ERLIST) angelegt, mit je 5 BYTES für
;jeden Test: 1. BYTE ----> 00 = KEIN ERROR FF = ERROR
; 2. BYTE ----> HIGH BYTE der ERROR ADRESSE
; 3. BYTE ----> LOW BYTE der ERROR ADRESSE
; 4. BYTE ----> Soll BYTE
; 5. BYTE ----> Ist BYTE
;Es sind 21 Tests implementiert.
```

```
;GLOBALS
;-----
```

```
GLOBAL VMT6
GLOBAL ERLIST
```



```
JR START

STARTM:
  DEFB OCH
  DEFM "VIDEOMEMORYTEST FUER KDT6/ VERSION 2.1 VOM 24.01.83 VON"
  DEFM " K.H.BAUER"
  DEFW OAOBH
  DEFB OOH

;ES WIRD NUR DER HAUPTVIDEOSPEICHER GETESTET

START:
  PUSH AF
  PUSH BC
  PUSH DE
  PUSH HL
  LD HL, STARTM
  CALL RST18H
  LD B,0           ;TEST COUNTER
  CALL CLEARERL   ;CLEAR ERRORLIST
  CALL BYTETEST   ;
  CALL LADRTEST   ;LOW ADDRESS TEST
  CALL HADRTEST   ;HIGH ADDRESS TEST
  CALL TEST17     ;ADDRESSBIT CHECK
  CALL ANZEIGE    ;AUSWERTEN UND ANZEIGEN
  POP HL          ;EXIT
  POP DE
  POP BC
  POP AF
  RET

RST18H:           ;(HL)=TEXT-->MONI.
  LD IX, VECTOR
  LD (IX+1), STRING
  RST 8H
  RET

RST20H:           ;HEX->ASCII->OUT
  LD IX, VECTOR
  LD (IX+1), ACCOUT
  RST 8H
  RET

VMADR:           ;HL = VIDEOADRESSE
  PUSH AF
  LD A,H
  OUT (VAL.HIGH),A
  LD A,L
  OUT (VAL.LOW),A
  POP AF
  RET

MVFILL:         ;HL = MVADDRESS
  CALL VMADR
  PUSH BC
OUTLOOP:        ;DE = BLOCKLÄNGE
               ;A = BYTE
               ;C = PORT
  OUT (C),A
  DEC DE
  LD B,A
  LD A,D
  OR E
```



```
LD A,B
JR NZ,OUTLOOP
POP BC
RET

CLEARERL:
PUSH HL
PUSH AF
PUSH BC
LD HL,ERLIST
LD B,ERLISTL
XOR A
CLOOP:
LD (HL),A
INC HL
DJNZ CLOOP
POP BC
POP AF
POP HL
RET

BYTETEST:
LD HL,BYTELIST
DEC B
BYTELOOP:
INC B
LD A,(HL)
PUSH HL
LD DE,0
LD HL,0
LD C,VMBO.AUTO.INC
CALL MVFILL
LD DE,0
LD HL,0
CALL BYTECHECK
POP HL
OR (HL)
INC HL
JR NZ,BYTELOOP
RET

BYTECHECK:           ;HL = MVADDRESS
CALL VMADR           ;LOAD STARTADDRESS
PUSH BC
CHECKLOOP:
                ;DE = BLOCKLÄNGE
                ;A = BYTE
                ;C = PORT
                ;STACK TOP=TESTCOUNTER
IN B,(C)
CP B
JR NZ,ERROR
INC HL
DEC DE
LD B,A
LD A,D
OR E
LD A,B
JR NZ,CHECKLOOP
POP BC
RET
```



```
LADRTEST:           ;ADDRESSTEST
  LD HL,OH
  LD C,VMBO         ;VIDEO MEM. BANK
  INC B
  PUSH BC          ;SAVE TESTCOUNTER
LADRL:
  CALL VMADR       ;LOAD VMADDRESS
  OUT (C),L
  INC HL
  LD A,H
  OR L
  JR NZ,LADRL
LADRCHECK:
  CALL VMADR       ;LOAD HL TO THE
                  ;VIDEO MEM.ADR.LATCH
  LD A,L
  IN B,(C)
  CP B
  JR NZ,ERROR
  INC HL
  LD A,L
  OR H
  JR NZ,LADRCHECK
  POP BC
  RET
```

```
HADRTEST:
  INC B
  LD HL,0
  LD C,VMBO.AUTO.INC
  XOR A
HADRL:
  LD DE,0100H
  CALL MVFILL
  INC H
  LD A,H
  CP 0
  JR NZ,HADRL
HADRCHECK:
  LD DE,0100H
  CALL BYTECHECK
  JR NZ,ERRET
  INC H
  LD A,H
  CP 0
  JR NZ,HADRCHECK
ERRET:
  RET
```



```
ERROR:                ;HL = ERRORADDRESS
                    ;A = BYTE SOLL
                    ;STACK TOP = TESTLOOP
                    ;TESTLOOP COUNTER
POP BC
PUSH DE
PUSH AF
PUSH HL
LD HL,ERLIST        ;ERRORLISTE
LD A,B
RLCA
RLCA
ADD A,B             ;MULTP. MIT 5
LD D,0
LD E,A
ADD HL,DE
LD A,OFFH
LD (HL),A
INC HL
POP DE              ;ERROR ADRESS
LD (HL),D
INC HL
LD (HL),E
INC HL
POP AF
LD (HL),A           ;SOLL BYTE
PUSH AF
INC HL
EX DE,HL
CALL VMADR
IN A,(C)
EX DE,HL
LD (HL),A           ;IST BYTE
POP AF
LD D,A
LD A,2H
INC A               ;RESET Z-FLAG
LD A,D
POP DE
RET
```



```
ANZEIGE: ;
PUSH AF
PUSH BC
PUSH HL
LD B,1
LD HL,STARTM
CALL RST18H
LD HL,TEXT
CALL RST18H
LD HL,ERLIST
ANLOOP:
PUSH HL
LD HL,TESTM ;CR + TEST
CALL RST18H
LD A,B
CALL RST20H ;TEST NR
POP HL ;ZEIGER AUF ERLIST
LD A,(HL)
CP 0
INC HL
JR Z,NOER
PUSH HL
LD HL,NOKMSG
CALL RST18H
POP HL
LD A,(HL) ;HIGH ADDRESS
CALL RST20H ;HEX->ASCII->VIDEO
INC HL
LD A,(HL) ;LOW ADDRESS
CALL RST20H
INC HL
PUSH HL
LD HL,BLANK6
CALL RST18H
POP HL
LD A,(HL) ;SOLL BYTE
CALL RST20H
INC HL
PUSH HL
LD HL,BLANK4
CALL RST18H
POP HL
LD A,(HL)
CALL RST20H
NLOOP:
INC HL ;5. INC = NEXT TEST
LD A,B
INC B
CP TESTANZHL
JR NZ,ANLOOP
POP HL
POP BC
POP AF
RET
NOER:
PUSH HL
LD HL,OKMSG
CALL RST18H
POP HL
INC HL
INC HL
INC HL
JR NLOOP
```



```
TEST17:                ;SETZT ALLE 16 ADRESSLEITUNGEN
                        ;NACHEINANDER AUF HIGH, BESCHREIBT
                        ;DIE SO ADRESSIERTE SPEICHERZELLE UND
                        ;ÜBERPRÜFT DIES
INC B                  ;SET TESTCOUNTER
LD C,VMBO.AUTO.INC
LD HL,01H              ;0000 0000 0000 0001B
LD A,OFFH
T17LLOOP:              ;ADRESSBIT 0 BIS 7
CALL CLEARVM          ;00 IN VIDEOMEMORY
CALL VMADR             ;LOAD VIDEO MEM. ADDRESS
OUT (C),A             ;LOAD FF TO ADDRESS
CALL T17CHECK         ;ERROR ?
RET NZ                 ;NOT ZERO = ERROR
RL L                   ;NEUE ADRESSE
JR NC,T17LLOOP        ;ENDE DES LOW LOOPS ?
LD HL,0100H           ;LOAD H WITH 0000 0001 B
T17HLOOP:              ;ADRESSBIT 8 BIS 15
CALL CLEARVM
CALL VMADR
OUT (C),A
CALL T17CHECK
RET NZ                 ;ERROR!
RL H
JR NC,T17HLOOP        ;ENDE ?
RET

T17CHECK:
LD D,H                ;RICHTIGE ADRESSE
LD E,L
LD HL,0                ;CHECK STARTADDRESS
T17CHLOP:
CALL VMADR            ;LOAD VIDEO MEM. ADR.
IN A,(C)              ;READ BYTE.
CP 0
PUSH BC               ;SAVE TESTCOUNTER
JR NZ,T17BYTE
ADROK:                ;BYTE IS OK
POP BC                ;TESTCOUNTER
INC HL                ;ADDRESS + 1
LD A,H
OR L                   ;BLOCK ENDE?
LD A,OFFH
JR NZ,T17CHLOP
LD H,D                ;RICHTIGE ADR. ZURÜCK
LD L,E
RET
```



Testsoftware für KDT6, TCB/Z80 und TCB/IOV

```

;T17FEHLER
;HL=AKTUELLE CHECKADRESSE
;A =BYTE (FF ?)
CP OFFH ;
JP NZ,ERROR ;NOT FF
LD A,E ;LOW ADDRESS
CP L
JR NZ,T17FEHLER
LD A,D ;HIGH ADDRESS BYTE
CP H
JR Z,ADROK
T17FEHLER:
LD A,E ;RIGHT LOW ADDRESS
OR L ;ERROR ADR.+RIGHT ADR.BIT
LD L,A ;LOW ADDRESS
LD A,D ;RIGHT HIGH ADDRESS
OR H
LD H,A ;ERROR HIGH ADDRESS
JP ERROR
```

```

;CLEARVM
;C = PORT AUTO INC
PUSH AF
PUSH DE
PUSH HL
LD HL,0 ;STARTADR. 0
LD DE,0 ;BLOCKLÄNGE
XOR A
CALL MVFILL ;FILL VIDEOM.
POP HL
POP DE
POP AF
RET
```



```
NOKMSG:
  DEFM " "
  DEFB 07H          ;BELL
  DEFB 011H
  DEFM "NOT OK"
  DEFB 011H
  DEFM " "
  DEFB 00

OKMSG:
  DEFM " OK"
  DEFB 00

TEXT:
  DEFM " "          ;10 BLANKS
  DEFM "OK? ADRESSE SOLL IST"
  DEFB 00H

TESTM:
  DEFW 0A0DH
  DEFM "TEST "
  DEFB 00H

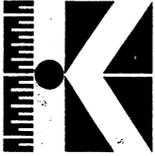
BLANK6:
  DEFM " "
BLANK4:
  DEFM " "
  DEFB 00H

BYTELIST:
  DEFB 001H
  DEFB 002H
  DEFB 004H
  DEFB 008H
  DEFB 010H
  DEFB 020H
  DEFB 040H
  DEFB 080H
  DEFB 0FEH
  DEFB 0FDH
  DEFB 0FBH
  DEFB 0F7H
  DEFB 0EFH
  DEFB 0DFH
  DEFB 0BFH
  DEFB 07FH
  DEFB 0FFH
  DEFB 000H          ;00 = LETZTES BYTE
BLISTL EQU $-BYTELIST

TESTANZAHL EQU 021D

;READ - WRITE MEMORY
;=====

ERLIST:
  DEFS TESTANZAHL*5
ERLISTL EQU $-ERLIST
```



VECTOR:

DEFW 0
DEFW 0
DEFW 0
DEFW 0

;EQUATES

VMBO	EQU	30H
VMBO.AUTO.DEC	EQU	36H
VMBO.AUTO.INC	EQU	31H
VAL.HIGH	EQU	40H
VAL.LOW	EQU	41H
STRING	EQU	87H
OUTPUT	EQU	86H
ACCOUT	EQU	88H

END VMT6