

```

/*===== */
/*- FIRMA : Computer Gesellschaft Konstanz -*/
/*- PROJEKT : 9780 an IBM -*/
/*- AUTOR : Siegbert Rost / TA22 -*/
/*- DATUM : 14.03.85 -*/
/*----- */
/*- File : D O K U M E N T A T I O N -*/
/*- What : Kommunikation zwischen PC-MX (SINIX) und der -*/
/*- Fachbaugruppe DUEAI/Version 07 -*/
/*----- */
/*===== */

```

1. Treiber-Schnittstelle

Der SDLC-Treiber stellt mehrere special Devices zur Verfuegung:

Name	Typ	Major	Minor
/dev/dssload	char	10	255
/dev/dssldsd	char	10	254
/dev/dssdlc	char	10	0

1.1 /dev/dssload

Dieses special Device stellt folgende Standard-Sinix-Schnittstellen zur Verfuegung:

- OPEN
- CLOSE
- WRITE
- IOCTL

1.1.1 Open-Aufruf

Der Open-Aufruf entspricht Standard-Sinix. Er verhaelt sich darueber hinaus folgendermassen:

- Er erzeugt einen Reset auf der Flachbaugruppe
- Er wartet bis der Selbsttest der Flachbaugruppe abgeschlossen ist
- Er testet, ob diese Flachbaugruppe vorhanden ist
- Er legt die Grenzen des Fensters im Dual-Port RAM fest

1.1.2 Close-Aufruf

Der Close-Aufruf entspricht Standard-Sinix. Er verhaelt sich darueber hinaus folgendermassen:

- Er setzt das Autostart-Bit im Befehlsregister und erzeugt einen Interrupt auf der Flachbaugruppe. Somit ist dem DUE-Prozessor bekannt, dass der Warmlader geladen wurde und nun gestartet werden kann.

1.1.3 Write-Aufruf

Der Write-Aufruf entspricht Standard-Sinix. Er verhaelt sich darueber hinaus folgendermassen:

- Er schreibt den Warmlader-Code in das Fenster im Dual-Port RAM

1.1.4 Ioctl-Aufruf

Ueber diesen Aufruf kann das Ergebnis des Selbsttests der Flachbaugruppe abgefragt werden.

1.1.5 Ablauf der Kaltlade-Phase

Nach einem Hardware- bzw. Software-Reset laeuft automatisch der EPROM-Boot an. Er initialisiert den Kontroll-Block des 80188 Mikroprozessors und fuehrt einen ROM-Test, einen RAM-Test und einen SCC-Test durch. Das Testergebnis, der RAM-Ausbau und die Firmware-Version werden in den jeweiligen Software-Registern (siehe 2.1) angezeigt. Der Hauptprozessor oeffnet ein Fenster im RAM, laedt den Warmlader und setzt im Befehlsregister (siehe 2.1) das "AUTOSTART"-Bit. Anhand des a.out-Headers ermittelt der DUE-Prozessor die Startadresse und startet den Warmlader.

```
file descriptor = open ( "/dev/dssload" , 2 )  
ioctl ( file descriptor , command = 0 , buffer address )  
write ( file descriptor , load buffer address , length )  
close ( file descriptor )
```

1. /dev/dssldsd

Dieses special Device stellt folgende Standard-Sinix-Schnittstellen zur Verfuegung:

- OPEN
- CLOSE
- IOCTL

1.2.1 Open-Aufruf

Der Open-Aufruf entspricht Standard-Sinix. Er verhaelt sich darueber hinaus folgendermassen:

- Er legt die Adressen im Dual-Port Fenster fest

1.2.2 Close-Aufruf

Der Close-Aufruf entspricht Standard-Sinix.

1.2.3 Ioctl-Aufruf

Kommando LOAD (=10) :

Ueber diesen Aufruf kann eine Codeblock (512 Bytes) der Leitungsprozedur in das Fenster im Dual-Port RAM geschrieben werden.

Kommando START (=20) :

Signalisiert dem DUE-Prozessor, dass die Leitungsprozedur (SDLC) geladen wurde. Der Warmlader springt nun auf die Startadresse der Leitungsprozedur.

1.2.4 Ablauf der Warmlade-Phase

Zuerst werden die Adressen fuer die Software-Register und Pufferbereiche im Fenster des Dual-Port RAM festgelegt. Danach kopiert der Hauptprozessor blockweise die Leitungsprozedur (SDLC) in den Ladepuffer (siehe 2.2). Der Warmlader uebernimmt diese Bloecke und legt sie hintereinander im RAM ab. Wurde die Leitungsprozedur vollstaendig uebertragen, setzt der Hauptprozessor das START-kommando ab und der Warmlader startet daraufhin die Leitungsprozedur.

```
file descriptor = open ( "/dev/dssldsd" , 2 )
while ( not end of code )
    ioctl ( file descriptor , command = LOAD , code address )
end of while
ioctl ( file descriptor , command = START , 0 )
close ( file descriptor )
```

1.3 /dev/dsdlc

Dieses special Device stellt folgende Standard-Sinix-Schnittstellen zur Verfuegung:

- OPEN
- CLOSE
- READ
- WRITE
- IOCTL

1.3.1 Open-Aufruf

Der Open-Aufruf entspricht Standard-Sinix. Er verhaelt sich darueber hinaus folgendermassen:

- Er eroeffnet die Kommunikation zwischen SINIX und der Leitungsprozedur (SDLC) auf der Flachbaugruppe.

1.3.2 Close-Aufruf

Der Close-Aufruf entspricht Standard-Sinix. Er verhaelt sich darueber hinaus folgendermassen:

- Er beendet die Kommunikation zwischen SINIX und der Leitungsprozedur (SDLC) auf der Fachbaugruppe.

1.3.3 Read-Aufruf

Der Read-Aufruf entspricht Standard-Sinix. Er verhaelt sich darueber hinaus folgendermassen:

- Er kopiert eine Nachricht aus dem Fenster des Dual-Port RAM in den Benutzerpuffer und meldet der Leitungsprozedur, dass sie eine neue Nachricht im Fenster ablegen kann.

1.3.4 Write-Aufruf

Der Write-Aufruf entspricht Standard-Sinix. Er verhaelt sich darueber hinaus folgendermassen:

- Er kopiert eine Nachricht aus dem Benutzerpuffer in das Fenster des Dual-Port RAM und signalisiert der Leitungsprozedur, dass sie eine Nachricht aus dem Fenster abholen kann
- Meldet die Leitungsprozedur die Uebernahme der Nachricht, so wird der Aufruf beendet

1.3.5 Ioctl-Aufruf

Kommando DUMP (=30) :

Ueber diesen Aufruf kann ein beliebiger Codeblock (512 Bytes) der Leitungsprozedur aus dem Fenster im Dual-Port RAM in den Benutzerpuffer kopiert werden.

Kommando WINDOW (=40) :

Ueber diesen Aufruf kann der Anfang des Fensters (ohne Datenpuffer) im Dual-Port RAM in den Benutzerpuffer kopiert werden.

1. Ablauf der Kommunikations-Phase

Zu Beginn eröffnet der Hauptprozessor die Kommunikation. Danach koennen in beliebiger Folge Write- und Read-Aufrufe abgesetzt werden. Tritt ein Write- oder Read-Fehler auf kann das RAM der Fachbaugruppe (die ersten 64 kByte) oder die Software-Register im Fenster des Dual-Port-RAM ausgelesen werden. Am Ende muss auf jeden Fall die Kommunikation abgeschlossen werden.

```

file descriptor = open ( "/dev/dssdlc" , 2 )
.
.
read ( file descriptor , buffer address , length )
.
.
write ( file descriptor , buffer address , length )
.
.
if ( read error or write error )
    while ( not end of RAM )
        ioctl ( file descriptor , command = DUMP , buffer address )
    end of while
.
.
    ioctl ( file descriptor , command = WINDOW , buffer address )
end of if
close ( file descriptor )

```

2. Aufbau des Fensters im Dual-Port RAM

Zur Kommunikation der Flachbaugruppe mit dem SINIX-System dient ein Dual-Port RAM Fenster.

2.1 Aufbau fuer /dev/dssload

Im Fenster des Dual-Port RAM werden zur Kaltlade-Phase 16 Bytes als Software-Register abgebildet. Zur Zeit werden davon 5 Bytes verwendet, die restlichen 11 Bytes sind fuer eventuelle Erweiterungen vorgesehen.

+-----+	Fenster-Ende (3FFFH)
Daten	
Code des Warmladers	
a.out Header	
+-----+	+ 10H
unbenutzt	
+-----+	+ 06H
Speicherausbau	
+-----+	+ 05H
Firmwareversion	
+-----+	+ 04H
unbenutzt	
+-----+	+ 03H
Befehlsregister	
+-----+	+ 02H
Statusregister	
+-----+	Fenster-Anfang (3800H)

24 Fenster

2. Aufbau fuer /dev/dssldsd und /dev/dssdlc

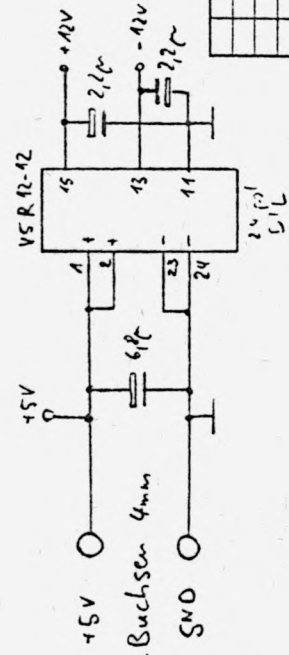
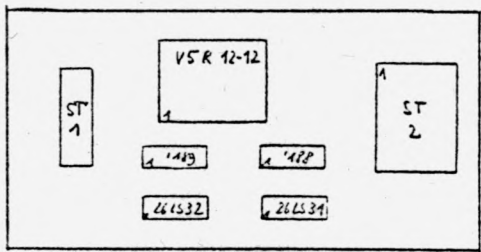
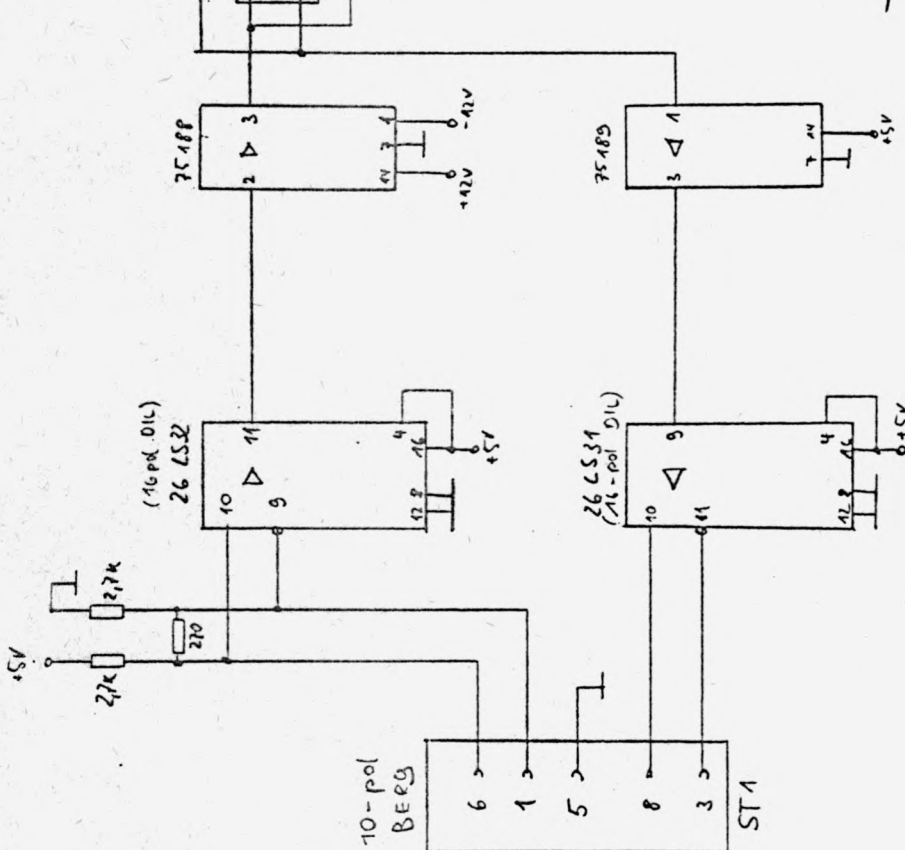
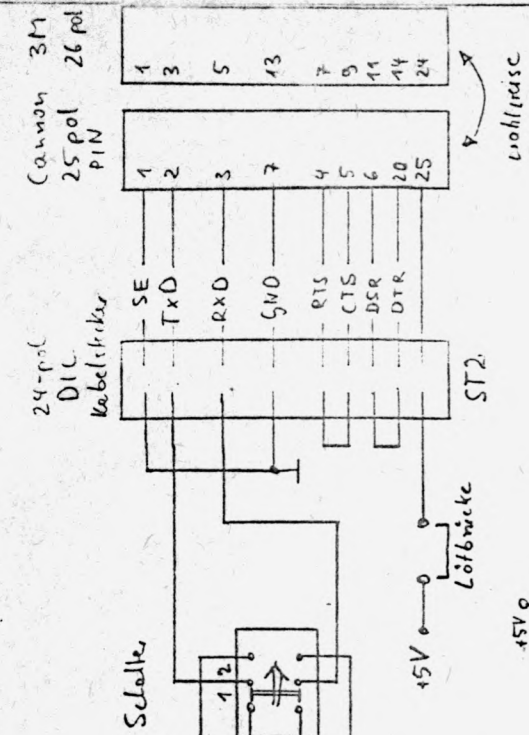
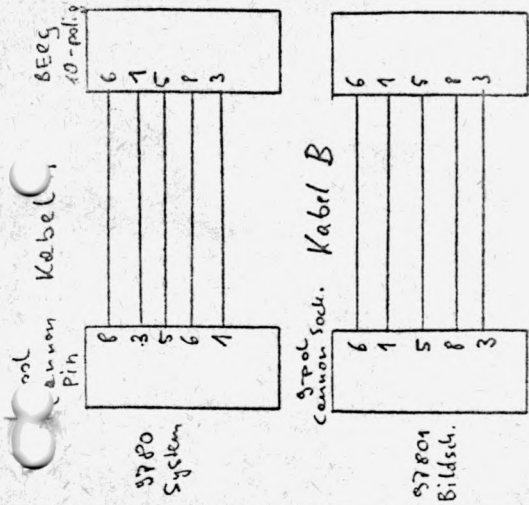
Die Flachbaugruppe realisiert 3 Kanäle, wobei die Pufferbereiche fuer jeden Kanal fest definiert sind.

Im Fenster des Dual-Port RAM ergibt sich folgendes Bild:

+	-----+	Fenster-Ende (3FFFH)	
	unbenutzt		
+	-----+	+ 642H	512 Byte
	Empfangspuffer		
+	-----+	+ 442H	512 Byte
	Sendepuffer		
+	-----+	+ 242H	512 Byte
	Lade-/Dumpuffer		
+	-----+	+ 42H	16 Byte
	Empfangssteuerung		
+	-----+	+ 32H	16 Byte
	Sendesteuerung		
+	-----+	+ 22H	16 Byte
	Lade-/Dumpsteuerung		
+	-----+	+ 12H	8 Byte
	frei fuer Erweiterungen		
+	-----+	+ 0AH	4 Byte
	reserviert f. Interruptbits		
+	-----+	+ 06H	2 Byte
	Interruptbits:		
	Baugruppe --> SINIX		
+	-----+	+ 04H	2 Byte
	Interruptbits:		
	SINIX --> Baugruppe		
+	-----+	+ 02H	2 Byte
	Anzahl der Kanäle		
+	-----+	Fenster-Anfang (3800H)	

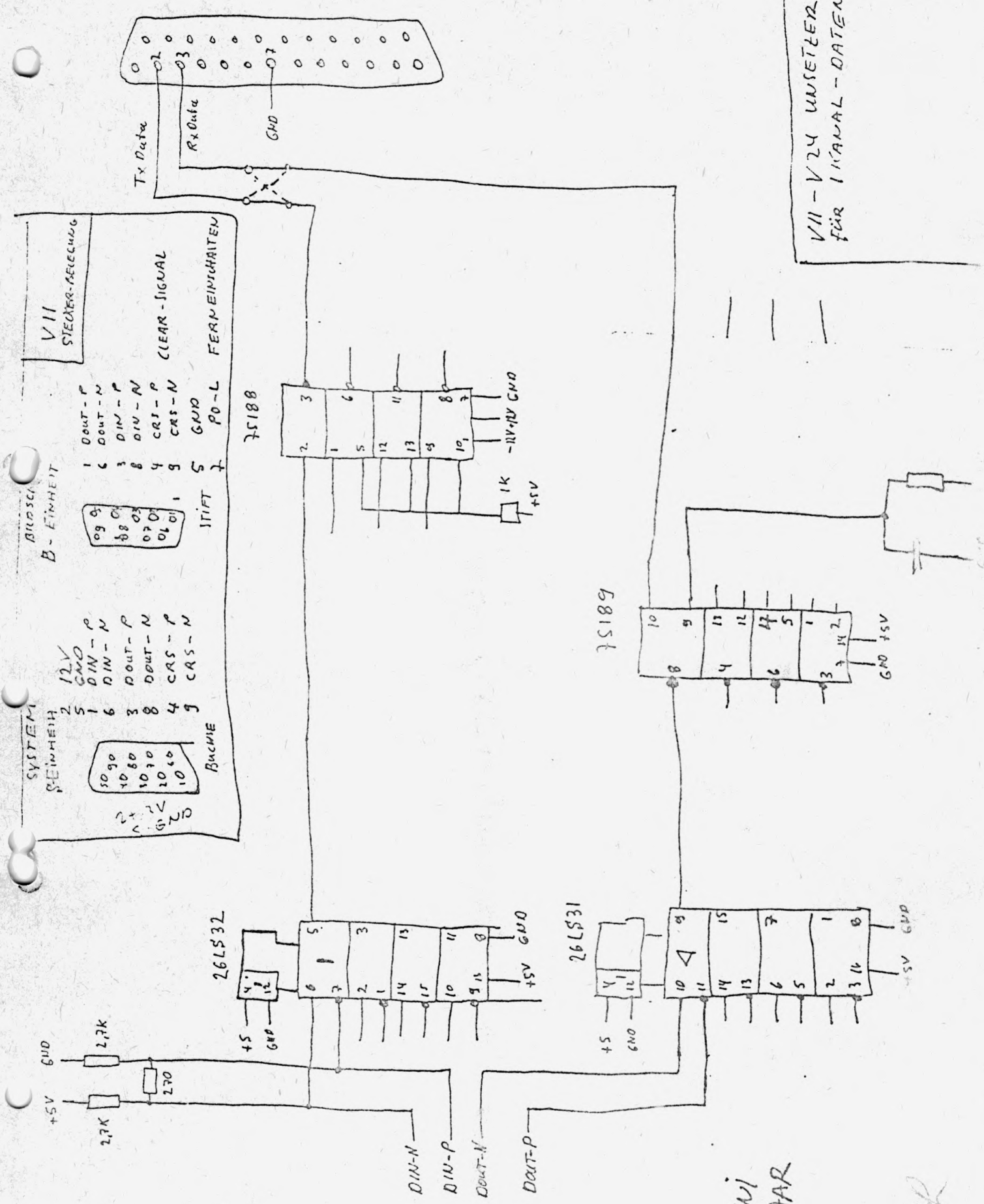
Aufbau der Kanalsteuerung (fuer alle Kanäle gleich):

+	-----+	0AH	8 Byte
	4 Zusatzregister fuer		
	Erweiterungen		
+	-----+	08H	2 Byte
	Adressregister (Offset)		
+	-----+	06H	2 Byte
	Zaehregister (Inf.-Laenge)		
+	-----+	04H	2 Byte
	Kommandoregister		
+	-----+	02H	2 Byte
	Statusregister		
+	-----+	00H	



Für UNI SAAR

OR



VII
STEUER-ABLECHUNG

CLEAR-SIGNAL

FERN-EINHAITEN

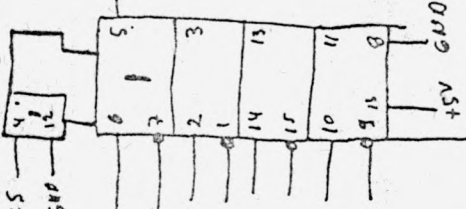
BILDSCHEIBE
B-EINHEIT

1 DOUT-P
2 DOUT-N
3 DIN-P
4 DIN-N
5 CRS-P
6 CRS-N
7 GND
8 PO-L
9

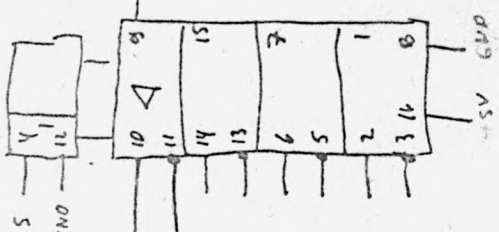
12V
1 DOUT-P
2 DOUT-N
3 DIN-P
4 DIN-N
5 CRS-P
6 CRS-N
7 GND
8 PO-L
9

50 90
10 80
10 70
20 60
10

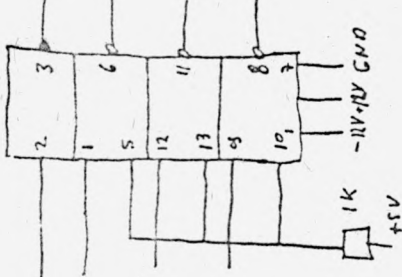
26LS32



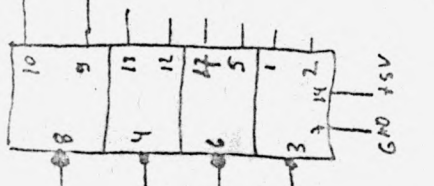
26LS31



75188



75189



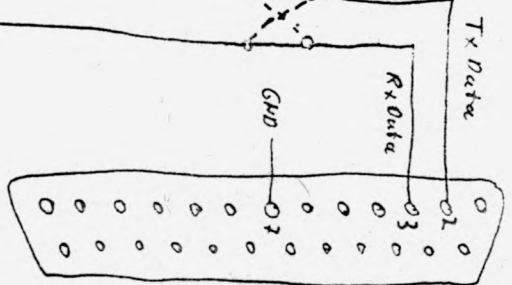
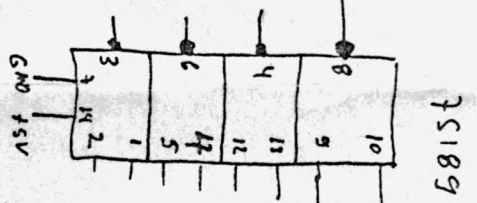
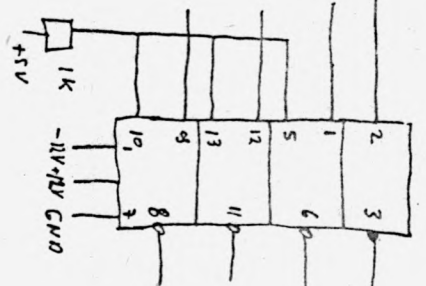
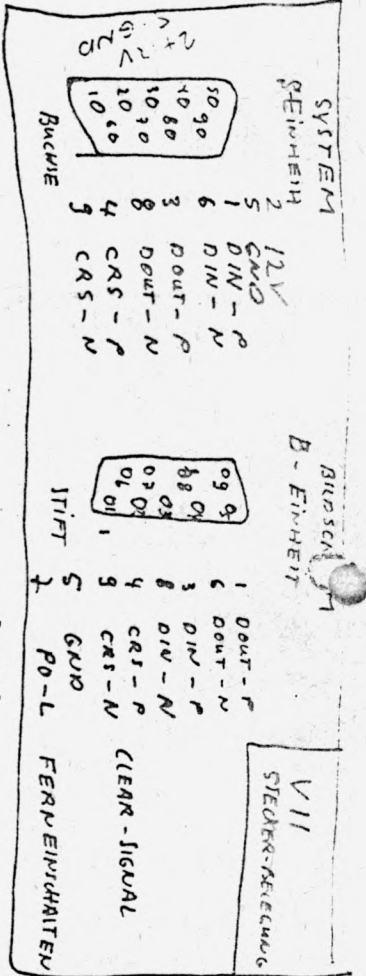
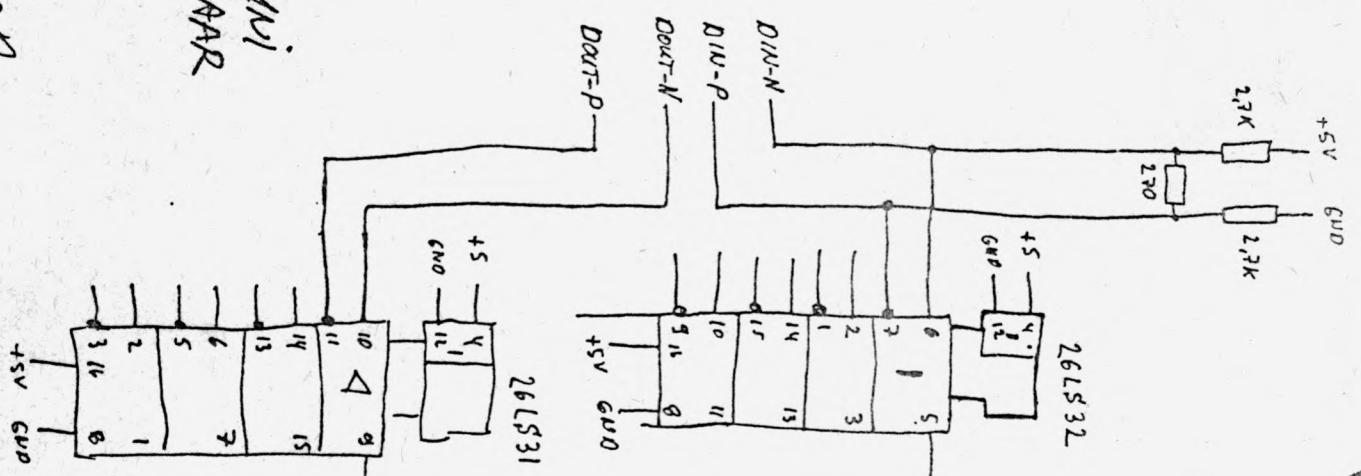
Für UNI
SAAR

VII-V24 UNSETZER
für 1 KANAL-DATEN

OR

Für Uni
SAAR

R



VII-V24 AUSSEITEN.
für INTERNAL-DATEN

Produktspezifikation
der Flachbaugruppe DUXAE
(S 26361 - D292)

Vorläufig!

		14.12.84		
		Ullrich		Flachbaugruppe DUXAE
		Spezif.292		Vorläufige Spezifikation
		Siemens AG		
				S 26361 - D 292 - X - * - 59
01		23.01.85		U1

Inhalt:

		Seite
1	Uebersicht	1
2	Kennwerte	2
2.1	Eigenschaften der seriellen Schnittstellen	2
2.2	Elektrische Eigenschaften	2
3	Funktionen	
3.1	Blockschaltbild	3
3.2	Schaltungsbeschreibung	3
3.3	Adress-Tabelle des DUE-Prozessors	8
3.3.1	Memory-Adressen	8
3.3.2	I/O-Adressen	9
3.4	Interne Register	9
3.4.1	Set Prozessor Moderegister	10
3.4.2	Set I/O Moderegister	11
3.4.3	Read I/O Latch	13
3.4.4	Read NMI-Flipflop / Reset NMI-Flipflop	14
4	Software-Interface	
4.1	System I/O-Adressierung	15
4.1.1	BADR-Register	16
4.1.2	Adresskennung	16
4.2	EPROM-Boot	17
4.3	Aufbau des Kommunikationsbereichs	17
4.3.1	Status-Register	18
4.3.2	Befehls-Register	19
4.3.3	Firmwareversion	19
4.3.4	Speicherausbau	20
4.3.5	A.out Format des Warmladers	20
5	Hardware-Interface	
5.1	System-Schnittstelle	21
5.2	DUE-Schnittstellen	21
Anhang		
1.	Bauderate-Einstellungen fuer den SCC (asynchron Mode)	
2.	Schaltereinstellungen	
3.	Diagnose-DUART	

1. Uebersicht

Die Flbgr. DUXAE ist eine Erweiterungs-Flachbaugruppe fuer die Systemeinheit 9781.

Die Flbgr. ermoeeglicht das eigenstaendige Abarbeiten von ladbaren DUE-Prozeduren. Dazu befindet sich auf der Baugruppe ein leistungsstarker Mikroprozessor 80188 (im weiteren Verlauf als DUE-Prozessor bezeichnet).

Es stehen je eine V24 und eine X21 Schnittstelle zum Anschluss an oeffentliche Netze zur Verfuegung.

Denkbare Einsatzmoeglichkeiten sind TRANSDATA-Anschluss, SNA-Anbindung (SDLC) oder Datenanschluss (HDLC) etc.

Es ist sowohl synchrone als auch asynchrone Betriebsart moeglich.

Literaturweise

- [1] Normen fuer Informationsverarbeitung, Datenkommunikation
- [2] CCITT Empfehlungen der V- und der X-Serie (Decker Verlag)
- [3] Component Data Catalog Intel Jan. 82 (Nr. 210 298-001)
- [4] Spezifikation des HSI fuer das 9781 Einplatzsystem
S 26361-K116-X-*--59
- [5] Spezifikation des Zilog Bausteins 8530 SCC
(Technical Manual, April 1982
SCC Initialization - Application Note, Sept. 1982)

2. Kennwerte

2.1 Eigenschaften der seriellen Schnittstellen

- Betriebsarten: synchron oder asynchron
- max. Bitrate synchron: 1 Mbit/sek
- " asynchron: 38400 Bit/s (int. Clock, x16 clock)
- " bei NRZI mit Taktrueckgewinnung: 19200 Bit/s
- Zeichenrahmen 5-6-7-8 Bit/Zeichen
- Zeichensicherung: Paritaetsbit even od. odd moeglich.
- Blocksicherung per CRC (CCITT oder CRC-16) moeglich.
- Taktrueckgewinnung ueber Empfangsdaten moeglich
- NRZ-, NRZI-, Manchester-, FM-Decodierung moeglich
- local loop moeglich (Diagnose- bzw. Testmoeglichkeit)

2.2 Elektrische Kennwerte

Die Stromaufnahme betraegt:

+5V ca. x.x A
+12V ca. 0,1 A
-12V ca. 0,1 A

Die Toleranzwerte dieser Spannungen sind festgelegt

- bei +5V durch Regeln fuer TTL Technik
- bei +/- 12V durch Regeln der Schnittstelle V28

Fuer die elektrischen Kennwerte der beiden Schnittstellentypen wird auf die Definition der beiden Schnittstellen hingewiesen.

[1] und [2]

3. Funktionen

3. Blockschaltbild

s. naechste Seite

3.2 Schaltungsbeschreibung

- Taktversorgung:

Drei Quarzoszillatoren erzeugen alle notwendigen Taktfrequenzen

20 MHz: Systemclock fuer Ram-Controller

16 MHz: Prozessorclock

3.68 MHz: SCC-Systemclock

- DUE-Prozessorteil:

Mikroprozessor 80188, interne Taktfrequenz 8 MHz mit integrierem Interrupt-Controller, integrierter CS-Logik sowie 3 Timer und 2 DMA-Kanaele, alle notwendigen Bussignale werden vom Prozessor erzeugt,

8 kB EPROM (Bootstrap-Lader)

- Programm- und Datenspeicher:

Dyn. Ram-Controller (Intel 8203), moegliche Speicherausbauten: 64 kB, 128 kB, 192 kB oder 256 kB, der Speicher ist parity-ueberwacht.

Das gesamte Ram kann ueber ein verschiebbares, 4 kB grosses Dual port Fenster vom Hauptprozessor aus adressiert werden.

Ein vom Hauptprozessor ladbares Register legt die Basisadresse des Fensters fest.

Die Arbitration zwischen beiden Schnittstellen geschieht ueber die Prozessorsignale "HOLD" und HOLD-ACKN."

Bei beiden Schnittstellen kann durch spezielle Lock-Befehle eine Busuebergabe verhindert werden (bei beiden Prozessoren durch das LOCK-Praefix im Programmcode).

Die automatische Generierung des Schnittstellen-Signals INHIBIT-N verhindert Kollisionen, falls das Dual port Ram im Adressbereich des Hauptspeichers liegt.

Die Datenbreite des Speichers betraegt 8 Bit; d. h. es sind nur Bytezugriffe von seiten des Hauptprozessors moeglich !

- Schnittstellenkanale

Die V24 Schnittstelle wird vom SCC Kanal A betrieben.

Im Einzelnen koennen folgende Schnittstellenleitungen kontrolliert bzw. gelesen werden:

Leitung	Steckerpin Trapez- buchse	geht nach / kommt von
D1 (Sendedaten)	2	SCC: TxD
D2 Empfangsdaten	3	SCC: RxD
T1 Sendetakt	24	SCC: TRxC
T2 "	15	"
T4 Empfangstakt	17	SCC: RTxC
S1 Betriebsbereit	20	Set I/O Mode-Reg.
S2 Sendeteil ein	4	SCC: RTS
S4 hohe Uebertr.- geschw. ein	23	liegt fest auf "ein"
M1 Betriebsbereit	6	SCC: DCD
M2 Sendebereit	5	SCC: CTS
M3 ankomm. Ruf	22	Read I/O latch
M5 Empfangspegel	8	"

Die Steuerleitung S1 (DEE betriebsbereit) kann ueber das I/O-Reg. gesteuert werden.

Die Leitung M3 (ankommender Ruf) kann einen Interrupt (INT 3) beim DUE-Prozessor ausloesen und ueber den Befehl "Read I/O-Latch" gelesen werden (s. 3.4).

Der SCC kann neben dem synchron Mode auch im asynchron Mode arbeiten. (Einstellungen im Anhang).

Ebene 1:

Unsymmetrische Doppelstrom-Schnittstelle nach CCITT Empfehlung V28. Als Treiberbausteine finden 75150, als Empfaenger 75154 Verwendung. Als Versorgungsspannung dient diesen Bausteinen +/- 12V Logische Verknuepfungen zwischen den einzelnen Signalen werden nicht vorgenommen.

X21:

Ueber die Modemleitungen des SCC Kanal B koennen die einzelnen Leitungen gesetzt und ueberwacht werden.

Die Zuordnung ist dabei: (bei normaler Betriebsart (s. 3.4))

c steuern	--->	SCC: RTS
t senden	--->	SCC: TxD
i melden	--->	SCC: DSR
r empfangen	--->	SCC: RxD
s Schritttakt	--->	SCC: TRxC und RTxC

Die Baugruppe bietet folgende Erkennungs- und Hilfsschaltungen:

- a) r=0 und i=aus ueber 16 Schritttakte: Zustand 19 (Ausloesung) geht an den DCD-Eingang des SCC und kann einen Interrupt ausloesen.

b) $i=aus$ ueber 16 Schritttakte: geht an SCC: CTS und kann einen Interrupt ausloesen. (jeder Zustand von r und i muss mind. 16 Takte anliegen, damit er als Dauerzustand bewertet und entsprechend reagiert werden kann).

c) ueber einen Multiplexer kann eingestellt werden, welcher Sender die Leitungen t und c steuert.

Folgende 3 Moeglichkeiten sind einstellbar:

1. Zustand 24 ("DEE gestoert", $t=0$ und $c=aus$)

damit werden nach einem Reset der Baugruppe die Schnittstellenleitungen definiert gesetzt.

2. normale Betriebsart: die Leitungen t und c koennen ueber den SCC (TxD, RTS) gesteuert werden.

3. Zustand 14 ("DEE kontrolliert nicht bereit", $t=01010\dots$ und $c=aus$) die Signalfolge auf der Ltg. t wird dabei synchron zu s (Schritttakt) ausgegeben.

d) der Zaehleingang des Timers 0 ist mit den Schritttakt s verbunden und kann damit als Zeitueberwachung fuer die Leitungen c und t eingesetzt werden. (Min. 24 Takte bei Signalaenderungen auf den Leitungen, d. h. nach 24 Takte kann ein Timerinterrupt ausgeloeset werden)

Ebene 1:

Symmetrische Doppelstrom-Schnittstelle nach CCITT Empfehlung V11.

Als Treiberbausteine finden 26LS31, als Empfaenger 26LS32 Verwendung.

Diagnosestecker:

Als Testhilfsmittel waehrend der Phase der Softwareintegration kann ueber einen Diagnosestecker ein Babyboard mit einem DUART angeschlossen werden.

(Damit Anschlussmoeglichkeit fuer ein Terminal oder einen Drucker, s. Anhang).

- Systemschnittstelle

Die Flbgr. arbeitet als "Slave" am 9781-Erweiterungsbuss. Alle benötigte Bussignale sind gepuffert. Der Bus selbst wird max. 4 LS Eingangslasten belastet.

- Interruptlogik

a. DUE-Proz. --> Hauptprozessor

Der DUE-Prozessor kann ueber eine entsprechende I/O-Adresse einen Interrupt beim Hauptprozessor ausloesen. In Abhaengigkeit der Stellung des Schalters Sxx wird entweder ein INT 9 oder 10 beim Hauptprozessor generiert.

b. Flbgr. interne Interruptmoeglichkeiten

INT 0: SCC (wird der SCC im "vector mode" betrieben, muss INT 0 des 80188 auf "cascade mode" programmiert werden! INT 2 dient dann als INTA fuer den SCC) s.[3]

INT 1: Interrupt vom Hauptprozessor

INT 3: ankommender Ruf (M3) der V24-Schnittstelle

NMI: Parity-Fehler oder vom Hauptproz. generiert

Timer 0: Zeitueberwachung fuer X21-Schnittstellensignale

Timer 1: universell einsetzbar

Timer 2: "

Der Hauptprozessor kann mittels spezieller I/O Adressen beim DUE-Prozessor einen INT 1, einen NMI oder ein Reset ausloesen. Reset bewirkt einen Ruecksprung in den Boot-EPROM. Alle uebrigen Interrupt-Routinen muessen von der DUE-Prozedur festgelegt werden.

3.3 Adress-Tabelle des DUE-Prozessors

3.3.1 Memory-Adressen

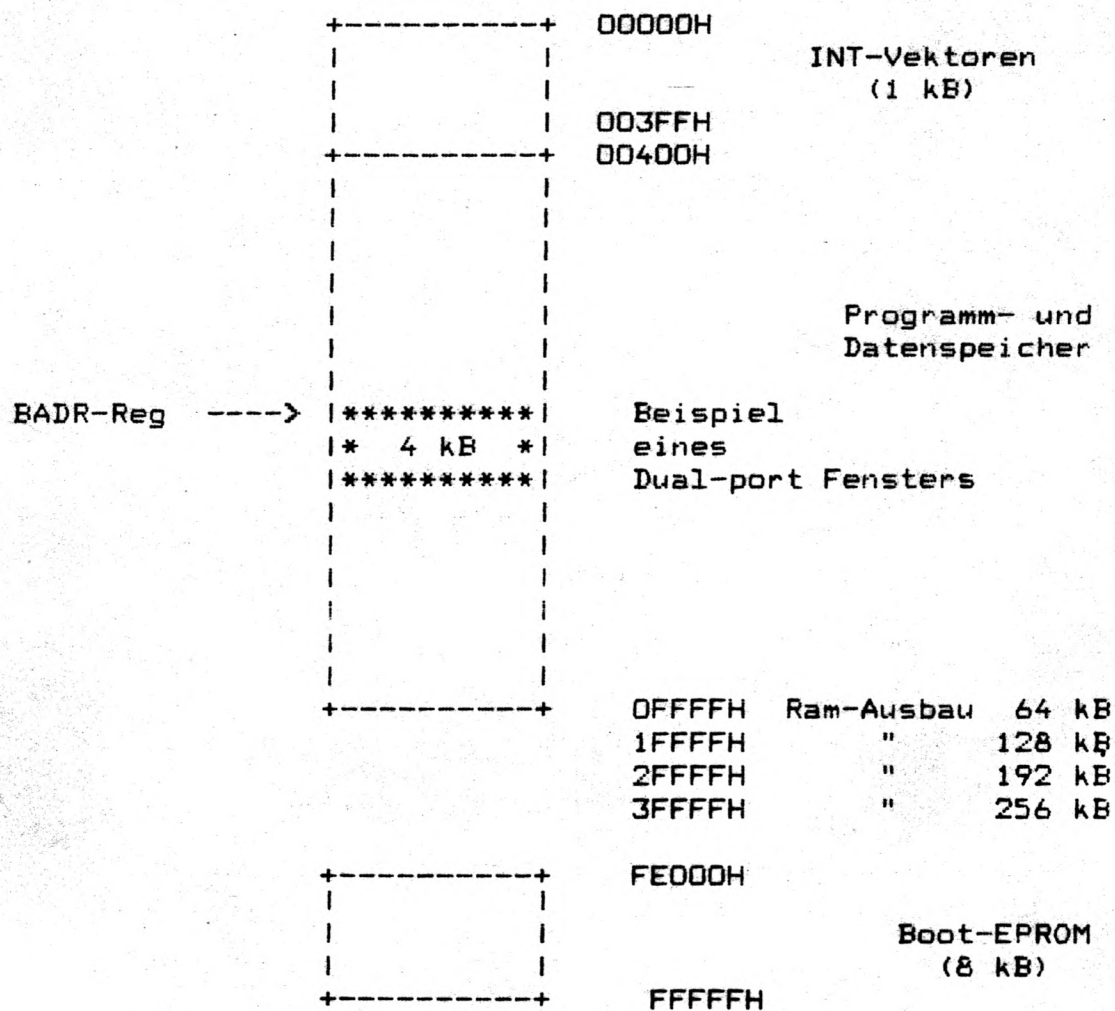
Die Rams werden selektiert mit LMCS (lower memory chip select)

Das EPROM mit UMCS (upper memory chip select):

Datenblatt 80188 [3])

Systembus:

lokaler Adressbereich



3.3.2 I/O - Adressen

Alle I/O Peripherals werden mit den PCS-Leitungen (peripheral chip select) angesprochen. Die Basisadresse wird innerhalb der Initialisierung auf 0 festgelegt (s. [3]).

PCS 0:	000H	Status/CMD Kanal B	\	
	001H	Daten-Reg "		SCC
	002H	Status/CMD Kanal A	>	8530
	003H	Daten-Reg "		
			/	
PCS 1:	080H	Reset INT 1 (Interrupt vom Multibus)		
	090H	Reset INT 3 (V24-Meldeltg. M3)		
	0A0H	Set System-Interrupt		
	0B0H	Set Prozessor Mode-Reg.		
	0C0H	Set I/O Register		
	0D0H	Read I/O Latch		
	0E0H	Read NMI-Flipflop		
	0F0H	Reset NMI-Flipflop		

ueber die I/O-Adressen 100H ... 104H kann ein aufsteckbares Babyboard mit einem Diagnose-DUART angesprochen werden.
(s. Anhang)

3.4 Interne Register

Eine detaillierte Beschreibung der einzelnen Register des SCC (Zilog 8530) ist dem Datenbuch [5] zu entnehmen.
Nachfolgend sind deshalb nur die internen Register beschrieben.

1 ---> die externe Taktzufuehrung fuer T2 wird disabled. Der Sendetakt kann (bei entsprechender Programmierung des SCCs) vom SCC selbst erzeugt und als T1 an die jeweilige V24 Schnittstelle geschaltet werden.

Pin 14 (TRxCA) ---> T1 fuer Kanal A
(T4 wird davon nicht beruehrt)

! Achtung: Bevor der SCC-Pin 14 als Taktausgang programmiert wird, ist es zwingend erforderlich, das zuerst das Bit "V24-T1" im Prozessor Mode-Register gesetzt wird.
!
!
!
!
!

LED: Steuert die rote Diagnose-LED

0 ---> LED an

1 ---> LED aus

Das Prozessor Mode-Register kann nur beschrieben werden!

3.4.2 Set I/O Mode-Register (OCDH)

D7							D0
x	ENA 1	ENA 0	ENA M3	MODE 1	MODE 0	S1	

S1: steuert das Schnittstellensignal S1 der V24-Schnittstelle

0 ---> S1 aus

1 ---> S1 ein

MODE 1 MODE 0: steuert die X21-Schnittstelle

0	0	Zustand 24 (DEE gestoert, wird nach Reset ausgegeben)
0	1	normaler Betriebsmode (SCC steuert t und c)
1	0	" "
1	1	Zustand 14 (DEE kontrolliert nicht bereit, t = 01010..., c = aus) wird ausgegeben.

ENA M3: steuert bei V24 die Interruptmoeglichkeit von M3
(ankommender Ruf)

0 ---> disable und clear
1 ---> enable

ENA 0: steuert bei X21 die Erkennungsschaltung fuer Zustand
19 (Ausloesung)

0 ---> disable und clear
1 ---> enable

ENA 1: steuert bei X21 die Erkennungsschaltung "i aus" ueber
16 Schritttakte

0 ---> disable und clear
1 ---> enable

Das I/O Mode-Register kann nur beschrieben werden!

3.4.3 Read I/O Latch (ODOH)

```

D7                                     DO
+-----+-----+-----+-----+-----+-----+-----+
| x | V24-T1 | X21-I | x | x | M5 | M3 INT-FF | M3 |
+-----+-----+-----+-----+-----+-----+-----+

```

M3: gibt den Zustand der Meldeleitung M3 der V24-Schnittstelle an.

0 ---> aus

1 ---> ein

M3 INT-FF: gibt den Zustand des M3 Interrupt Flip-flop an

(Eine Zustandsaenderung von "aus" nach "ein" setzt das Flip-flop)

0 ---> Grundzustand (nach Reset oder clear)

1 ---> Leitungsaenderung erkannt

Ueber die I/O-Adressierung 90H kann dieser INT wieder rueckgesetzt werden.

M5: gibt den Zustand der Meldeleitung M5 der V24-Schnittstelle an.

0 ---> aus

1 ---> ein

X21-I: Gibt den Zustand der X21-Schnittstellenleitung I (Melden an.

0 ---> aus

1 ---> ein

V24-T1: Ruecklesen der ueber das Prozessor Mode-Reg. programmierten Betriebsart fuer die Taktzufuehrung der V24-Schnittstelle.

0 ---> extern Takt

1 ---> disable extern Takt

3.4.4 Read NMI-Flipflop (OE0H)

D7									D0
+-----+-----+-----+-----+-----+-----+-----+-----+									
x	x	x	x	x	x	x	x	System-NMI	
+-----+-----+-----+-----+-----+-----+-----+-----+									

System-NMI: 1 ---> NMI wurde vom Hauptproz. generiert

0 ---> NMI wurde durch Parity-Error ausgeloeset.

Durch den I/O-Befehl "Reset NMI-Flipflop" kann das Bit wieder rueckgesetzt werden.

4. Software-Interface

4.1 System I/O-Adressierung

Fuer die Decodierung von I/O-Befehlen (Hauptprozessor --> DUE-Prozessor wird das System-Schnittstellensignal PCS4-N verwendet. (peripheral chip select, wird erzeugt bei I/O-Adressierungen von 0FA00H ... 0FA7FH).

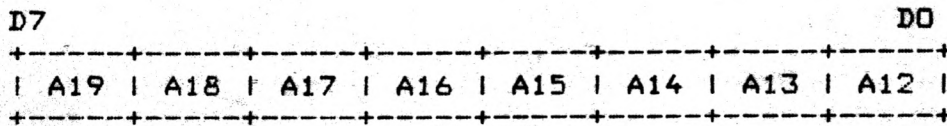
In Abhaengigkeit der Einstellung von Schalter xxx werden folgende Adressbereiche belegt:

S xx		Reaktionen auf der Flbgr.
open	closed	
FA10H	FA18H	Enable Dual-port Fenster
FA11H	FA19H	Disable Dual-port Fenster
FA12H	FA1AH	Reset Interrupt (DUE-Proz. ---> Hauptproz.)
FA13H	FA1BH	Set INT 1 (Interrupt an DUE-Prozessor)
FA14H	FA1CH	Set Reset (bewirkt Ruecksprung in EPROM-Boot)
FA15H	FA1DH	Set Basisadresse (BADR-Reg)
FA16H	FA1EH	Set NMI

Alle I/O Befehle sind Schreibbefehle. Der Dateninhalt ist mit Ausnahme des Befehls "Set BADR" nicht von Interesse.

Die Unterteilung in zwei Adressbereiche ist notwendig, um den Einbau von zwei Due-Prozessor Flbgr. in einer 9781 Systemeinheit zu ermöglichen.

4.1.1 Basisadressregister (BADR-Register)



Im BADR-Reg wird die Basisadresse des Dual port Fensters angegeben. Mit A12 ... A19 koennen die Systemadressen ADR 12-P ... ADR 19-P festgelegt werden.

Das Dual port Fenster kann damit innerhalb eines Adressbereiches von 1 MB bei einer Schrittweite von 4 kB beliebig verschoben werden. Ein Zugriff ist aber erst moeglich nach Ausgeben des I/O Befehls "Enable Dual port Fenster" (einmaliger Befehl nach dem Laden des BADR-Reg).

Beispiele zur Programmierung des Fensters

System-Adresse	Registerwert
00000H	00H
01000H	01H
10000H	10H
20000H	20H
FF000H	FFH

4.1.2 Adresskennung

Um waehrend des Hochlaufens des 9781-Boot und der Systemsoftware festzustellen, welche Erweiterungsbaugruppen installiert sind, wurde von TD 23 eine baugruppenspezifische Adresskennung festgelegt.

Bei folgenden System I/O-Adressen wird ein "EXTRDY-N" ausgeloesst:

- 0FB10H (S xxx geschlossen, d.h. 1. Baugruppe inst.)
- 0FB11H (S xx offen, d.h. 2. Baugruppe inst.)

Nach einem Hardware- bzw. Software-Reset laeuft automatisch der EPROM-Boot an. Er initialisiert den Kontroll-Block des uP 80188 und fuehrt einen ROM-Test, einen Ram-Test und einen SCC-Test durch. Das Testergebnis, der Ramausbau und die Firmwareversion werden in den jeweiligen Registern angezeigt.

Danach wird auf einen Interrupt vom System gewartet, der dann durch einen Quittungsinterrupt seitens des DUE-Prozessors beantwortet wird.

Der Hauptprozessor oeffnet unter der lokalen Adresse ????H ... ????H ein Fenster im Ram, laedt den Warmlader, setzt im Kommando-Register das Bit "AOUTSTART" und erzeugt einen Interrupt.

Anhand des a.out Headers ermittelt sich der DUE-Prozessor die Startadresse, setzt die Segmentregister DS, SS und CS auf den Codeanfang (Fensteradresse + 20H) bzw. ES auf das Fenster selbst und startet den Warmlader.

Folgende Register des 80188 werden vom Boot initialisiert und duerfen nicht mehr veraendert werden:

Relocation-Reg. und alle CS Register (s. [3])

Alle uebrigen Register des Kontroll-Blocks werden nicht initialisiert.

Der Kommunikationsbereich liegt innerhalb des Dual port Fensters und befindet sich vor Prozeduruebernahme innerhalb der Adressen ????H bis ????H (lokale Adressen; entspricht den Systemadressen ??????H ... ???????).

Status-Reg. (low Byte)	Fensteradr.
Status-Reg. (high Byte)	+ 1H
Befehls-Register	+ 2H
reserviert	+ 3H
Firmware-Version	+ 4H
Speicherausbau	+ 5H
reserviert	+ 6H
	+ 0EH
a.out Header	+ 10H
Code	+ 20H
Daten	

4.3.1 Statusregister

D7	D0	
RH	RL	R3
R2	R1	RO
0	SI	

low Byte

D7	D0	
ERR	0	0
SCC	0	RAM
ROM	0	

high Byte

ROM: ROM-Fehler

kennzeichnet einen waehrend des Romtest erkannten Fehler

RO ... R3, RAM: RAM-Fehler

kenzeichnet einen waehrend des Ramtest erkannten Fehler

Der Index gibt dabei die fehlerhafte Ram-Bank

RL: Der Ram-Fehler liegt im Low-Ram (Bit 0 ... 3)

RH: " High-Ram (Bit 4 ... 7)

SCC: kennzeichnet einen waehrend des SCC-Test erkannten Fehler
 ERR: Error, wird gesetzt, wenn einer der vorher aufgefuehrten Fehler erkannt wurde
 SI: System initialisiert
 kennzeichnet den Abschluss der Initialisierungs- und Testroutinen.
 Sollte waehrend der Testprogramme einer der aufgefuehrten Fehler erkannt worden sein, wird der Warmlader nicht gestartet.

4.3.2 Befehlsregister

(Fensteradr. + 2H)

D7								D0
+	+	+	+	+	+	+	+	+
1	0	1	0	1	0	1	0	1
								AOUTSTART
+	+	+	+	+	+	+	+	+

AOUTSTART: signalisiert dem DUE-Prozessor, dass der Warmlader vom Hauptprozessor ins Ram geladen wurde und gestartet werden kann.

Dem Befehl muss ein INT 1 folgen.

4.3.3 Firmwareversion

(Fensteradr. + 4H)

D7								D0
+	+	+	+	+	+	+	+	+
1	S7	S6	S5	S4	S3	S2	S1	S0
+	+	+	+	+	+	+	+	+

Die Bits S0 bis S7 geben den auf der Baugruppe befindliche Firmwareversion an

5 Hardware-Interface

5.1 Systemschnittstelle

Alle Bussignale, sowie das Bus-Timing sind in [4] beschrieben. Die Baugruppe selbst arbeitet als "Slave" am Systembus (d. h. es sind keine Speicherzugriffe des DUE-Prozessors in den Hauptspeicher der 9781 moeglich).

5.2 DUE-Schnittstellen

Die Zuordnung der verschiedenen Stecker zu den einzelnen Kanalen des SCC ist:

SCC Kanal A ---> V24 Schnittstelle (X2-Stecker)

SCC Kanal B ---> X21 Schnittstelle (X3-Stecker)

Nachfolgend ist die Schnittstellenbelegung der einzelnen Steckerfeld aufgefuehrt.

Schnittstelle V24

Steck-Mechanik: 25 pol. Trapez-Buchse

Signaldefinition: gem. DIN 66020 Teil 1

AMP	Signal-Name	Bemerkungen
		codiert
02	D1 TxD 103	Sendedaten
03	D2 RxD 104	Empfangsdaten
04	S2 RTS 105	Sendeteil einschalten
05	M2 CTS 106	Sendebereitschaft DUEE
06	M1 DSR 107	Betriebsbereitschaft DUEE
07	E2 GND 102	Signalerde
08	M5 109	Empfangssignalpegel
23	S4 111	hohe Ueb.-geschw. ein
24	T1 113	
-	-	
-	-	
-	-	
15	T2 114	Sendeschriftakt
-	-	
17	T4 115	Empfangsschriftakt
-	-	
-	-	
20	S1.2 DTR 108/2	DEE betriebsbereit
22	M3 125	ankommender Ruf
-	-	codiert
1	Schutzerde	Schutzerde

Alle nicht aufgefuehrten V24-Schnittstellensignale werden nicht verwendet bzw. nicht gesteuert.

Schnittstelle X21

Steck-Mechanik: 15 pol. Trapez-Buchse

Signaldefinition: gem. DIN 66020 Teil 2

AMP	Signal-Name	Bemerkungen
-		codiert
08	G	Ground, verb. mit 0 V
02	T(A)	Senden
09	T(B)	"
03	C(A)	Steuern
10	C(B)	"
04	R(A)	Empfangen
11	R(B)	"
05	I(A)	melden
12	I(B)	"
06	S(A)	Schrittakt
13	S(B)	"

Anhang

Bauderate-Einstellungen fuer den SCC

(fuer asynchrone Betriebsart)

Voreinstellung SCC:

- WR-Reg 4: x16 clock
WR-Reg 11: Transmit-clock = BR-Generator output
Receive-clock = "
WR-Reg 14: BR-Generator enable
BR-Generator source = SCC-PCLK (3.6864 MHz)
WR-Reg 12: Bauderate-Einstellung
WR-Reg 13:

Unten aufgefuehrte Tabelle gibt die Werte fuer die gaengigsten Uebertragungsgeschwindigkeiten an.

Daneben laesst sich der Wert fuer jede beliebige Bauderate nach folgender Formel berechnen (x16 clock!)

$$x = \frac{115313}{\text{Bauderate}} - 2$$

Dabei ist x der Wert fuer WR-Reg 12/13; die Bauderate wird in Bit/s angegeben.

Count value	Bauderate [Bit/s]
1	38400
4	19200
10	9600
22	4800
46	2400
94	1200
190	600
382	300

2. Schaltereinstellungen

(wird spaeter nachgereicht)

3. Diagnose-DUART

Zum Testen von geladenen Programmen kann ueber den Diagnosestecker X4 ein Babyboard mit einem DUART 2681 (Signetics) angeschlossen werden.

Am seriellen Ausgang des Babyboards koennen Geraete mit SS 97 angeschlossen werden.

Unter den folgenden I/O-Adressen koennen die einzelnen Register des DUARTs angesprochen werden.

I/O-Adr.	Lesen	Schreiben
280H	Mode-Reg 1/2 Kanal A	Mode-Reg 1/2 Kanal A
281H	Status-Reg. A	Clock-sel. A
282H	----	Command-Reg. A
283H	Receive-Reg. A	Transmit-Reg A
284H	----	Aux. control Reg

Die nicht aufgefuehrten Register werden nicht benoetigt bzw. von der Hardware nicht unterstuetzt.

Der DUART wird mit einem externen Clock von 3.6864 MHz betrieben.

Die Spannungsversorgung des Boards geschieht ueber den X3 Stecker vom DUE-Prozessor aus.