

*REH*DESIGN

CPU280

Hardware-Manual

1. Überblick

Die CPU280 stellt einen vollständigen Computer im Einfach-Europaformat (100 x 160 mm) dar. Die CPU280 ist dafür konzipiert, alle Leistungen des Prozessors Z280 bei minimalem technischem Aufwand möglichst optimal auszunutzen. Funktionen, die zwar möglich wären, aber in der Praxis kaum genutzt werden, wurden daher zugunsten einer einfachen und klaren Struktur bewußt nicht realisiert. Aufgrund der vollständigen Kompatibilität des Z280 zum Z80 kann bestehende Software (z.B. unter CP/M) weiterverwendet werden. Zukünftige Software kann von der größeren Leistung und dem umfangreicheren Befehlssatz des Z280 profitieren.

Auf der Karte befinden sich zwei EPROM's mit zusammen 64 KB oder 128 KB Kapazität, 512 KB bis 4 MB dynamisches RAM, eine Echtzeituhr mit integriertem batteriegepuffertem RAM, ein Floppycontroller für bis zu vier Laufwerke, sowie zwei serielle Schnittstellen nach V.24. Die Verbindung nach außen erfolgt über ein ECB-Bus-Interface, welches Zugriffe auf externe I/O-Baugruppen ermöglicht. Darüberhinaus stehen noch drei durch Software einlesbare Steckbrücken und drei LED's zur Verfügung (z.B. zur Systemkonfiguration und für 'harte' Fehlermeldungen).

In der CPU280 wird der Z280 bei größtmöglichem Durchsatz betrieben, d.h. mit 16-Bit-Bus (Z-Bus), Taktverhältnis 1:1 (externer Takt gleich interner Takt), keine Wait-States, Taktfrequenz bis zu 12,5 MHz. Da der ECB-Bus bei dieser hohen Frequenz nicht mehr arbeitet und auch keine Peripherie-IC's für 12 MHz erhältlich sind, werden I/O-Zugriffe mit 4 Wait-States gebremst und das Bus-Timing entsprechend gestreckt. Der Bustakt beträgt dabei nur die Hälfte des CPU-Taktes (6 MHz).

Das Schaltungskonzept der CPU280 ist extrem geradlinig und die Timing-Steuerung arbeitet vollständig synchron. Dadurch wird eine hohe Zuverlässigkeit, Unabhängigkeit gegenüber Chargenstreuungen und Temperatureinflüssen, aber auch eine einfache Fehlersuche garantiert. Die Leiterplatte ist in einfacher Zwei-Lagen-Technik realisiert, wodurch unnötige Kosten vermieden werden.

Die CPU280 wird mit einer Spannung von 5 V betrieben, weitere Spannungen sind nicht erforderlich. Der Stromverbrauch der Karte liegt bei etwa 350 mA.

2. Schaltungsbeschreibung

2.1 Reset, CPU und Adreßräume

Auf der CPU280 sorgt ein Spannungswächter (IC5) für ein sicheres Reset-Signal, solange (oder sobald) die Betriebsspannung unter 4,6 V absinkt. Über den ECB-Bus kann die Karte durch Aktivieren des Reset-Einganges ebenfalls zurückgesetzt werden. Das Reset-Signal steht in gepuffert Form am ECB-Pin 'Reset-Out' für weitere Karten zur Verfügung. Um eine der Spezifikation des Z280 gemäß Flankensteilheit zu erreichen, wird das Reset-Signal für die CPU durch ein GAL gepuffert.

Die Konfiguration der kritischen CPU-Timingparameter kann beim Z280 nur während des Reset erfolgen. Dazu muß bei der steigenden Flanke von /RESET das /WAIT-Signal anstehen, gleichzeitig die gewünschte Konfiguration (für das Bus Init Register) am Datenbus D0..D7. Bei der CPU280 wird dies durch die Schaltung um IC32A und T1 erreicht, wobei die Steckbrücken J1..J4 und die Widerstandsnetzwerke RN2, RN6 und R4..R7 die entsprechenden Daten bereitstellen. Mit Hilfe der Brücken J1..J4 kann die Anzahl der Wait-States für das EPROM sowie das CPU-Taktverhältnis (intern/extern) eingestellt werden. Die übrigen auf diese Weise einstellbaren Parameter sind für die CPU280 unerheblich und deswegen nicht durch Steckbrücken zugänglich gemacht.

Der Systemtakt wird von der CPU durch den internen Quarzoszillator erzeugt. Die Frequenz dieses Taktes richtet sich nach der verwendeten CPU, sollte aber immer ein Vielfaches von 2,4576 MHz betragen, damit die CPU-interne serielle Schnittstelle mit einer Standard-Baudrate betrieben werden kann. Damit ergeben sich Taktfrequenzen von 9,8304 MHz oder 12,288 MHz (für die 10-MHz- bzw. 12,5-MHz-CPU). Sollten schnellere Versionen des Z280 erscheinen, so sind J1 und J2 auf eine Taktuntersetzung von 1:2 zu stecken. Dadurch kann ein

CPU-Takt von maximal 25 MHz erreicht werden, während die restliche Karte weiter mit 12,5 MHz arbeitet.

Die nicht kartenintern verwendeten CPU-Signale (DMA- und Timer-Steuersignale) sind auf kleine Lötbrücken geführt, wobei die Eingänge bereits mit Masse vorverbunden sind. Auf diese Weise bleiben keine CMOS-Eingänge unbeschaltet, und die Signale können an den Lötbrücken leicht identifiziert und abgegriffen werden, um sie z.B. über spezielle Leitungen an externe Peripherie zu führen.

Durch die interne MMU (Speicherverwaltung) verfügt der Z280 über einen Speicher-Adreßraum von insgesamt 16 MB, wobei für die beiden Hälften zu 8 MB jeweils einige Timing-Parameter unabhängig voneinander eingestellt werden können. Da nach einem Reset der Prozessor bei Adresse 0 mit der Programmausführung beginnt, wird die untere 8-MB-Hälfte vom EPROM belegt. Die obere Hälfte adressiert das auf der Karte befindliche dynamische RAM.

Der I/O-Adreßraum des Z280 ist ebenfalls 16 MB groß, wobei die oberen 8 Adreßbits vom 'I/O Page Register' gestellt werden. Die unteren 16 Adreßbits werden wie beim Z80 aus den CPU-Registern gebildet. Da alle I/O-Befehle offiziell nur 8 Adreßbits benutzen, werden auch auf der CPU280 bei allen I/O-Zugriffen die mittleren 8 Adreßbits (A8 bis A15) nicht dekodiert, d.h. ignoriert. Über die I/O-Page kann dann zwischen verschiedenen I/O-Gruppen gewählt werden, in denen jeweils 256 Adressen angesprochen werden können. Die Busbreite des Z-Bus beträgt bei Speicherzugriffen 16 Bit und bei I/O-Zugriffen 8 Bit. Deswegen kann 8-Bit-Peripherie uneingeschränkt verwendet werden, obwohl der karteninterne Bus (zumindest für Speicher) 16 Bit breit ist.

Weitere Einzelheiten zum Z280 selbst, insbesondere Möglichkeiten und Programmierung der internen Peripherie, sind dem Datenblatt sowie dem 'Technical Manual' zu entnehmen.

2.2 EPROM

Das auf der Karte befindliche EPROM ist durch IC9 und IC10 realisiert. Es ergibt sich damit eine Kapazität von 32K x 16 Bit (d.h. 64 KB, bei Verwendung von 27C256) oder 64K x 16 Bit (128 KB, bei Verwendung von 27C512). Der verwendete Typ kann durch die Steckbrücke J5 gewählt werden. Mischbestückung und andere EPROM-Typen sind nicht vorgesehen.

Das EPROM belegt die physikalischen Adressen 000000-00FFFFh bzw. 000000-01FFFFh. Da keine weitere Dekodierung der höherwertigen Adreßleitungen erfolgt, tritt eine 'Adreßspiegelung' auf: das EPROM ist innerhalb der unteren 8 MB insgesamt 128 bzw. 64 mal erreichbar.

Da auf das EPROM üblicherweise nur beim Booten einmal kurz zugegriffen wird (um den Inhalt ins RAM zu übertragen), können hier problemlos Wait-States eingefügt werden, so daß die Zugriffszeit der EPROMs unkritisch ist. Die preiswerten 200- oder 250-ns-Typen sind hier völlig ausreichend. Bei maximaler Taktfrequenz (12,5 MHz) können 150-ns-Speicher ohne Wait-States, 200-ns-Typen mit einem und 250-ns-Typen mit zwei Wait-States betrieben werden. Die Anzahl der Wait-States für den EPROM-Bereich kann mit den Steckbrücken J3 und J4 eingestellt werden.

2.3 DRAM, Burst-Mode

Das dynamische RAM (IC11 bis IC18) bildet den Arbeitsspeicher der CPU280. Es können verschiedene Konfigurationen bestückt werden. Die verwendbaren RAM-Typen sind 1-MB-Chips und 4-MB-Chips der Organisation 256K x 4 bzw. 1M x 4 (Typen 514256 und 514400). Aus Platzgründen sowie wegen der Verfügbarkeit pinkompatibler Typen kommen RAMs im ZIP-Gehäuse zum Einsatz.

Die Mindestbestückung besteht aus vier 514256 (IC11 bis IC14), wodurch sich eine Kapazität von 512 KB ergibt. Standardmäßig werden acht dieser Speicher bestückt (1 MB). Darüberhinaus ist der Ausbau auf 2 MB und 4 MB möglich (vier bzw. acht 514400). Beim Wechsel der RAM-Typen ist die Programmierung von IC22 zu ändern. Das RAM belegt die physikalischen Adressen ab 800000h, bei Maximalausbau bis BFFFFh.

Die RAMs sollten Zugriffszeiten von 80 ns haben, um einen sicheren Betrieb bei maximalem Takt zu gewährleisten. Das RAM wird übrigens grundsätzlich ohne Wait-States betrieben. Es ist wegen der Timing-Steuerung für den Burst-Mode auch nicht erlaubt, Wait-States für die RAM-Zugriffe zu deklarieren.

Der Z280 verfügt über die Möglichkeit, beim Laden von Befehlen aus dem externen Speicher in den internen Cache (Opcode Fetch) mit einer speziellen Zugriffsart den Datentransfer zu beschleunigen. Hierzu wird zunächst ein normaler Speicherzugriff begonnen, bei dem aber der Inhalt von vier Speicherworten in vier aufeinanderfolgenden Taktzyklen (als 'Burst') übertragen werden, ohne weitere Adressinformation von der CPU. Diese Zugriffsart (der Burst-Mode) ist etwa doppelt so schnell wie das Lesen einzelner Speicherworte. Für die Ausnutzung derartiger Mechanismen existieren spezielle RAM-Typen (Nibble-Mode-RAMs), welche bei aufeinanderfolgenden Zugriffen innerhalb einer Speicherzeile selbständig auf vier aufeinander folgende Adressen zugreifen. Da diese RAMs aber nicht in 4 Bit breiter Organisation verfügbar sind (und ansonsten immer mindestens 16 RAM-Chips nötig wären), erfolgt die Adressberechnung bei der CPU280 außerhalb der RAMs durch eine entsprechende Hardware. Die RAMs werden dabei im 'Fast Page Mode' betrieben (Standard-Betriebsart) und erhalten bei jedem weiteren Zugriff die neue Adresse und einen CAS-Impuls. Dadurch ist es möglich, mit wenigen preiswerten Standard-RAMs die gleiche Leistung (bei größerer Flexibilität) zu erreichen wie mit vielen teuren Spezial-RAMs.

Das gesamte Timing für die dynamischen RAMs wird synchron erzeugt, d.h. einzig vom Prozessortakt gesteuert. Hieraus resultiert eine sehr große Betriebssicherheit auch bei stark schwankenden Umgebungsbedingungen (z.B. Temperatur, Betriebsspannung), sowie ein völlig abgleichfreier Betrieb. Lediglich die Dauer des CAS-Pulses im Burst-Mode wird durch eine Laufzeit erzeugt und kann durch Ändern von C6 optimiert werden (die Pulsdauer ist zu kurz für eine synchrone Erzeugung).

2.4 ECB-Interface und I/O-Timing

Das ECB-Interface besteht im wesentlichen aus den Treibern für Daten-, Adreß- und Steuerbus (IC6 bis IC8), sowie der Takterzeugung mit IC4A. Grundsätzlich unterstützt dieser ECB-Anschluß nur I/O-Zugriffe, da Speicherzugriffe mit 16 Bit Breite bei 12,5 MHz dort schlicht unmöglich sind. Der Aufbau eines Interface zur Anpassung der Speicherzugriffe auf den ECB-Bus wäre zwar möglich, aber recht aufwendig. Außerdem ist die Speicherkapazität der Karte bei vollem Ausbau wohl für alle Anwendungen ausreichend.

Es werden dementsprechend nur die Signale auf den Bus geführt, die dort für I/O-Zugriffe benötigt werden. Die Interrupt-Eingänge der CPU werden ungepuffert (aber mit Pull-Up) angeschlossen. Die ständig inaktiven Signale (/MRQ und /BUSAK) sind über normalerweise offene Lötbrücken auf VCC gelegt, so daß bei Fehlen einer geeigneten Bustermiierung diese Signale einen definierten Pegel erhalten können. Für externe Karten, welche dynamische Speicher enthalten (z.B. RAM-Disks) steht weiter ein Refresh-Signal zur Verfügung. Dieses wird alle 15,6 µs für die Dauer eines Speicherzyklus aktiv (240 ns bei 12,5 MHz), entsprechende Programmierung des CPU-internen Refresh-Controllers vorausgesetzt.

Die Ansteuerung externer I/O-Karten über den ECB-Bus erfolgt durch eine eigene I/O-Page des Z280, so daß der volle I/O-Adreßraum des Prozessors zur Verfügung steht. Aufgrund Platzmangels sowie des offiziellen I/O-Adreßraumes der Z80-Familie sind aber nur die unteren 8 Adreßbits (A0 bis A7) auf den Bus geführt, was zu 256 nutzbaren Adressen auf dem ECB-Bus führt. Dies dürfte wohl in den allermeisten Fällen mehr als genug sein.

Bei I/O-Zugriffen müssen generell 4 Wait-States eingefügt werden, um dem Bustiming gerecht zu werden. Dabei wird der CPU-Takt durch IC4A auf die Hälfte geteilt, um den Bus-Takt zu erzeugen. Dieser wird zu Beginn eines Zugriffs (durch /AS) synchronisiert, so daß die zeitliche Abfolge von Bustakt und Steuersignalen der des Z80 bei 6 MHz entspricht. Die Synchronisation ist nötig, da manche Z80-Peripheriebausteine sonst nicht korrekt arbeiten (z.B. Z80-PIO).

Interrupts von ECB-Karten werden durch die CPU280 voll

unterstützt. Die /INT-Leitung des Bus wird auf den INTA-Eingang des Prozessors geführt und ist dort vektorisierbar. Die Interruptquellen auf der Karte belegen eigene INT-Eingänge, so daß der ECB-Bus-Interrupt auch unabhängig von den anderen Quellen geschaltet werden kann. Der Interrupt-Acknowledge-Zyklus weist durch Wait-States ebenfalls ein 6-MHz-Z80-Timing auf. Da der RETI-Zyklus als Speicherzyklus und somit für den Bus zu schnell abläuft, der Z280 im bevorzugten Interrupt-Mode 3 einen speziellen RETI-Befehl verwendet und darüberhinaus auch kein M1-Signal auf dem Bus dabei erzeugt wird, muß für den Bus ein langsamer Z80-RETI-Zyklus extra erzeugt werden. Dieser besteht aus zwei aufeinander folgenden Zugriffen jeweils mit /M1 und /RD aktiv sowie /IORQ inaktiv, bei denen auf dem Datenbus die Bytes EDh und 4Dh anliegen. Diese Signale werden auf der CPU280 durch Zugriffe auf eine spezielle I/O-Page erzeugt, bei denen die M1-Leitung des Bus aktiviert wird. Das Auslesen zweier Speicherzellen im NVRAM der Echtzeituhr (die natürlich die gewünschte Information beinhalten müssen) führt dann zu den richtigen und langsamen (I/O-Zugriff!) Signalen auf dem Bus. Auf diese Weise wird auch im Interruptbetrieb echte Bus-Kompatibilität zum 6-MHz-Z80 erreicht.

2.5 Echtzeituhr und NV-RAM

Als Echtzeituhr wird das IC DS 1287 (A) verwendet (IC27). Dieses beinhaltet außer der eigentlichen Echtzeituhr mit Alarm und Kalender noch einen programmierbaren Rechteck/Interrupt-generator sowie 50 Byte nichtflüchtigen Speicher (NVRAM). Darüberhinaus enthält es gleich die zum Betrieb notwendige Lithiumbatterie, so daß keine Versorgung über externe Batterie oder gar über den ECB-Bus notwendig ist (bei der der Inhalt verlorengehen würde, sobald die Karte vom Bus abgezogen wird!).

Durch die Steckbrücke J10 kann der Baustein (nur A-Typ, bei abgeschalteter Versorgungsspannung) einen internen Reset erhalten. Der Interrupt-Ausgang ist auf den Interrupt B der CPU geführt (zusammen mit der seriellen Schnittstelle IC31) und erhält innerhalb der CPU einen festen Vektor. Der Rechteckausgang des RTC wird auf ein Bit des GPI (siehe 2.8) geführt und kann dort abgefragt werden.

Für weitere Details zu den RTC-Registern und deren Programmierung sei auf dessen Datenblatt verwiesen.

2.6 Floppycontroller

Als Floppycontroller kommt der FDC 37 C 65 B/C (IC28) zum Einsatz, welcher ohne jede weitere Hardware die Schnittstelle zwischen CPU und Laufwerken bildet. Dieser Baustein enthält den eigentlichen FDC (765 Kern), zwei Taktoszillatoren, eine PLL für die Lesedaten sowie alle nötigen Leistungstreiber (48 mA) für das FDD-Interface. Es können bis zu vier Laufwerke angeschlossen werden, wobei Größe und Format beliebig sind. Alle Formate nach dem IBM-3740-Verfahren können bearbeitet werden. Sogar die Verwendung von nicht geschwindigkeitsumschaltbaren HD-Laufwerken (5 Zoll) für normale DD-Formate wird unterstützt (durch den zweiten Quarzoszillator mit 9,6 MHz). Der Floppycontroller wird durch die CPU-interne DMA0 bedient, wodurch die Realisierung eines Hintergrundprozesses für Floppyzugriffe möglich wird. Der FDC erzeugt Interrupts auf der INTC-Leitung der CPU, welche ausschließlich für den FDC verwendet wird. Die Belegung der Steckerleiste für die Floppylaufwerke (CN2) entspricht dem Standard für 3,5- bzw. 5,25-Zoll-Laufwerke. Zur Verwendung von 8-Zoll-Laufwerken sind die entsprechenden Leitungen im Anschlußkabel zu vertauschen.

Da üblicherweise recht kurze Anschlußkabel verwendet werden, sind die FDD-Signale mit 330Ω statt mit 150Ω abgeschlossen. Dadurch wird weniger Strom für die 'Heizung' verwendet. Sollen längere Kabel verwendet werden, kann RN3 durch ein entsprechend niederohmigeres Exemplar ersetzt werden.

Zum Betrieb von 5,25-Zoll-HD-Laufwerken mit DD-Disketten schaltet ein Transistor (T2) bei Betätigung durch das GPO-Signal 'DRV' Pin 2 des Laufwerks (LOW DENSITY) auf Low-Pegel. Bei 3,5-Zoll-Laufwerken wird dieses Signal nicht benötigt, da diese die Disketten anhand eines zusätzlichen Loches

(bei HD) unterscheiden können.

2.7 Serielle Schnittstellen

Die CPU280 beinhaltet zwei serielle Schnittstellen nach V.24. Eine wird durch den CPU-internen UART gebildet, während die zweite durch einen 'Twenty-Pin-UART' (COM 81 C 17, IC31) auf der Karte realisiert ist. Letzterer stellt alle Signale für eine serielle 4-Draht-Schnittstelle zur Verfügung (zwei Daten- und zwei Handshakeleitungen), wogegen die CPU nur die Daten liefert. Daher müssen die Handshake-Signale für die CPU-interne Schnittstelle durch Einzelbit-I/O innerhalb des GPIO (2.8) erzeugt werden.

Beide Schnittstellen sind interruptfähig. Der CPU-interne UART belegt innerhalb der CPU-Bausteine einen eigenen Interruptvektor, der TPUART kann über die INTB-Leitung (welche er mit dem RTC teilt) Interrupts auslösen.

Beide Schnittstellen unterstützen Baudraten von 50-38400 Baud (bei der CPU entsprechender Takt vorausgesetzt), als Datenformate sind jeweils 7 oder 8 Datenbits, 1 oder 2 Stopbits, optional Parity even oder odd möglich.

Die Pufferung und Pegelumsetzung der Schnittstellensignale erfolgt im Treiberbaustein IC29 (LT 1134). Dieses IC beinhaltet jeweils vier V.24-Sender und -Empfänger sowie die zum 5-V-Betrieb benötigten Spannungswandler.

2.8 General-Purpose-I/O (GPIO)

Zur Realisierung verschiedener Einzelbit-I/O-Aufgaben dient das mit IC25 und IC26 aufgebaute 'GPIO'. Die Bit-Ausgabe (GPO) erfolgt durch ein adressierbares 8-Bit-Latch (IC25). Hierbei werden sowohl die Adreßeingänge als auch der Datenbit-Eingang an den Adreßbus angeschlossen. Dadurch kann durch Schreibzugriffe auf verschiedene Adressen (unabhängig von den Daten am Datenbus) jeweils ein Bit gesetzt oder zurückgesetzt werden. Durch einen Reset werden alle Ausgänge auf 0 zurückgesetzt.

Vier der acht Ausgänge dienen verschiedenen Steuerungsaufgaben (Handshake für CPU-UART, Motorsteuerung für FDD, Signale für FDC), drei weitere Ausgänge steuern Leuchtdioden, welche z.B. zum Signalisieren von harten Fehlern dienen können. Ein Ausgang ist auf den Eingabeport rückgekoppelt. An dessen Zustand kann nach einem 'Reset' festgestellt werden, ob dieser durch das Hardware-Signal /RESET ausgelöst wurde oder nur durch einen Software-Einsprung in die Kaltstart-Routine.

Die Bit-Eingabe (GPI) erfolgt durch einen einfachen Bus-treiber (IC26). Es werden außer dem Reset-Flag noch das CTS-Signal der seriellen Schnittstelle um den CPU-UART, das Rechtecksignal des RTC sowie drei durch den Anwender benutzbare Steckbrücken (J7 bis J9) eingelesen.

3. Bestückung, Inbetriebnahme

Die Bestückung der CPU280 erfolgt in der üblichen Reihenfolge: zunächst sollten die flachen Bauteile eingelötet werden, dann ist mit Bauteilen steigender Bauhöhe fortzufahren. Beim Einbau der Quarze ist unbedingt eine isolierende Zwischenlage zu verwenden! Es eignen sich spezielle Kunststoff- oder Glimmerscheiben, zur Not läßt sich auch Gewebe-Tape verwenden. Da fertige Sockel für die ZIP-RAMs schwierig zu beschaffen sind, empfiehlt sich die Verwendung von SIL-Streifen. Die Bauhöhe der RAMs auf Sockelstreifen ist gerade klein genug, um die Platine in einen Standard-Einschub (4 TE) stecken zu können.

Der Stecker CN2 zum Anschluß der Floppylaufwerke kann wahlweise auf der Bestückungsseite (Bohrungen näher am Karteninneren) oder auf der Lötseite (näher am Kartenrand) angebracht werden. Dadurch ist es möglich, das Anschlußkabel entweder an der Lötseite oder an der Bestückungsseite vorbeizuführen (je nach Lage der CPU280 im 19-Zoll-Rahmen).

Für die Inbetriebnahme kann die CPU280 mit einem Testprogramm (in den EPROMs) versehen werden, welches die vorhandene Hardware Stück für Stück testet und dabei Testinforma-

tionen über eine der seriellen Schnittstellen oder die LEDs auf der Karte abgibt. Zum jetzigen Zeitpunkt führt der Bootlader für CP/M-Plus einige Hardware-Tests durch, so daß behelfsweise auch damit die Inbetriebnahme durchgeführt werden kann. Nach Anlegen der Versorgungsspannung darf die vollbestückte Karte maximal 400 mA benötigen (am besten wird zunächst an einem Netzteil mit Strombegrenzung getestet).

Wie bereits erwähnt, ist ein Ausmessen der Dauer des CAS-Pulses im Burst-Mode empfehlenswert. Diese Zeit wird durch die Laufzeiten der GALs sowie das RC-Glied aus R8 und C6 bestimmt und sollte etwa 20 ns betragen. Gegebenenfalls ist C6 entsprechend zu verändern. Da das RAM-Interface die CAS-Pulse auch bei normalem Lesebetrieb erzeugt, kann deren Dauer während des RAM-Tests ausgemessen werden.

4. Jumper und Lötbrücken

Auf der CPU280 befinden sich insgesamt 10 Steckbrücken, mit denen verschiedene Parameter (zur Systemkonfiguration) eingestellt werden können. Darüberhinaus existieren noch 12 Lötbrücken, mit denen optional bestimmte Signale mit festen Potentialen verbunden werden können. Die Brücken sind im Folgenden aufgeführt:

- J1,J2 Diese beiden Brücken bestimmen das Taktverhältnis der CPU (Verhältnis interner zu externer Takt). Hierbei gilt:
- | | | |
|-------------|-------------|--------------------------|
| J1 gesteckt | J2 gesteckt | Verhältnis 2:1 |
| J1 offen | J2 gesteckt | Verhältnis 1:1 (default) |
| J1 gesteckt | J2 offen | Verhältnis 4:1 |
| J1 offen | J2 offen | verboten |
- J3,J4 Mit diesen beiden Brücken wird die Anzahl der Wait-States bei EPROM-Zugriffen wie folgt eingestellt:
- | | | |
|-------------|-------------|---------------|
| J3 gesteckt | J4 gesteckt | 0 Wait-States |
| J3 offen | J4 gesteckt | 1 Wait-State |
| J3 gesteckt | J4 offen | 2 Wait-States |
| J3 offen | J4 offen | 3 Wait-States |
- J5 Auswahl des EPROM-Typs:
- | | |
|---------------------|--------------------------|
| J5 in Richtung CPU: | 27 C 256 (vorverbunden!) |
| J5 in Richtung RAM: | 27 C 512 |
- J6 Prekompensation des FDC auf inneren Spuren:
- | | |
|--------------|------------------|
| J6 gesteckt: | 187 ns |
| J6 offen: | 125 ns (default) |
- J7-J9 Durch GPI einlesbare Anwender-Konfigurationsbrücken
- J10 Interner Reset des RTC (nur bei abgeschalteter VCC)
- LJ1 Verbindung des ECB-Signals /MRQ mit VCC
- LJ2 Verbindung des ECB-Signals /BUSAK mit VCC
- LJ3-5 Verbindung CPU-Pin CTIO0-2 mit GND
- LJ6-8 Verbindung CPU-Pin CTIN0-2 mit GND (vorverbunden)
- LJ9-10 Verbindung CPU-Pin /DMASTB0-1 mit GND
- LJ11-12 Verbindung CPU-Pin /RDY1-2 mit GND (vorverbunden)

A1. Stückliste

IC1	Z 280 MPU, 12,5 MHz (oder 10 MHz)
IC2-3	74 HCT 373
IC4	74 HCT 74
IC5	TL 7705
IC6,IC8	74 ACT 244 (oder ALS)
IC7	74 ACT 245 (oder ALS)
IC9-10	27 C 256 oder 27 C 512
IC11-18	514256-80 oder 514400-80 (ZIP)
IC19-20	74 ACT 158 (oder AS)
IC21-22,IC24	GAL 16V8 Q-25
IC23	PEEL 18CV8-25
IC25	74 HCT 259
IC26	74 HCT 367
IC27	DS 1287 (A) (oder MK 48 T 87 (A))
IC28	FDC 37 C 65 B/C (PLCC)
IC29	LT 1134
IC30	74 ACT 175 (oder AS)
IC31	COM 81 C 17
IC32	74 HCT 14
T1,T2	BC 547 B o.ä.
D1-D3	LED 3 mm rot

Q1	24,576 MHz HC-18U (oder 19,6608 MHz)
Q2	16,000 MHz HC-18U
Q3	9,600 MHz HC-18U
Q4	5,0688 MHz HC-18U

C1,C2	10p ker. RM 5 (18p bei 19,6608 MHz Q1)
C3	10µ Ta. RM 2.5
C4	100n ker. RM 5
C5	1n ker. RM 5
C6	120p ker. RM 5 (am besten ausmessen)
C7	15p ker. RM 5
C8	47p ker. RM 5
C9	56p ker. RM 5
C10	68p ker. RM 5
C11-C14	1µ Ta. RM 2.5
CK1-CK27	25x 100n ker. RM 5, 2x 10µ Ta. RM 2.5

R1,R2	4 k 7
R3,R9,R10	1 k
R4-R7	3 k 3
R8	100 R
R11	10 k
RN1	RSIL 5x 2 k 2
RN2,RN6	RSIL 4x 3 k 3
RN3	RSIL 5x 330 R
RN4	RSIL 5x 4 k 7
RN5	RSIL 3x 330 R (aus Einzelwiderständen)

CN1	ECB	VG-Leiste 64-pol. ac-bestückt (DIN 41612 C)
CN2	FDD	Pfosten 50-pol. (2x25), wahlweise auf Löt- oder Bauteilseite
CN3	V.24	Pfosten 20-pol. (2x10)
J1-J4		Pfosten 2x4, CPU-Init
J5		Pfosten 1x3, EPROM-Typ
J6-J9		Pfosten 2x4, FDC-Precomp und User-Jumper
J10		Pfosten 1x2, RTC-Reset

A2. Steckerbelegungen

Steckerbelegung CN1 (ECB-BUS):

a	Nr	c
+5V	1	+5V
D5	2	D0
D6	3	D7
D3	4	D2
D4	5	A0
A2	6	A3
A4	7	A1
A5	8	
A6	9	A7
/WAIT	10	
	11	IEI
	12	
	13	

	14	D1
	15	
2xCLK	16	IEO
	17	
	18	
	19	
/M1	20	/NMI
	21	/INT
	22	/WR
	23	
	24	/RD
	25	
	26	/RESOUT
/IORQ	27	
/RFSH	28	
	29	CLK
	30	(/MRQ)
(/BUSAK)	31	/RESIN
GND	32	GND

Steckerbelegung CN2 (Floppy-Laufwerke):

Maxi	Mini	Signal	Umbelegung für 8"
2		RWC/RPM	
4		MOTOFF	
6		MOTOFF	
8		MOTOFF	
10		nc	
12		DCHG	
14		SIDE SEL	
16		HDL	
18	2	RWC/RPM	HDL (16,20)
20	4	HDL	INDEX (24)
22	6	DS3	nc
24	8	INDEX	MOTOFF (4,6,8)
26	10	DS0	
28	12	DS1	
30	14	DS2	
32	16	MOTON	DS3 (22)
34	18	DIRECTION	
36	20	STEP	
38	22	WRITE DATA	
40	24	WRGATE	
42	26	TRK0	
44	28	WRPROT	
46	30	READ DATA	
48	32	SIDE SEL	(nc)
50	34	DCHG	(nc)

(1..49 ungerade: GND)

Steckerbelegung CN3 (V.24-Schnittstellen):

Belegung ermöglicht direktes Aufquetschen zweier DSUB-9, deren Pin-Nummern mit der DSUB-25 Belegung übereinstimmen.

CN3	DSUB	Signal	
1	1	GND	Masse (Schutzmasse 1)
2	6	nc	
3	2	TXD 1	Sendedaten 1
4	7	GND	Masse (Signalmasse 1)
5	3	RXD 1	Empfangene Daten 1
6	8	nc	
7	4	RTS 1	Request-to-Send 1
8	9	nc	
9	5	CTS 1	Clear-to-Send 1
10	-	nc	
11	1	GND	Masse (Schutzmasse 2)
12	6	nc	
13	2	TXD 2	Sendedaten 2
14	7	GND	Masse (Signalmasse 2)
15	3	RXD 2	Empfangene Daten 2
16	8	nc	
17	4	RTS 2	Request-to-Send 2
18	9	nc	
19	5	CTS 2	Clear-to-Send 2
20	-	nc	

A3. GAL-Programmierung

TITLE CPU280 RAM-TIMING AND NIBBLEMODE IC21
 AUTHOR TILMANN REH
 COMPANY REHDESIGN
 DATE 23.07.1990

CHIP Z280RAM 16V8

NCLK A3 A1 A2 A4 IE DS OE MQD GND
 QOE MUX WR MA0 MA1 RES CPURES MQA FFR VCC

EQUATIONS

/WR = /OE * /DS
 MA0 := /MQA * A3 + MQA * /MUX * A1 + MUX * /MA0
 MA1 := /MQA * A4 + MQA * /MUX * A2
 + MUX * MA0 + MUX * MA1
 /FFR = IE * DS * MQD
 CPURES = RES

TITLE CPU280 CAS-DECODER IC22
 AUTHOR TILMANN REH
 COMPANY REHDESIGN
 DATE 31.10.1990

CHIP Z280CAS 16V8

CLK RW BW RFSH A0 A19 A20 A21 A22 GND
 MUX BRN NCK CAS1L NCLK CAS0H CAS0L MQA CAS1H VCC

EQUATIONS

BRF = /RFSH
 NCLK = /CLK
 /CAS0L = MUX * /RFSH * /A22 * /A21 * /A20 * /A19 * /BW * A0
 + MUX * /RFSH * /A22 * /A21 * /A20 * /A19 * /BW * CLK
 + MUX * /RFSH * /A22 * /A21 * /A20 * /A19 * /BW * NCK
 + MUX * /RFSH * /A22 * /A21 * /A20 * /A19 * /BW * /RW
 + RFSH * /MUX * MQA
 /CAS0H = MUX * /RFSH * /A22 * /A21 * /A20 * /A19 * /BW * /A0
 + MUX * /RFSH * /A22 * /A21 * /A20 * /A19 * /BW * CLK
 + MUX * /RFSH * /A22 * /A21 * /A20 * /A19 * /BW * NCK
 + MUX * /RFSH * /A22 * /A21 * /A20 * /A19 * /BW * /RW
 + RFSH * /MUX * MQA
 /CAS1L = MUX * /RFSH * /A22 * /A21 * /A20 * A19 * /BW * A0
 + MUX * /RFSH * /A22 * /A21 * /A20 * A19 * /BW * CLK
 + MUX * /RFSH * /A22 * /A21 * /A20 * A19 * /BW * NCK
 + MUX * /RFSH * /A22 * /A21 * /A20 * A19 * /BW * /RW
 + RFSH * /MUX * MQA
 /CAS1H = MUX * /RFSH * /A22 * /A21 * /A20 * A19 * /BW * /A0
 + MUX * /RFSH * /A22 * /A21 * /A20 * A19 * /BW * CLK
 + MUX * /RFSH * /A22 * /A21 * /A20 * A19 * /BW * NCK
 + MUX * /RFSH * /A22 * /A21 * /A20 * A19 * /BW * /RW
 + RFSH * /MUX * MQA

TITLE CPU280 SYSTEM-SIGNALS IC23
 AUTHOR TILMANN REH
 COMPANY REHDESIGN
 DATE 02.12.1990

CHIP Z280SYS 18CV8

ST3 ST2 ST1 ST0 AS DS A21 A22 A23 GND
 MQA MDA NAS ROM BIO M1 RFSH NNAS XIO VCC

EQUATIONS

NAS = /AS
 NNAS = NAS
 /ROM = ST3 * /A23 * /DS
 MDA = ST3 * A23 * /A22 * (/AS + NAS + NNAS)
 + /ST3 * /ST2 * /ST1 * ST0 * (/AS + NAS + NNAS)
 + MQA
 RFSH = /ST3 * /ST2 * /ST1 * ST0
 /BIO = /ST3 * /ST2 * ST1 * /ST0 * /A23 * /A22 * /A21 * /DS
 + /ST3 * ST2 * /ST1 * /ST0

/XIO = /ST3 * /ST2 * ST1 * /ST0 * /A23 * /A22 * A21
 + /ST3 * /ST2 * ST1 * /ST0 * /A23 * A22 * /A21
 /M1 = /ST3 * ST2 * /ST1 * /ST0
 + /ST3 * /ST2 * ST1 * /ST0 * /A23 * /A22 * A21

TITLE CPU280 IO-ADRESS-DECODER IC24
 AUTHOR TILMANN REH
 COMPANY REHDESIGN
 DATE 16.12.1990

CHIP Z280IO 16V8

NC NC XIO DS A6 A5 A7 OE IE GND
 NC UART GPO GPI RTC DACK LDOR LDRSR FDC VCC

EQUATIONS

/RTC = /XIO * /A7 * /A6
 /FDC = /XIO * /A7 * A6 * /A5
 /DACK = /XIO * /A7 * A6 * A5 * /DS
 /LDOR = /XIO * A7 * /A6 * /A5
 /LDRSR = /XIO * A7 * /A6 * A5
 /UART = /XIO * A7 * A6 * /A5
 /GPI = /XIO * A7 * A6 * A5 * /IE * /DS
 /GPO = /XIO * A7 * A6 * A5 * /OE * /DS

A4. Organisation Adrebräume Speicher/IO

Speicher: 000000-01FFFF Boot/System-EPROM
 800000-BFFFFFFF max. 4 MB DRAM Onboard

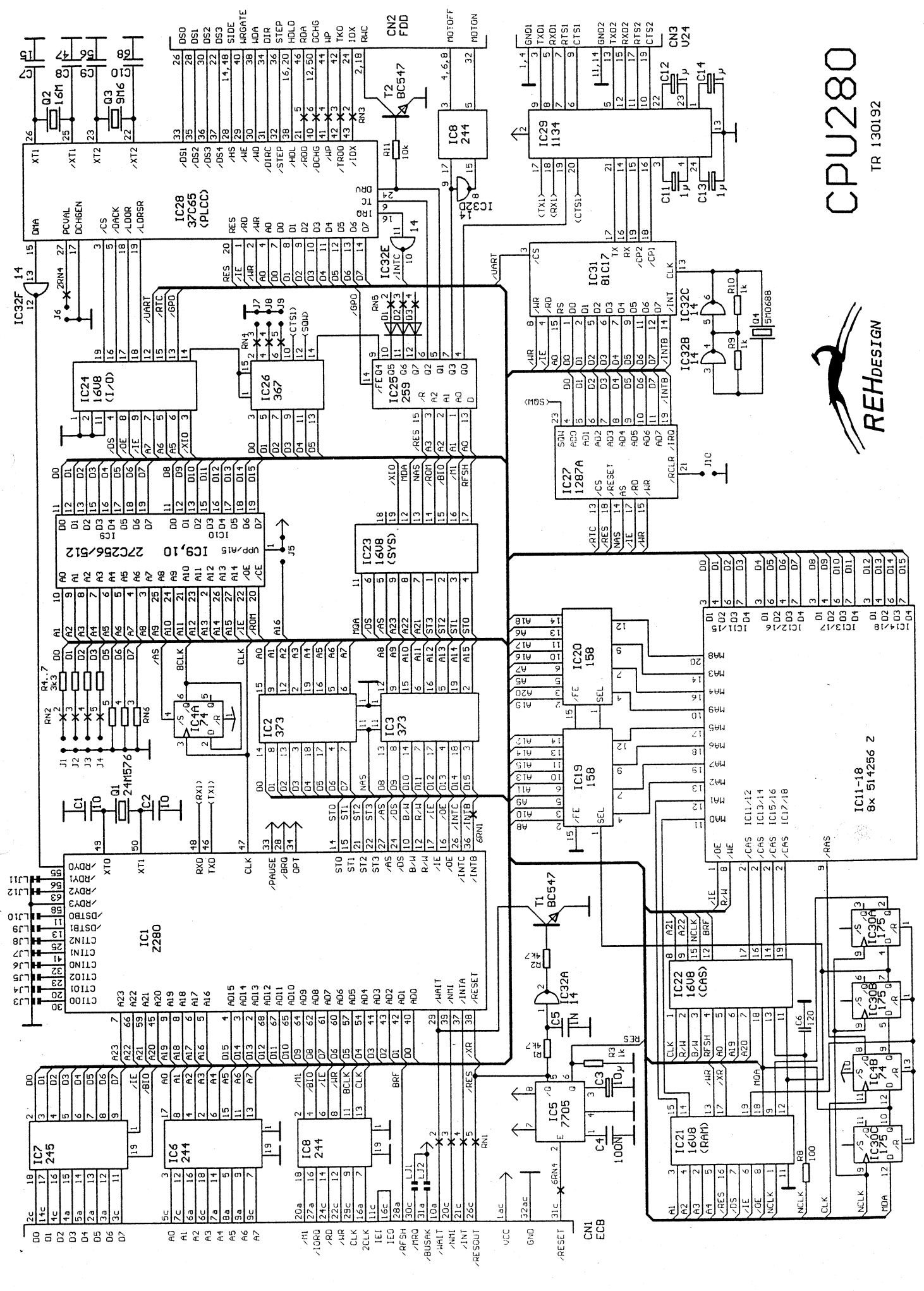
I/O: 00xx00-00xxFF ECB-Bus (256 Adressen)
 20xx00-20xxFF Onboard-I/O, /M1 auf ECB-Bus
 40xx00-40xxFF Onboard-I/O
 FExx00-FFxxFF Onchip-I/O Z280

Onboard-I/O: 00-3F RTC / NVRAM
 40,41 FDC
 60 FDC-DACK
 80 FDC-LDOR
 A0 FDC-LDRSR
 C0 UART
 E0-EF GP-I/O

GP-Output: E0 / E1 RTS1 off / on
 E2 / E3 DRV off / on
 E4 / E5 TC off / on
 E6 / E7 MOTOR off / on
 E8 / E9 WARM off / on
 EA / EB LED1 on / off
 EC / ED LED2 on / off
 EE / EF LED3 on / off

GP-Input: Bit 0 User-Jumper 1 (J7)
 Bit 1 User-Jumper 2 (J8)
 Bit 2 User-Jumper 3 (J9)
 Bit 3 CTS1
 Bit 4 SQW
 Bit 5 WARM

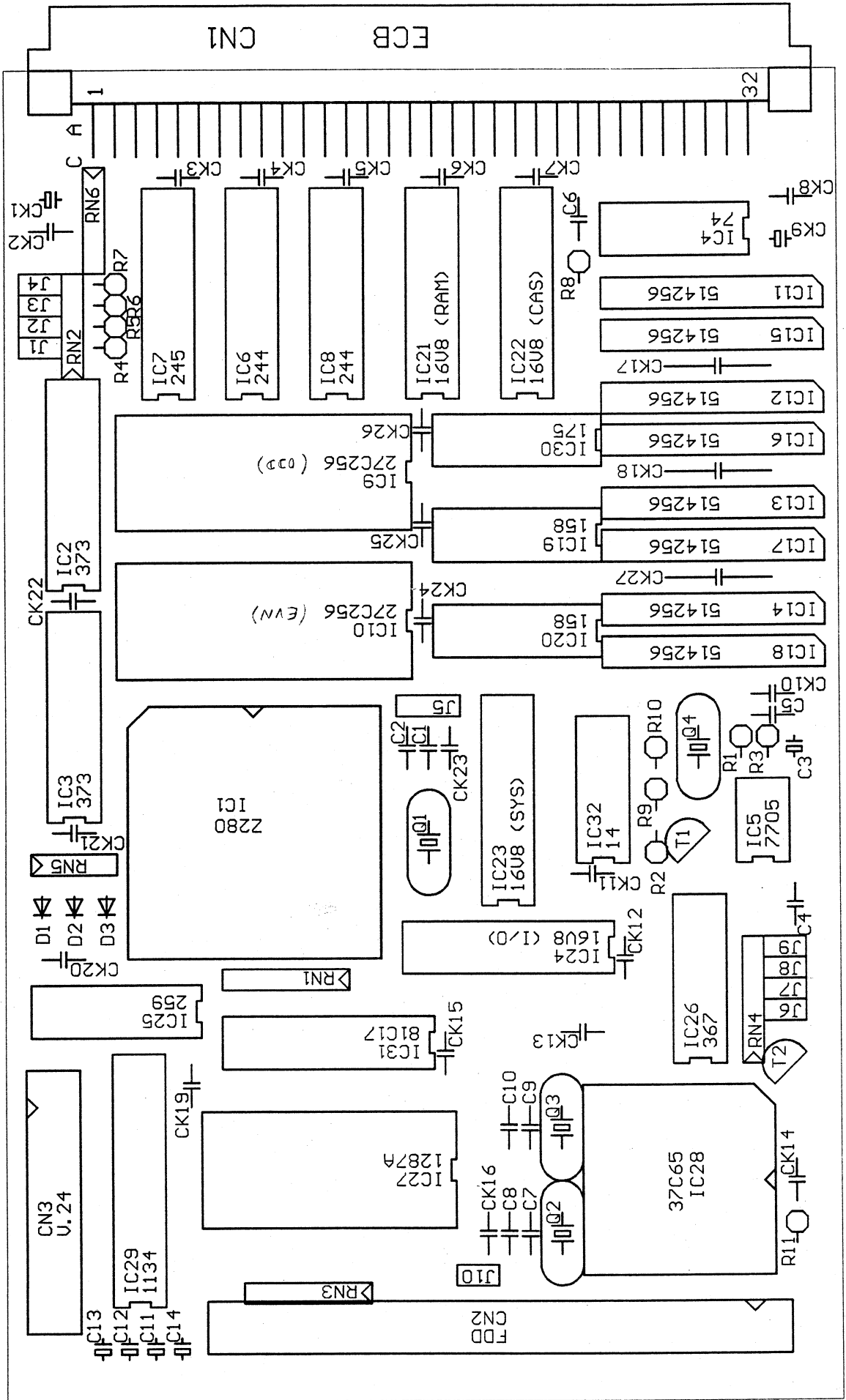
Interrupts: NMI über ECB-Bus (intern vektorisiert)
 INTA über ECB-Bus (int. od. ext. vekt.)
 INTB RTC, TPUART (intern vekt.)
 INTC FDC (intern vekt.)



CPU280

TR 130192

IC11-18
8x 514256 Z



02.02.1992 22:53:38

CPU280