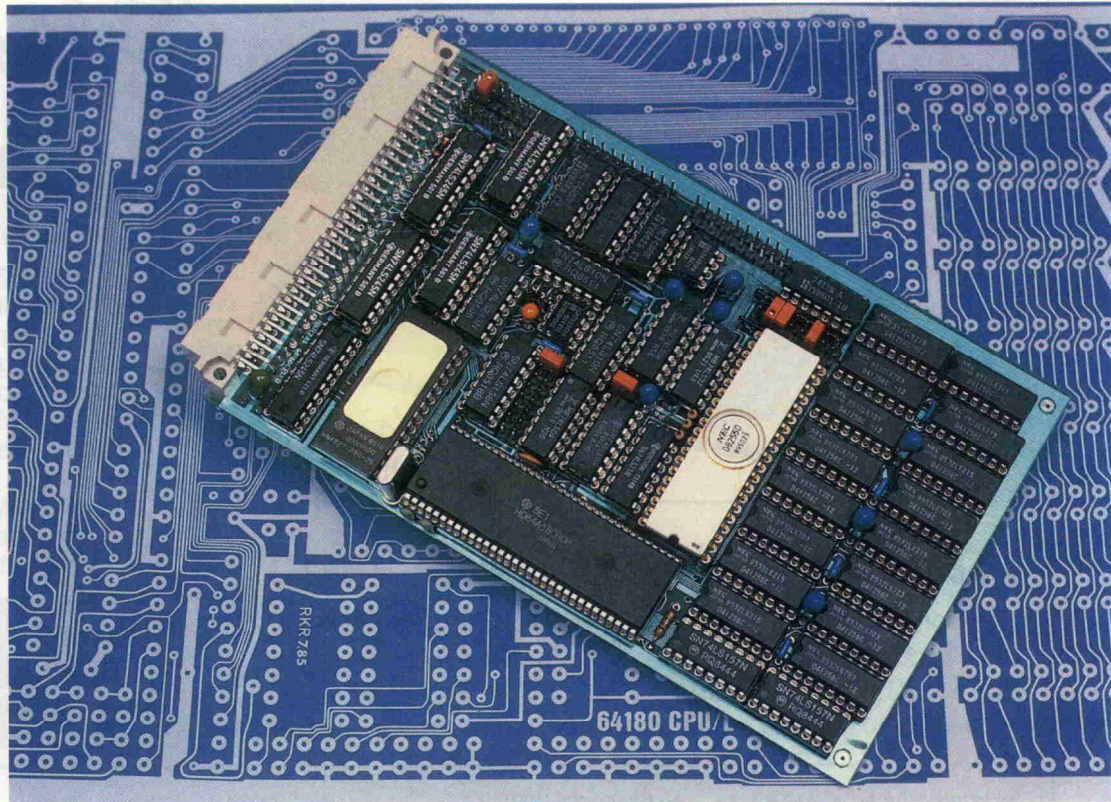


## CPU-Karte c't180

# Achtbit-Power

Robert Kress

Nachdem nun allenthalben die 16- oder gleich 32-Bit-Ära angebrochen ist, haben Sie einen guten Grund, Ihren prächtigen ECB-Bus-Rechner mitsamt all den Disketten voller brauchbarer Software in den Müll zu werfen – man will ja schließlich up to date sein. Aber bevor Sie das tun, sollten Sie diesen Beitrag lesen, der Ihnen eine vernünftige Alternative eröffnet: Die c't180-Karte bringt neuen Schwung in bewährte CP/M-Rechner – schneller Datendurchsatz, hohe Rechenleistung, riesiger Arbeitsspeicher sind auch mit 8-Bit-Datenbus möglich. Warum also umsteigen?



Mit der c't180-Karte werden fast alle Argumente gegen ein 'konventionelles' System entkräftet: eine MMU (Memory Managing Unit, Speicherverwaltungseinheit) erlaubt die Adressierung von bis zu 512 KByte RAM, der mit rund 6 MHz getaktete Hitachi-Prozessor HD64180 ist schneller als eine Z80-CPU bei dieser Frequenz, zwei DMA-Kanäle (Direct Memory Access, direkter Speicherzugriff) erlauben einen schnellen Speicherzugriff. Dabei ist dieser Prozessor befehlskompatibel zur Z80-CPU.

Bei der Konzeption der CPU-Karte waren folgende Forderungen ausschlaggebend: hohe Nachbausicherheit, keine Spezialbauteile, Ausschöpfen der Möglichkeiten des HD64180-Prozessors, einfache Integrierbarkeit in bestehende Systeme.

So entstand eine CPU-Karte für ECB-Bus-Systeme, die ohne PROMs oder PALs auskommt,

mit bis zu 512 KByte RAM bestückt werden kann, für EPROMs der Typen 2764 bis 27256 Platz bietet, gepufferte Busleitungen besitzt und mit einer Drucker-Schnittstelle (Centronics) sowie mit zwei seriellen Schnittstellen ausgestattet ist. Ein EPROM-residenter Monitor bietet neben den üblichen Monitor-Befehlen Test-Programme für die Inbetriebnahme der Karte sowie Boot-Routinen für CP/M. Die c't-IFC-Karte (intelligenter Floppy-Controller) und die c't86-Floppy-Karte werden unterstützt. Außerdem enthält der Monitor die Treiber-Programme für ein serielles Terminal.

## Flexibel

Das Monitorprogramm unterstützt zwei übliche Übertragungsformate zwischen CPU und Terminal: 8 Daten, keine Parität, 1 Stop-Bit, 9600 Baud oder 7 Daten, keine Parität, 2 Stop-Bits, 9600 Baud. Per Soft-

ware kann man natürlich auch andere Formate einstellen.

Der von den Prozessor-Ports belegte I/O-Bereich kann in vier Blöcken verschoben werden, bei der I/O-Adresse der PIO auf der c't180-Karte hat man die Wahl zwischen acht Adreßbereichen.

Die c't180-Karte benötigt als Versorgungsspannungen lediglich +5 V und +12 V. Ein Spannungswandler auf der Karte erzeugt für die seriellen V.24-Schnittstellen -12 V. Da beim ECB-Bus die +12-Volt-Leitung sowie die Adreßleitungen A16 bis A19 auf verschiedenen Pins liegen können, erlaubt ein Steckbrückenfeld die Anpassung an den verwendeten ECB-Bus.

Dem leidigen Problem des Floppy-Format-Wirrwarrs begegnet die c't180-Karte mit vier möglichen CP/M-Boot-Formaten, die der Monitor bei Verwendung der IFC- oder c't86-Floppy-Karte unterstützt:

8", Single Sided, Single Density, 128 Byte pro Sektor, sowie drei 5,25"-Formaten (Single Sided, Double Density) mit 256, 512 oder 1024 Byte pro Sektor.

Für ein c't180-System benötigt man somit neben der CPU-Karte lediglich einen Floppy-Controller und ein serielles Terminal. Auf einem so aufgebauten 8-Bit-System lassen sich dann sehr leicht Betriebssysteme wie CP/M 2.2 oder CP/M 3.0 installieren. In einem bestehenden System kann die c't180-Karte die CPU-, die Speicher- und eventuell eine I/O-Karte ersetzen.

## Hardware im Detail

Beim Einschalten der Betriebsspannung oder nach einem Impuls (logisch 0) vom Bus-Pin 31c erzeugt ein als Monoflop geschaltetes Timer-IC NE555 (IC21) einen Reset-Impuls definierter Länge. Dieser Impuls gelangt an die CPU (IC10) und



die PIO 8255 (IC11) und setzt diese zurück. Außerdem wird mit dem Reset-Impuls ein RS-Flipflop (IC19) gesetzt, das die unteren 32 KByte des RAM-Bereichs ausblendet und das Monitor-EPROM einschaltet. Somit liegt das im EPROM gespeicherte Monitor-Programm ab der Adresse 0 im Speicher.

Mit der Lötbrücke J8 kann man den EPROM-Typ festlegen. Zur Wahl stehen die Typen 2764 bis 27256. Um ein sicheres Arbeiten des EPROM auch bei 6-MHz-Takt (ohne WAIT) zu gewährleisten, wird das EPROM (IC6) nur mit dem CPU-Signal MEMREQ und einem vom Adreß-Decoder (IC15) erzeugten Impuls selektiert. Da diese beiden Signale sehr früh von der CPU zur Verfügung gestellt werden, bleibt dem EPROM genug Zeit, die Daten bereitzustellen. Man muß lediglich darauf achten, daß man keine Daten an das EPROM sendet, da die Ansteuerung nicht zwischen Lesen und Schreiben unterscheiden kann. Bei einem derartigen Schreibversuch würden dann die CPU-Datenleitungen gegen die des EPROMs arbeiten.

Soll das EPROM abgeschaltet werden, zum Beispiel nach dem Laden eines Betriebssystems, braucht man die CPU nur an den Port OAH (CNTR) den Wert 10h ausgeben lassen, wodurch das EPROM abgeschaltet und der gesamte Speicherbereich freigegeben wird.

## An den Bus

Die Adreß-, Daten- und Steuer-Signale der CPU sind alle (außer dem Reset-Eingang) über Bus-treiber an den ECB-Bus geführt. Da leider verschiedene Hersteller unterschiedliche ECB-Busbelegungen eingeführt haben, kann man die Adressen A16 bis A19 sowie die +12-Volt-Leitung mit Steckbrücken unterschiedlichen Bus-Belegungen anpassen. Beim Stecken dieser Brücken muß man jedoch sehr vorsichtig vorgehen, da mehrere Verbindungen zu der gleichen Busleitung gesteckt werden können – wenn man A19 und +12V 'zusammenjumpert', läuft die Karte bestimmt nicht.

Die Datenleitungen liegen immer in Richtung auf den Bus.

c't 1986, Heft 2

J1

| Pin                 | Pin         |
|---------------------|-------------|
| 1 RXD SIO-B         | 2 CTS SIO-B |
| 3 TXD SIO-B         | 4 RXD SIO-A |
| 5 CTS SIO-A         | 6 Masse     |
| 7 CD SIO-A          | 8 Masse     |
| 9 TXD SIO-A         | 10 Masse    |
| 11 DRT (RTS) SIO-A  | 12 Masse    |
| 13 SuperTape SI     | 14 Masse    |
| 15 SuperTape Mot-on | 16 Masse    |
| 17 SuperTape SO     | 18 Masse    |
| 19 Masse            | 20 Masse    |

J2

| Pin       | Pin           |
|-----------|---------------|
| 1 Busy    | 2 Masse       |
| 3 D7      | 4 Acknowledge |
| 5 D6      | 6 Masse       |
| 7 D5      | 8 Masse       |
| 9 D4      | 10 Masse      |
| 11 D3     | 12 Masse      |
| 13 D2     | 14 Masse      |
| 15 D1     | 16 Masse      |
| 17 D0     | 18 Masse      |
| 19 Strobe | 20 Masse      |

J3

| Brücke | Funktion     | Pin ECB-Bus |
|--------|--------------|-------------|
| A      | +12 V von    | 19a         |
| B      | +12 V von    | 13a         |
| G      | CPU-Adr. A16 | 10c         |
| H      | CPU-Adr. A16 | 19c         |
| I      | CPU-Adr. A17 | 12c         |
| J      | CPU-Adr. A17 | 17a         |
| K      | CPU-Adr. A18 | 12a         |
| L      | CPU-Adr. A18 | 13c         |
| F      | CPU-Adr. A19 | 14a         |
| E      | CPU-Adr. A19 | 12c         |

J4

Brücke offen entspricht logisch 1

| Pin | Brücke        | Funktion  |
|-----|---------------|---|
| 1   | zu<br>auf     | 6,144 MHz Quarz<br>12,288 MHz Quarz   |
| 2   | zu<br><br>auf | SIO-A mit 8 Datenbits<br>No Parity<br>1 Stopbit<br>9600 Baud<br>SIO-A mit 7 Datenbits<br>No Parity<br>2 Stopbits<br>9600 Baud<br>(SIO-B ist gleich SIO-A, jedoch mit 1200 Baud) |
| 3,4 |               | 00 = Internal I/O von 00h – 3Fh (Page 0)<br>10 = Internal I/O von 40h – 7Fh (Page 1)<br>01 = Internal I/O von 80h – BFh (Page 2)<br>11 = Internal I/O von C0h – FFh (Page 3)    |
| 5,6 |               | 00 = Kein Test<br>01 = RAM-Test<br>10 = PIO-Test<br>11 = SIO-Test   |
| 7,8 |               | 00 = Boot von 8", 128 Byte/Sektor<br>01 = Boot von 5,25", 256 Byte/Sektor<br>10 = Boot von 5,25", 512 Byte/Sektor<br>11 = Boot von 5,25", 1024 Byte/Sektor                      |

Bei Lese-Zugriffen innerhalb der c't180-Karte wird der Bus abgeschaltet.

## 512 KByte RAM

Der Speicherausbau auf der Karte ist bis zu 512 KByte RAM möglich. Aber auch mit 64 KByte Speicher erhält man schon ein lauffähiges System. Als Zwischenstufen sind Bestückungen mit 128 KByte (16 × xx64) oder 256 KByte (8 × xx256) möglich.

Zur Anpassung an den unterschiedlichen Speicherausbau dienen die Brücken J5 und J6. Mit J5 legt man den Typ der verwendeten RAM-ICs (xx64 oder xx256) fest. Mit der Brücke J6 kann man festlegen, wann bei einem Speicherzugriff der Bus freigegeben wird. Dadurch kann die CPU Speicherbereiche, die sich nicht auf der Karte befinden, auf externen RAM-Karten ansprechen. Die Brücken W und X von J6 sind standardmäßig (auf der Lötseite) geschlossen (RAM nur auf der Karte), können bei Bedarf aber durchgekratzt werden.

Mit einem Bit vom Port C der PIO (IC11, Port C3) kann man Speicherbereiche programm-gesteuert ausblenden. Das ist zum Beispiel dann sinnvoll, wenn ein Bildspeicher im Adreßraum der CPU liegen soll (Memory-Mapped). Mit der Lötbrücke J10 kann man die 'Ausblend-Logik' aktivie-

ren, indem man auf der Platine die Verbindung a herstellt und die Brücke J11 öffnet.

Der Refresh für die RAMs wird mit dem MEMREQ-Signal der CPU gesteuert. Das geschieht sowohl bei einem Zugriff auf das EPROM als auch bei einem Zugriff auf externen Speicher. Mit Hilfe des 8-Bit-Refresh-Zählers der CPU ergibt sich somit ein sicherer Refresh der RAM-ICs. Nur im SLEEP-Modus der CPU setzt der Refresh aus, da der Prozessor dann alle Aktivitäten einstellt.

## Verbindung nach außen

Zwei Ports der PIO 8255 (IC11) bilden eine Centronics-Schnittstelle und eine SuperTape-Schnittstelle. Der Port A der PIO stellt die Daten für die Centronics-Schnittstelle bereit, drei Leitungen von Port C der PIO bilden die Handshake-Leitungen. Drei weitere Leitungen von Port C sind für den Anschluß eines Kassetten-Recorders vorgesehen. Alle Signale dieser Schnittstellen sind gepuffert; die Daten-Leitungen mit einem Bus-Treiber (IC13), alle anderen Port-Leitungen mit Open-Kollektor-Treibern (IC27). Somit können diese Schnittstellen auch Peripherie-Geräte über ein längeres Kabel sicher treiben.

An dem Port B der PIO liegt ein Steckbrückenfeld (J4), mit dessen Jumpers man einige System-Parameter einstellen kann: die Quarzfrequenz, das Übertragungsformat an das Terminal, die Adreßlage des internen I/O-Bereichs und das Boot-Format. Mit zwei Jumpers von J4 kann man auch zwischen verschiedenen Test-Routinen wählen. Diese Brücken werden in der Initialisierungsphase des Monitors abgefragt.

Die Adresse der PIO kann mit dem Jumper J7 individuell eingestellt werden.

Die Pegel der seriellen Kanäle (SIO-A und SIO-B) der CPU werden mit den ICs 23, 24 und 25 an den V.24-Pegel angepaßt. Die Treiber benötigen dazu als Betriebsspannung +12 V und -12 V. Die notwendige Umwandlung der positiven 12-Volt-Spannung geschieht mit dem Spannungs-Konverter IC26.

Beide SIO-Kanäle verfügen über die Handshake-Leitungen



## Die HD64180-CPU

In dem 64poligen Gehäuse der HD64180 sind folgende Baugruppen integriert: Z80-kompatible CPU, Quarz-Oszillator, MMU für die Adressierung von bis zu 512 KByte, 8-Bit-Refresh-Generator mit programmierbarem Timing, DMA-Controller für zwei Kanäle, Wait-Stait-Generator, zwei serielle Schnittstellen mit zwei programmierbaren Baudrate-Generatoren, eine serielle Schnittstelle für Datentransfer im Multi-Prozessor-Betrieb, zwei programmierbare Timer.

Der Befehlssatz der CMOS-CPU HD64180 ist kompatibel zu dem des Z80-Prozessors, plus zwölf zusätzlicher Befehle. Davon dienen sechs Befehle der internen I/O-Behandlung, vier Befehle bieten zusätzliche Masken-Operationen. Dazu kommen noch eine Anweisung für eine  $8 \times 8$ -Bit-Multiplikation sowie ein Befehl zur

Steuerung des Sleep-Modus (Stand-By-Zustand).

Der Taktgenerator ist auf dem Chip integriert, so daß man zusätzlich lediglich einen Quarz und zwei Kondensatoren anschließen muß. Der Quarz muß auf der doppelten CPU-Taktfrequenz schwingen. An dem Pin 'PHI' (64) steht der Prozessortakt (Quarzfrequenz/2) zur Verfügung.

Ein auf dem Chip integrierter Wait-Stait-Generator kann per Software für 0 bis 3 Warte-Takte programmiert werden. Man kann dabei wählen, ob das Wait für interne, externe RAM- oder I/O-Bereiche eingeschoben werden soll.

Die durch den Prozessor belegten I/O-Kanäle benötigen 64 I/O-Adressen. Diesen internen Bereich kann man innerhalb von 256 Adressen in vier 'PAGES' mit jeweils 64 Adressen verschieben. Dabei ist je-

doch zu beachten, daß der Prozessor beim Schreiben auf interne Bereiche auch nach 'außen' schreibt und beim Lesen auch Daten von 'außen' liest, die er dann jedoch ignoriert. Man kann ein 'IO-STOP' programmieren, wobei die internen I/O-Kanäle abgeschaltet werden.

Der Adreßbereich der CPU reicht für die direkte Adressierung von 512 KByte RAM. Die MMU ermöglicht es, den 64 KByte großen 'Arbeitsbereich' der CPU innerhalb der 512 KByte in Blöcken von 4 KByte zu verschieben. Der Datentransfer zwischen den BANKs oder von und zu I/O-Kanälen erfolgt über zwei integrierte DMA-Kanäle.

Mit Hilfe eines Refresh-Control-Registers kann man die Anzahl der ausgegebenen Refresh-Adressen sowie deren zeitlichen Abstand an den verwendeten Speicher und die

Quarzfrequenz anpassen. Außerdem ist es möglich, den Refresh ganz abzuschalten oder Warte-Takte in den Refresh-Zyklus einzufügen.

Die HD64180 stellt alle Interrupt-Modus der Z80 zur Verfügung. Zusätzlich hat die CPU noch zwei weitere Interrupt-Eingänge. Die Priorität der Interrupts wird mit zwei Interrupt-Vector-Registern eingestellt. Außerdem steht ein nicht maskierbarer TRAP-Interrupt für undefinierte Op-Codes zur Verfügung, der einen Software-Reset erzeugt. Die internen I/O-Kanäle (Timer, DMA, SIO A+B) können ebenfalls Interrupts generieren.

Zwei integrierte Timer bieten jeweils einen 16-Bit-Abwärts-Zähler sowie ein 16-Bit-Reload-Register. Der Timer 1 besitzt einen Time-Out-Ausgang, der mit dem Adreß-Pin A18 gemultiplext ist.

RTS und CTS. Eine kleine Besonderheit muß man dabei jedoch beachten: die CD-Leitung (Carrier Detect) muß, anders als bei den sonst verwendeten SIO-ICs, auf +12 Volt liegen, da die CPU sonst keine Daten von der SIO-A annimmt. Arbeitet man mit einem Terminal ohne Handshake-Signale, muß man die Leitungen CTS und RTS miteinander verbinden. Die Baudraten der SIOs sowie das Übertragungsformat sind programmierbar. Als Baudraten sind, je nach CPU-Taktfrequenz, 75 Baud bis 38400 Baud möglich.

## Aufbau

Vor der Beschreibung zum Aufbau und zur Inbetriebnahme der c't180-Karte einige Hinweise: Die c't180-Karte ist für eine Quarzfrequenz von 12,288 MHz ausgelegt; dabei arbeitet die CPU mit einer Taktfrequenz von 6,144 MHz. Bei Verwendung dieses Quarzes muß man für IC8, IC9 und IC12 74HCTxx-Typen einsetzen.

Alternativ dazu kann man auch einen Quarz mit 6,144 MHz verwenden, der wohl leichter beschaffbar ist. Die CPU-Taktfrequenz reduziert sich dann jedoch auf 3,072 MHz. Diese Taktangaben sind jedoch nicht direkt mit denen für die

Z80-CPU vergleichbar, da der HD64180-Prozessor im Mittel einen Takt weniger für die Ausführung eines Befehls braucht als die Z80.

Verwendet man als Speicherbausteine xx64-Typen, sollten Versionen mit 128er Refresh und Zugriffszeiten von 200 ns bei 6,144 MHz, beziehungsweise 120 ns bei 12,288 MHz Systemtakt eingesetzt werden. Diese Zugriffszeiten sollten

### J 6

|               |   |
|---------------|---|
| W, X offen    | 128 KByte RAM on board, Rest über Bus               |
| W geschlossen | von 128 KByte bis 256 KByte on board, Rest über Bus |
| X geschlossen | von 256 KByte bis 384 KByte on board, Rest über Bus |

„Rest“ bedeutet, daß die nicht selektierten Bereiche ober- oder unterhalb des gewählten Bereichs über den ECB-Bus angesprochen werden. Die ersten 128 KByte sind immer auf der CPU-Karte.

auch die Speicher-ICs xx256 aufweisen.

Die übliche Mahnung, den Aufbau einer Karte sehr sorgfältig durchzuführen, sollte man ganz besonders bei der c't180-Platine beherzigen. Weiß man, daß bei dieser Karte bis zu 15 Leiterbahnen unter einem IC durchgeführt sind, kann man sich sicher vorstellen, daß freier Platz Mangelware ist. Die Lötarbeiten sollten daher äußerst vorsichtig vorgenommen werden, wobei man Lötzinn mit einem Durch-

messer von maximal 0,5 mm und eine Lötspitze von maximal 0,7 mm Breite verwenden sollte.

Die Bestückung der Karte beginnt man mit den Widerstän-

### J 5

| Position | Funktion      |
|----------|---------------|
| M        | RAMs 64K x 1  |
| N        | RAMs 256K x 1 |

### J 7

| Position | PIO-Adresse von |
|----------|-----------------|
| O        | 00h bis 0Fh     |
| P        | 20h bis 2Fh     |
| Q        | 40h bis 4Fh     |
| R        | 60h bis 6Fh     |
| S        | 80h bis 8Fh     |
| T        | A0h bis AFh     |
| V        | C0h bis CFh     |
| U        | E0h bis EFh     |

### J 8

| Position | EPROM-Typ  |
|----------|------------|
| Z1       | 27256      |
| Z2       | 2764/27128 |

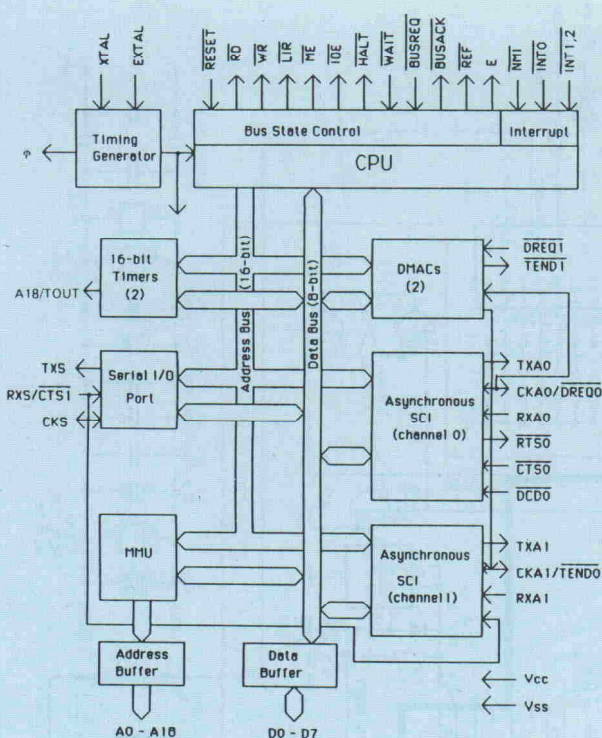
### J 9

#### ECB-Bus

|    | a     | c         |
|----|-------|-----------|
| 1  | +5V   | +5V       |
| 2  | D5    | D0        |
| 3  | D6    | D7        |
| 4  | D3    | D2        |
| 5  | D4    | A0        |
| 6  | A2    | A3        |
| 7  | A4    | A1        |
| 8  | A5    | A8        |
| 9  | A6    | A7        |
| 10 | Wait  | A16*      |
| 11 | BUSRQ | IEI       |
| 12 | A18*  | A17*/A19* |
| 13 | +12V* | A18*      |
| 14 | A19*  | D1        |
| 15 | -     | -         |
| 16 | -     | IEO       |
| 17 | A17*  | A11       |
| 18 | A14   | A10       |
| 19 | +12V* | A16*      |
| 20 | MI    | NMI       |
| 21 | -     | INT       |
| 22 | -     | WR        |
| 23 | BAI   | -         |
| 24 | -     | RD        |
| 25 | BAO   | HALT      |
| 26 | -     | PCL       |
| 27 | TORQ  | A12       |
| 28 | RFSH  | A15       |
| 29 | A13   | PHI       |
| 30 | A9    | MREQ      |
| 31 | BUSAK | RESET     |
| 32 | GND   | GND       |

\* = Mit Jumper (J3) einstellbar





Die zwei seriellen Kanäle werden über zwei UARTs gesteuert und lassen sich für alle gängigen Datenformate programmieren. Jeder der beiden Kanäle besitzt einen Baudrate-Generator, der vom Prozessor-Takt gespeist wird, sowie zwei getrennt einstellbare Vorreiber.

Als Handshake-Leitungen sind für beide Kanäle RTS und CTS vorhanden. Kanal A bietet außerdem einen CD-Eingang (Carrier Detect), so daß er auch ein Modem bedienen kann. Ein dritter serieller Kanal ermöglicht den Datentransfer zwischen mehreren Prozessoren in einem Multiprozessor-System.

Das 6800-Bus-Interface der CPU besteht in der Hauptsache aus dem Prozessor-Ausgang 'E', durch den Peripherie-Bausteine der 6800- oder 6500-Reihe mit dem Prozessor-Takt synchronisiert werden können.

## Stückliste

### Halbleiter

|               |               |
|---------------|---------------|
| IC1-IC5, IC13 | 74LS245       |
| IC6           | EPROM         |
|               | 2764/128/256  |
| IC7           | 74HCT243      |
| IC8, IC9      | 74LS157       |
|               | (HCT157)      |
| IC10          | CPU HD64180   |
| IC11          | PIO 8255      |
| IC12          | 74HCT125      |
| IC14          | 74LS21        |
| IC15          | 74S139        |
| IC16          | 74LS32        |
| IC17          | 74LS08        |
| IC18          | 74LS04        |
| IC19          | 74HCT10       |
| IC20          | 74LS138       |
| IC21          | NE 555        |
| IC22          | 74LS10        |
| IC23, IC24    | MC1489        |
| IC25          | MC1488        |
| IC26          | ICL7660       |
| IC27          | 7417 (7407)   |
| IC28-43       | 4164/256      |
|               | (außer Texas) |

Die HCT-Typen müssen bei Verwendung eines 12,288-MHz-Quarzes verwendet werden.

|        |        |
|--------|--------|
| D1, D2 | 1N4148 |
| D3     | AA 143 |

### Widerstände

Alle Widerstände 1/8 oder 1/4 Watt

|         |               |
|---------|---------------|
| R1      | 220R          |
| R2      | 47k           |
| R3, R4  | 2k2           |
| R6-R9   | 1k0           |
| R5, R10 | 10k           |
| RN1     | Array 8 x 4k7 |
| RN2     | Array 8 x 1k0 |

### Kondensatoren

|                    |                    |
|--------------------|--------------------|
| C1                 | 22µF/16 V, Tantal  |
| C2, C3             | 10pF, Keramik      |
| C4, C8, C10-C12    | 10µF/16 V, Tantal  |
| C5-C7, C9, C13-C19 | 100nF, Keramik     |
| C20                | 2,2µF/16 V, Tantal |

C14, C16, C18 müssen bei Bestückung mit mehr als acht Speicher-ICs durch 10µF-Tantal-Kondensatoren ersetzt werden.

### Diverses

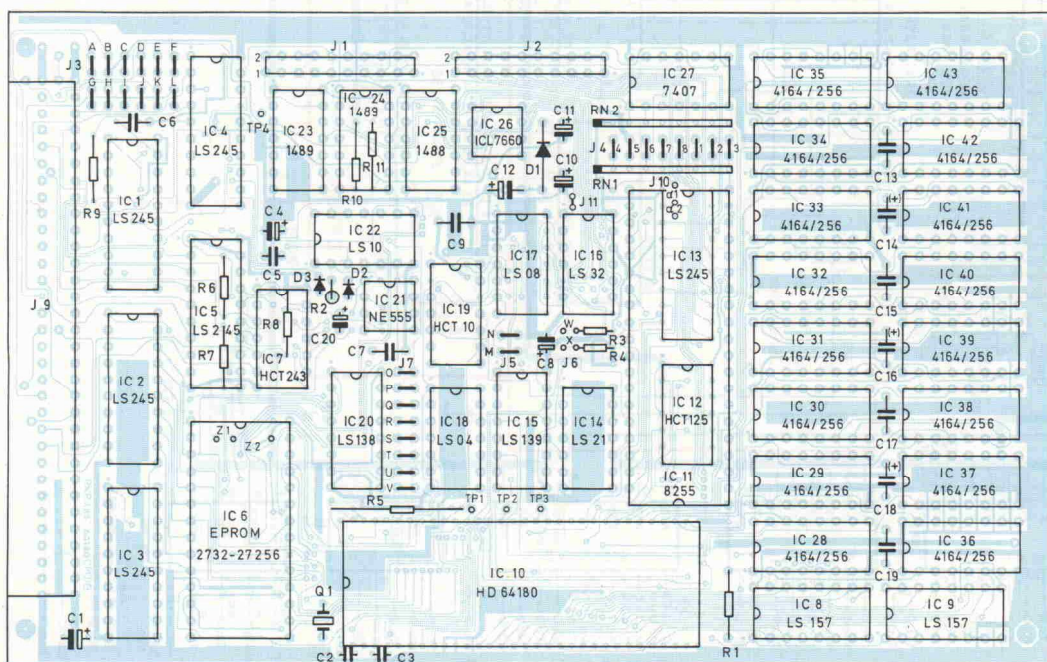
|        |  |
|--------|--|
| Q1     | Quarz                                      |
|        | 6,144 MHz oder 12,288 MHz                  |
| J1, J2 | Pfostenleisten                             |
|        | 2reihig, 20polig                           |
| J3     | Pfostenleiste                              |
|        | 4reihig, 24polig                           |
| J4, J7 | Pfostenleisten                             |
|        | 2reihig, 16polig                           |
| J5     | Pfostenleiste                              |
|        | 2reihig, 4polig                            |
| J9     | VG-Messerleiste, 64polig, a und c bestückt |
|        | Leiterplatte c't180, Steckbrücken          |

rungen mit gedrehten Kontakten nicht scheuen, da die Betriebssicherheit der Karte mit diesen Fassungen wesentlich größer wird. Die Sockel für IC5, IC7 und IC24 müssen 'offene' Ausführungen sein, da unter den Fassungen Widerstände liegen. Bei Sockeln mit gedrehten Kontakten sind meistens die Kontaktreihen nur durch Stege

verbunden, die man vor dem Einlöten entfernen kann und so jeweils zwei Kontaktreihen erhält. Das IC11 muß ebenfalls eine derart modifizierte Fassung erhalten. Zusätzlich muß man für IC11 noch einen zweiten Sockel umbauen, dessen Kontaktreihen auf die des eingelöteten Sockels gesteckt werden. Dadurch erhält man den nöti-

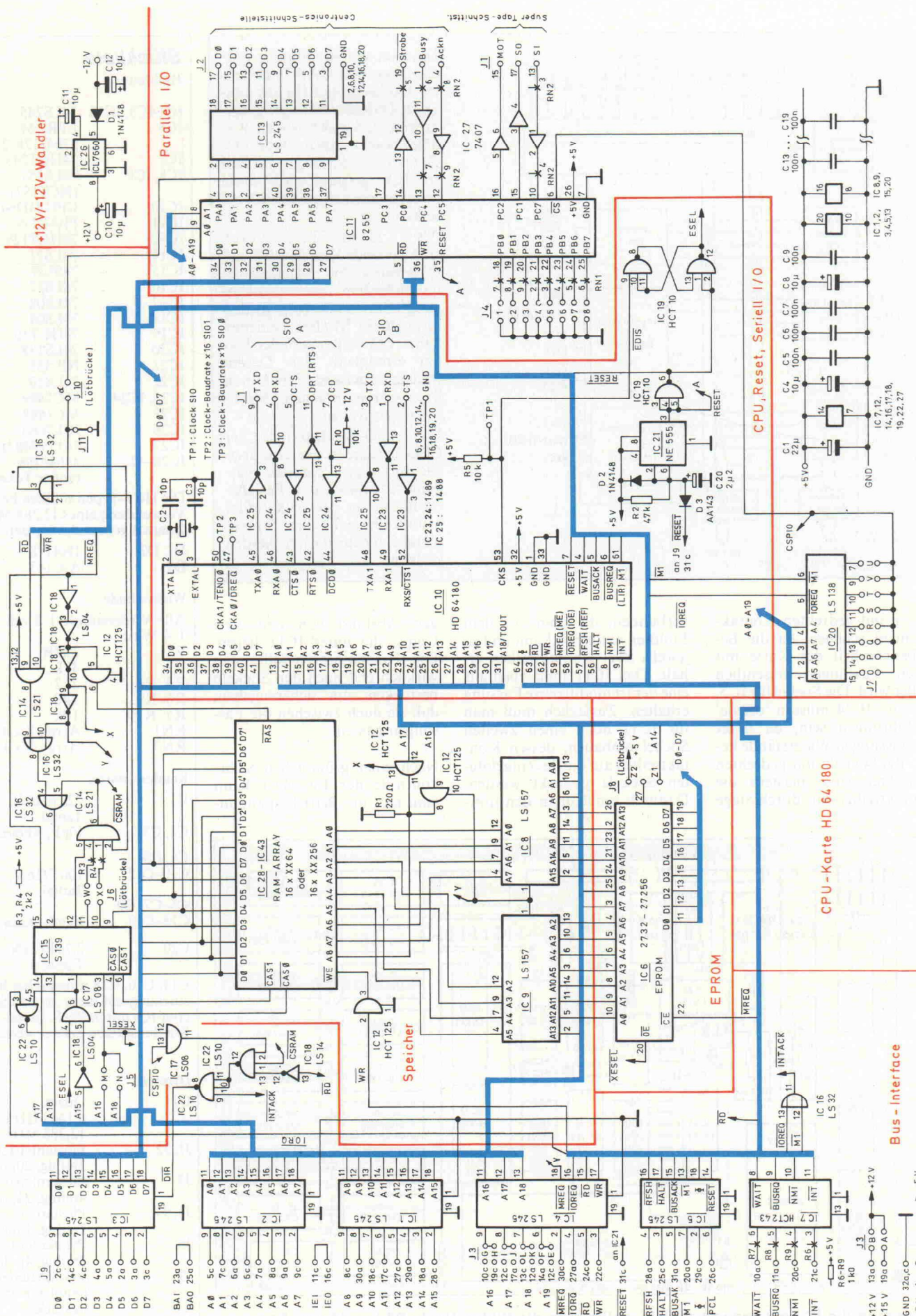
gen Abstand von den zwei Chips, die unter IC11 liegen. Die Kondensatoren sollte man wirklich erst nach den Sockeln bestücken, um sicherzugehen, daß sie auch zwischen die Fassungen passen.

Nach einer gründlichen Sichtkontrolle der Lötarbeit kann man nun die Betriebsspannung



Bevor man die IC-Fassungen bestückt, sollte man die Widerstände R6 bis R8 und R10 bis R11 einsetzen.







gen anlegen, wobei die ICs noch nicht eingesetzt sein sollten. Dabei darf die Stromaufnahme der Karte bei beiden Spannungen nicht mehr als 10 mA betragen. Erhöht sich dieser Wert auch nicht nach etwa fünf Minuten Betriebszeit, kann man ziemlich sicher sein, daß auch alle Tantal-Kondensatoren richtig gepolt eingesetzt sind.

Ist dieser erste Test erfolgreich abgeschlossen, kann man die ICs einsetzen, wobei ein Speicherausbau mit 64 KByte durchaus für die Inbetriebnahme ausreicht. Nach einer nochmaligen Sichtkontrolle der Bestückung kann man wieder die Betriebsspannungen anlegen. Die nun gemessenen Werte der Stromaufnahme sollten für +12 V nicht höher als 100 mA und für +5 V zwischen 700 mA und 900 mA, je nach verwendeten ICs, liegen.

### Lebenszeichen

Für die Inbetriebnahme der Karte sind drei Hardware-Tests vorgesehen, die man über die Steckbrücken J4-5/6 auswählen kann.

Der erste Test überprüft den Arbeitsspeicher auf der Karte. Die Testroutine selbst verwendet kein RAM, so daß auch bei fehlerhaftem Speicher der Test Ergebnisse liefern kann. Während des Tests füllt die Routine den Speicher abwechselnd mit den Werten 55h (01010101 b) und AAh (10101010 b). Anschließend werden diese Bytes zurückgelesen und überprüft. An dem Port A der PIO gibt das Programm die Testergebnisse aus. Das Bit 0 zeigt dabei an, mit welchem Wert eine Speicherzelle gerade geprüft wird: logisch 0 bedeutet Füllen des RAM mit 55h, logisch 1 zeigt einen Füllvorgang mit AAh an.

Die Pegel der Bits 4 bis 7 (J2-9, J2-3) zeigen eventuell aufgetretene Fehler an. Der Pegel 0 bedeutet, daß kein Fehler aufgetreten ist, das Bitmuster 1111b weist auf einen Fehler hin. Diese Fehleranzeige wird für jedes getestete Bit gesetzt oder zurückgesetzt. Dadurch kann man mit einem Oszilloskop leicht feststellen, ob es sich um einen sporadisch auftretenden Fehler handelt oder ob eine generelle

Fehlfunktion vorliegt. Ergibt dieser Speichertest keinen Hinweis auf einen Fehler, arbeiten die unteren 64 KByte Speicher, und der Monitor müßte sicher laufen können.

Mit dem zweiten Testprogramm wird der Druckerausgang (Centronics-Port) überprüft. Dazu gibt die Testroutine abwechselnd 'U' und 'Rubout' (55h und 7Fh) an den Port aus. Das Resultat kann man entweder mit einem angeschlossenen Drucker oder einem Oszilloskop kontrollieren. Verwendet man keinen Drucker, muß die Busy-Leitung der Centronics-Schnittstelle allerdings auf Masse gelegt werden.

Der dritte Test sendet ebenfalls die Bytes 55h und 7Fh, diesmal aber an den Kanal 0 der SIO (Terminal-Schnittstelle). Auch bei diesem Test kann man entweder das Peripheriegerät (also das Terminal) anschließen oder ein Oszilloskop verwenden. Beim Einsatz des Oszilloskops sind aber die Handshake-Leitungen CD und CTS mit +12 V zu verbinden. Bei diesem Test kann man auch die

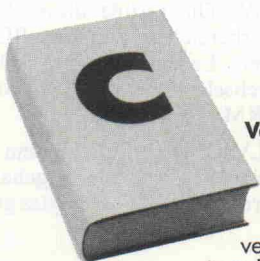
Baudrate messen: Sie muß bei diesem Test 9600 Baud betragen. Um diesen Wert zu überprüfen, schließt man einen Frequenzzähler an TP3 an. Die so gemessene Frequenz des Baudrate-Generators muß 153600 Hz betragen, also das 16fache der Baudrate.

Sind alle Tests erfolgreich abgeschlossen, kann man die Konfigurations-Jumper (J4) setzen. Bei der Wahl der internen I/O-Page ist zu beachten, daß sich ihr Adreßraum nicht mit dem der PIO überlappt. Die PIO-Adresse kann man mit dem Jumper J7 bestimmen. Man darf natürlich nicht vergessen, die Brücken 5 und 6 von J4 in die Stellung 'Kein Test' zu bringen.

Nach diesen Vorbereitungen dürfte der ersten Monitormeldung auf dem Terminal nichts mehr im Wege stehen. Die Beschreibung des Monitors und seiner Befehle finden Sie zwar erst in der nächsten c't, wenn Sie aber nach der Monitor-Meldung '?' gefolgt von einem Return eingeben, zeigt der Monitor eine Befehlsübersicht.

ct

## Für alle, die in C programmieren wollen: C-Library



### Lattice Windows Vers. 4.00 MS-DOS

Mit Lattice Window erstellen Sie Programme mit bis zu 255 verschiedenen Fenstern. Diese Library enthält Funktionen zum Anlegen, Gestalten und bearbeiten von Bildschirmfenstern. Durch einen einfachen Funktionsaufruf schreiben Sie einzelne Zeichen oder ganze Strings an jede beliebige Position innerhalb eines frei definierbaren Fensters. Mehrere Fenster können gleichzeitig im Speicher bearbeitet werden und erscheinen erst bei Bedarf auf dem Bildschirm. Lattice Window ist das OS für den Bildschirm.

Bestell-Nr. 121004

DM 1157,-



### Lattice CURSES Screen Package Vers. 1.02 MS-DOS.

UNIX-kompatible Bildschirmverwaltung. Enthält eine Sammlung von C-Funktionen zur Zeichen- oder Stringausgabe sowie Bildschirmsteuerung von IBM-PC's oder kompatiblen. Enthält alle Funktionen des UNIX-„curses“ und ermöglicht damit die Übernahme von UNIX-Programmen ohne Änderung der Bildschirmsteuerung. Durch Video-Mapping sehr schnell und universell einsetzbar.

Bestell-Nr. 131004

DM 485,-



### Lattice dBC II ISAM Library Vers. 1.06 MS-DOS

dBC ist eine Sammlung von Funktionen, die es dem C-Programmierer ermöglichen, Dateien zu erzeugen, zu lesen und zu bearbeiten, die mit Ashton Tate's dBASE II oder dBASE III Dateien kompatibel sind. Um dBC anwenden zu können ist dBASE nicht erforderlich, da dBC ein vollständiges ISAM-Dateisystem darstellt. dBC bietet in Verbindung mit Ihrem C-Compiler eine echte Alternative zur dBASE-Programmiersprache. Außerdem können Sie in solchen Programmen alle C-Libraries wie z.B. Window, Manager, Grafik, Statistik usw. verwenden.

Bestell-Nr. 121002 DM 969,-

Lattice dBC III ISAM Library Vers. 1.06 MS-DOS (siehe dBC II)

Bestell-Nr. 121003 DM 1015,-

Alle Preise incl. MwSt. Versand per Nachnahme.  
dBase und UNIX sind eingetragene Warenzeichen

Wir informieren Sie gerne. Wählen Sie: 07841/4500

PFOTENHAUER Microcomputer-Anwendung  
Postfach 1312 · Neulandstraße 16 · 7590 Achern · Telex 752100 msof

**pfotenhauer**  
MICROCOMPUTER-ANWENDUNGEN