

Hardwarebeschreibung der HRG1B

Die High Resolution Karte HRG1B scheint sich in unserem Club immer weiter zu verbreiten. Deshalb soll an dieser Stelle eine Beschreibung der Hardware erfolgen.

Das mitgelieferte Manual ist hinsichtlich des Einbaus eigentlich sehr ausführlich, stellt die Ansteuerung der Grafik aber etwas unübersichtlich dar. Weiterhin läßt der schlampig gezeichnete Schaltplan hinsichtlich der Lesbarkeit sehr zu wünschen übrig. Darum habe ich einen neuen, wie ich meine übersichtlicheren Schaltplan gezeichnet, anhand dem nun die Funktion der Schaltung und ihre Ansteuerung grundlegend erläutert werden sollen:

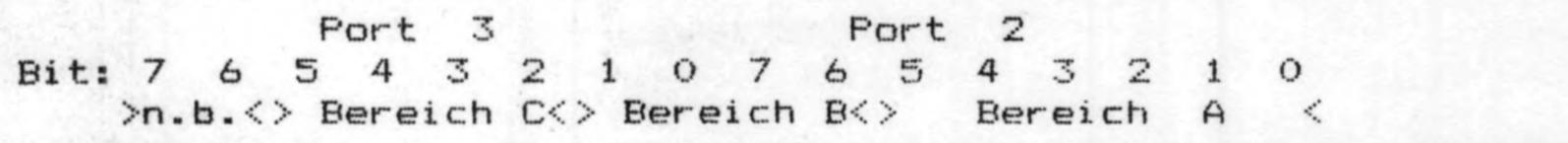
Ansteuerung der Karte:

Sechs Ports werden für die Ansteuerung benötigt. Es sind diese Port 0-5. Gibt man auf Port 0 einen beliebigen Wert aus, so wird der Grafikk Bildschirm ausgeblendet. Schickt man über Port 1 eine Zahl, so wird der Grafikk Bildschirm zum normalen Textbildschirm dazugeschaltet.

z.B.: OUT 0,0 Ausschalten der Grafik
OUT 1,0 Einschalten der Grafik

Der Speicherinhalt geht beim Ausschalten nicht verloren, es wird lediglich das Übertragen des Speicherinhalts auf die Videoleitung unterbunden.

Über Port 2 und 3 erhält die Grafikkarte die x/y Koordinate eines zu adressierenden Punktes. Dies ist relativ kompliziert, was die Umrechnung von x,y in ein von der Karte lesbares Format etwas schwierig macht. Die Bits sind wie folgt aufgeteilt:



- Bereich A: Bit 0-5 Port 2 Position der 64 normalen Spalten
- Bereich B: Bit 6,7 0,1 Port 2+3 Position der 16 normalen Zeilen
- Bereich C: Bit 2-5 Port 3 Position der 12 Zeilen pro Character
- n.b. : Bit 6+7 Port 3 nicht benutzt

Will man also einen Punkt x,y (wobei x von 0-383 und y von 0-191) setzen, so muss man zunächst feststellen, in welcher

D-Eingang des Flip-Flops liegende Information auf den Ausgang Q (Pin 9) gegeben wird. Da D (Pin 12) permanent auf Masse liegt, wird ein LOW ausgegeben. Pin 9 von Z8a ist mit Pin 1 von Z22 verbunden. Es handelt sich hier um den CLEAR*-Eingang eines 6-Bit-D-Registers mit Löschen, bei dem die an den Eingängen anliegenden Informationen mit der positiven Taktflanke am CLK-Eingang (Pin 9) intern gespeichert und auf die Ausgänge gelegt werden. Da bei einem RESET* Pin 11 auf LOW geht, gehen auch die Ausgänge auf LOW und es erscheinen keine Grafikpunkte auf dem Bildschirm, da über das Shiftregister Z10 dem regulären Videosignal nur LOWs über das OR-Gatter Z1 zugemischt werden. Zusammenfassend kann gesagt werden, daß bei einem RESET* die HRG weggeschaltet wird.

In Z2 (74155) befinden sich zwei 2-Bit-Binärdekoder, die so zusammengeschaltet sind daß sich ein 1-aus-8 Datenverteiler ergibt, der als Adressdekoder verwendet wird. Er wandelt einen Binärcode, der an den Eingängen ABC liegt um in einen dezimalen und schaltet den entsprechenden Ausgang (0-5) auf LOW. Dieser Baustein fungiert auch als Regelglied dafür, um zu entscheiden, ob die über einen Port ausgegebenen Daten überhaupt für die HRG bestimmt sind. Hier zeigt sich auch schon eine Schwachstelle der Schaltung, die normalerweise nicht auftreten dürfte:

Die HRG soll ja nur angesprochen werden, wenn nur auf den Ports 0-5 Daten anliegen. Der Schaltungsentwerfer hat aber nur eine sehr abgemagerte Maßnahme dafür angewendet. Doch zunächst die Problematik:

Die HRG wird jedesmal angesprochen, wenn ein Port angesprochen wird und mindestens eines der ersten 3 Bits (Bit 0-2) auf HIGH liegt. Das bedeutet, daß die HRG nicht nur bei z.B. **OUT0,0**, **OUT1,0** **OUT4,24** angesprochen wird, sondern auch bei allen **OUTn,x**, deren n als Einerziffer die 0-5 hat. Also z.B. **OUT50,0**, **OUT74,3** usw. Das schränkt die Verwendungsmöglichkeiten der an sich noch freien Ports um die Hälfte ein. Lediglich Bit 7 wird berücksichtigt; d.h., daß Ports >127 die HRG nicht mehr ansprechen.

Eine Maßnahme, das Ansprechen der HRG nur bei den Ports 0-5 zu erreichen ist in Bild 2 dargestellt. Hier werden die Bits 3-7 geprüft und die HRG nur selektiert, wenn sie alle LOW sind.

Liegt A0 auf LOW (Port 0 selektiert = HRG aus), so wird über das D-Fliflop Z8a das Latch Z22 ähnlich wie bei einem RESET* gesperrt: Es erfolgt keine Zumischung des HRG-Signals.

Liegt A0 auf HIGH (Port 1 selektiert = HRG ein), so geht der Ausgang Q von Z8a Pin9 auf HIGH und befähigt so das Latch Z22, die Daten zur Beimischung freizugeben.

Wird ein **OUT2,n** ausgeführt, also das LSB der Adresse eines Punktes transferiert, so wird durch Z2 der 8-Bit-D-Zwischenspeicher Z14 selektiert, der die Daten als A0-A7 auf den internen Adressbus (für die 12K) legt.

Das selbe in grün passiert bei einem **OUT3,n**, nur daß Z13 selektiert wird und die Daten als A8-A13 auf den internen Adressbus legt.

Bei einem **IN4,n** sollen 6 nebeneinanderliegende Grafikpunkte auf ihren Status geprüft werden.

Im Zusammenhang damit soll hier ein weiteres Problemchen der HRG angeschnitten werden: Man sieht, daß bei einem **OUT4,n** Pin 7 von Z2 auf LOW geht, der lediglich mit dem NAND Z9 verbunden ist. Dieses NAND taktet im Falle eines **WR*** oder **RD*** das Flipflop Z8b, das nun seinerseits über seinen Ausgang Q (Pin 5) ein HIGH auf die Freigabeeingänge der Leitungstreiber 74244 legt. Dies bewirkt, daß die Videoschaltung des TRS-80 **keinen** Zugriff auf die HRG hat, wenn ein Wert in die HRG geschrieben oder ausgelesen wird. Dies erzeugt zusätzliche kleine weiße Striche auf dem Bildschirm, wie man sie in ähnlicher Weise vom 'Normalbetrieb' des TRS-80 ohne HRG kennt. Für die im Normalbetrieb entstehenden Striche gibt es die 'SNOW SHOVEL', die die Striche unterdrückt (Wirkungsweise und Theorie der Entstehung solcher Striche in 80-Micro, Clubzeitung Nr. TRS-80 Reference Manual). Hat man diese eingebaut und dann auch die HRG, so schaut man recht dumm aus der Wäsche, da die ganze Modifikation quasi für die Katz' war - Die 'normalen' Striche sind zwar immer noch weg, aber neue von der HRG sind da. Ich muß hier bekennen, daß mir selbst noch nichts geeigneteres einfiel, um den Effekt auch bei der HRG zu beheben. Es gibt zwar von RB-Elektronik eine Modifikation (ca 60DM), die mir aber zu teuer ist. Anregungen zur Lösung des Problems nehme ich gerne entgegen.

Wozu nun diese Misere?

Die Videoschaltung des TRS-80 arbeitet quasi unabhängig vom Prozessor. Sie legt also ständig Adressen an die beiden Leitungstreiber 244 an, um die HRG-RAMs auszulesen. Will der Programmierer nun z.B. einen Punkt am Bildschirm setzen, so erzeugt er seinerseits eine Adresse, die er an Z13 und Z14 anlegt. Die beiden Adressen (die des Programmierers und die der Videoschaltung) kommen sich 100prozentig in die Quere: das Chaos ist perfekt.

So weit so gut; dies haben wir also durch 'Wegschalten' des Videoadressbusses in diesem Moment verhindert. Doch nach geschehenem Programmierzugriff (**OUTm,n** ist ausgeführt) sind die Leitungstreiber noch immer gesperrt und das Schieberegister Z10 immer noch gelöscht, da das D-Flipflop Z8b die Eigenschaft hat, die Informationen zu speichern. Es muß also zurückgesetzt werden.

Nach einem **OUT**-Befehl folgt logischerweise ein Zugriff auf die 'normalen' RAMs bzw ROMs (Fetch Opcode). Dies bewirkt, daß das Signal **MEMREQ*** auf LOW geht. Da es mit dem **RES***-Eingang des Flipflops verbunden ist, wird es gelöscht und Q geht wieder auf LOW: die Videoschaltung darf also wieder.

Wenn **RD*** LOW ist, so ist **WR*** HIGH. Damit ist der Richtungsselecteingang des Leitungstreibers/empfängers Z15 ebenfalls auf HIGH, was die Datenübertragung von der HRG 'nach außen' ermöglicht. Da auch der **WR*** Eingang der 6 RAMs bei einem **RD*** auf HIGH liegt, können die adressierten Daten ausgelesen und zum TRS-80 übertragen werden.

Wird ein **OUT5,n** ausgeführt, so gilt im Wesentlichen das selbe wie bei **IN4,n**. Der Unterschied besteht darin, daß Z15

Bernd Niedermeier Hirschbergweg 9 8011 Heimstetten ☎ <089> 903 57 31

nun so geschaltet wird, daß die HRG Daten empfangen kann. Weiterhin liegt nun der Eingang WR* der RAMs ebenfalls auf LOW, so daß Daten in sie geschrieben werden können.

Wie man sieht, ist das Signal WR* über 10 Inverter mit dem WR* Eingang der RAMs verbunden. Diese Inverter verzögern das WR* Signal, so daß erst geschrieben oder gelesen werden kann, wenn alle Daten und Adressen stabil anliegen.

Da die RAMs nur 11 Adressleitungen besitzen (A0-A10), muß noch eine zusätzliche Selectschaltung eingebaut sein, damit die 12K adressierbar sind. A11, A12 und A13 liegen auf den Eingängen von Z7, der wie Z2 als 1 aus 8 Verteiler geschaltet ist. Entsprechend der an den Eingängen A, B und C liegenden Binärdaten wird ein RAM selektiert.

Das LATCH-Signal geht alle sechs (waagerechten) Punkte kurz auf LOW. Das bedeutet: Hat das Schieberegister sämtliche 6 Dots rausgeschoben, so erhält das Latch Z22 mit der steigenden Flanke von LATCH den Befehl, die neuen anliegenden Daten zu speichern und auf die Ausgänge zu legen.

Das CLK Signal ist der Takt der Videoschaltung; das Schieberegister arbeitet also synchron.

LOAD* von Z10 wird deshalb über LATCH und DLYBLANK selektiert, damit das Schieberegister nicht dann geladen wird, wenn der Elektronenstrahl gar nichts schreiben darf (z.B. an den Bildschirmgrenzen). LATCH muß also LOW sein und DLYBLANK HIGH, denn dann darf der Strahl schreiben.

Die Funktionsweise der Schaltung ist nun hoffentlich einigermaßen verständlich erläutert. Nähere Informationen über die Arbeitsweise der Videoschaltung kann man im TRS-80 Reference Handbook nachlesen. Zum Schluß sei noch einmal erwähnt, daß ich sehr dankbar für Vorschläge zur Lösung des 'Strichproblems' wäre.

Das wär's dann für diesmal, Euer Bernie

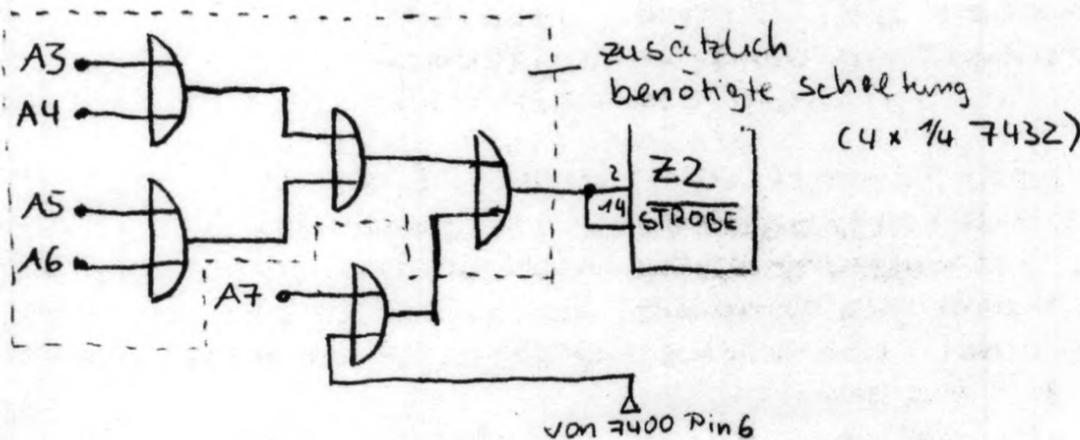
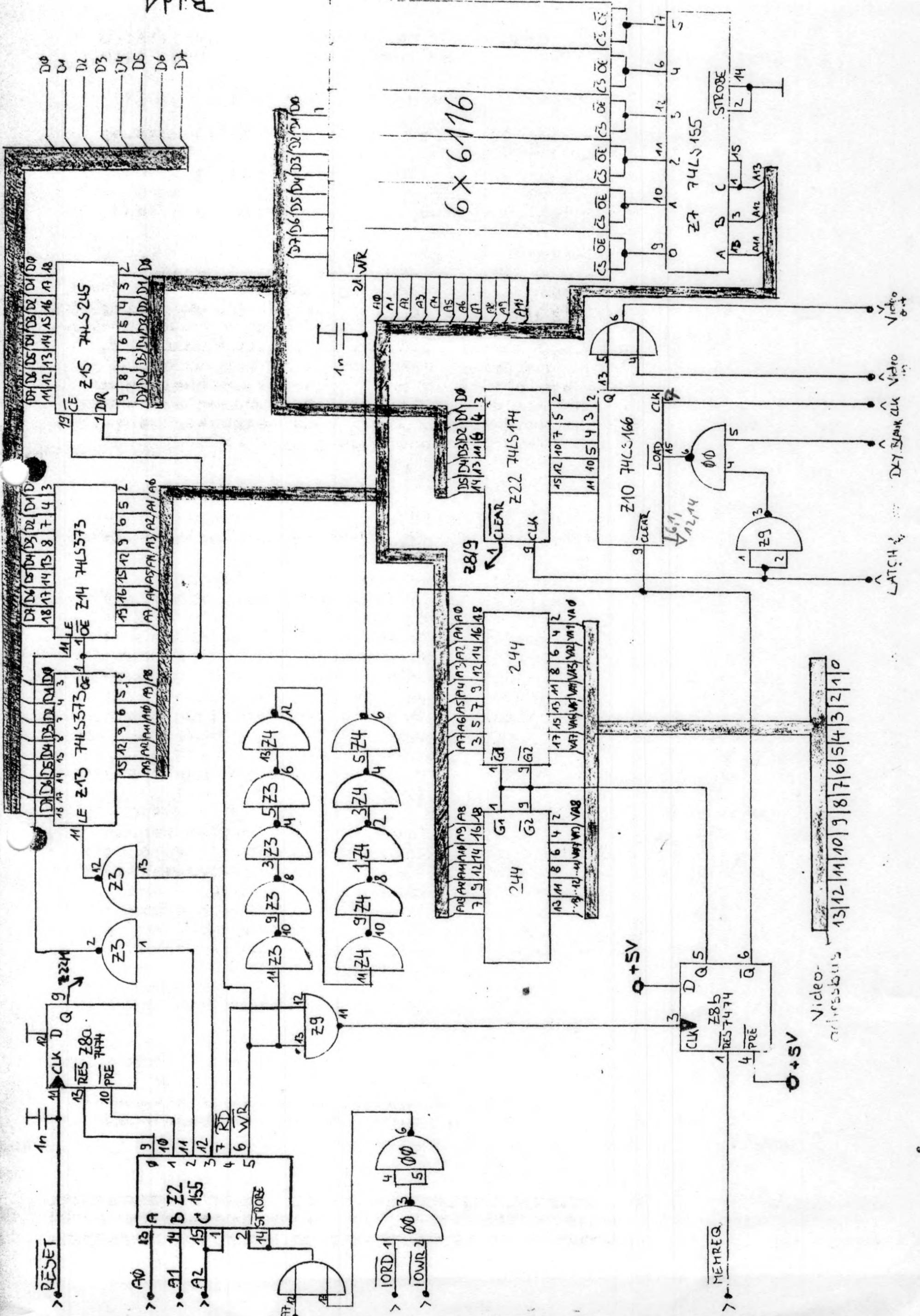


Bild 1



6x6116

Video-
addressbus 13|12|11|10|9|8|7|6|5|4|3|2|1|0