

### BESCHREIBUNG DER JK82 BUSPLATINE

#### 1. Aufbauhinweise:

Die VG-64 Federleisten werden von der B-Seite der Busplatine aus bestückt. Bei der Sicht auf die B-Seite kommt der Pin 1 der Federleisten oben zu liegen. Die Einkerbung der Federleisten liegt dann rechts.

Der Tantal-Kondensator, die Widerstände, die Diode und das IC werden ebenfalls von der B-Seite aus bestückt.

Danach werden die Printklemmen für die Spannungsversorgungen, Power-Fail und den RESET-Taster von der A-Seite aus so bestückt, daß die Kabelöffnungen der Printklemmen jeweils zur Mitte der Platine zeigen. Die Anschlüsse für die Power- und die DMA-LED, bestehend aus jeweils zwei Pfosten, und die 5x100nF Kondensatoren werden ebenfalls von der A-Seite aus bestückt.

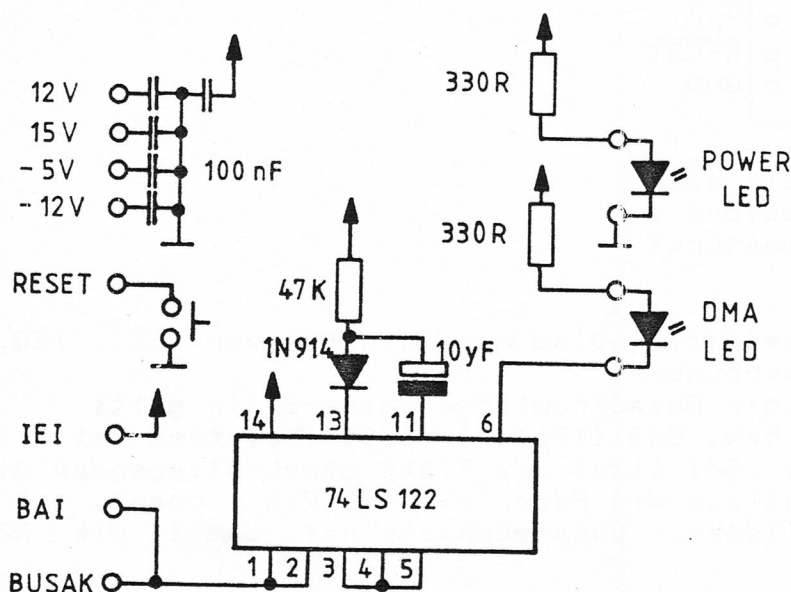
#### 2. Funktion:

Jede negative Flanke des BUSAK-Signals steuert das Monoflop an, so daß die DMA-LED für ca 0,5s leuchtet. Diese LED ist bei Systemen mit virtueller Disk sinnvoll, da so ein DMA-Zugriff auf das externe Memory optisch erkennbar wird.

Die Leitung IEI ist auf dem rechtesten Steckplatz (Sicht auf B-Seite, Pin 1 der Federleisten oben) auf 5V gelegt. Dieser Steckplatz hat somit die höchste Priorität in der Interrupt-Daisy-Chain.

Die Leitung BAI dieses Steckplatzes ist mit der Leitung BUSAK verbunden, so daß für die Busacknowledge-Daisy-Chain dieselbe Priorisierung gilt.

#### 3. Schaltplan:



#### 4. Stückliste:

1 Stück	74LS122	
1 Stück	Socket 14 pol.	
1 Stück	1N914 o.ä.	
2 Stück	330R	} 1/4 W
1 Stück	47K	
5 Stück	100nF	} 16 V
1 Stück	10yF	
4 Stück	Pfosten	
1 Stück	2 pol. Printkl.	
4 Stück	4 pol. Printkl.	
	VG-64 Federleisten	
	Je nach Busplatine	37

# BUSBELEGUNG DER JK82-PLATINEN

## Belegung der VG-64 Leiste

	a	c
+5V	o 1	o +5V
D5	o 2	o D0
D6	o 3	o D7
D3	o 4	o D2
D4	o 5	o A0
A2	o 6	o A3
A4	o 7	o A1
A5	o 8	o A8
A6	o 9	o A7
WAIT	o 10	o A16 *
BUSRQ	o 11	o IEI *
BAI	o 12	o A17 *
+12V	o 13	o A18 *
* A19	o 14	o D1
-5V	o 15	o -15V
2φ	o 16	o IEO
BA0	o 17	o A11
A14	o 18	o A10
+15V	o 19	o NC *
M1	o 20	o NMI
* NC	o 21	o INT
* DMARDY	o 22	o WR
* PF	o 23	o SELECT *
VCMOS	o 24	o RD
* NC	o 25	o HALT
* DESELECT	o 26	o PWCLR
IORQ	o 27	o A12
RFSH	o 28	o A15
A13	o 29	o φ
A9	o 30	o MRQ
BUSAK	o 31	o RESET
GND	o 32	o GND

\* von KONTRON'S ECB-BUS  
abweichende Busbelegung

PIN	JK82	KONTRON
10c	A16	MBS 0
12c	A17	MBS 1
13c	A18	MBS 2
14a	A19	MBS 3
19c	NC	MBS 5
21a	NC	MBS 6
22a	DMARDY	MBS 7
23a	PF	DPR
23c	SELECT	MBS 4
25a	NC	nφ
26a	DESELECT	WRITE EN.

MBS = Memory Bank Select  
PF = Power-Fail  
SELECT = Select für EPC

64 polige VG Leiste nach  
DIN 41612 Bauform c  
Reihe a, c voll bestückt

Alle Leitungen einer Busplatine sind mit Ausnahme von IEI, IEO, BAI und BA0 parallel durchverbunden.  
Für die Interrupt- und die Busacknowledge-Daisy-Chain gilt:  
Der Anschluß IEO (16c) bzw. BA0 (17a) eines Steckplatzes ist mit dem Anschluß IEI (11c) bzw. BAI (12a) des links danebenliegenden Steckplatzes verbunden (Sicht auf die Federleisten, Pin 1 oben).  
Der jeweils rechts liegende Bussteckplatz hat damit die höhere Priorität.