

MPR-II/DRAM-DOC Ausgabe Vers 1.0

MPR-II/DRAM-DOC

L A K O S A Microcomputer GmbH

Inhaltsverzeichnis

Kapitel	Überschrift	Seite
1	Allgemeines.....	1
1.1	Background-Refresh (BR).....	1
1.2	Error-Detection (ED).....	1
1.3	PAL-Logik.....	2
1.4	1MByte Adreßbereich (selektierbar).....	2
1.5	Output-Buffer-Disable (OBD).....	2
1.6	Strom- und Spannungsversorgung.....	2
1.7	Signaldefinition.....	2
2	Die Dekodier- und Steuereinheit (DSE).....	4
2.1	Der Dynamic Memory Controller (DMC).....	4
2.1.1	Der Refresh Counter.....	5
2.2	Early Write (EW).....	6
2.3	Die Selektion der DRAM- Karte.....	6

1 Allgemeines

Beim Einsatz des MPR-II Entwicklungssystems können jetzt sowohl statische als auch dynamische Speicherplatinen eingesetzt werden.

Die bisher eingesetzten statischen RAM-Karten (SRAM 32) arbeiten sehr zuverlässig und können ohne Probleme auf jedem ECB-Bus benutzt werden. Der Nachteil bei diesen Speichern ist jedoch der relativ große Platzbedarf und der hohe Preis.

Da bei neueren Computersystemen zunehmend der 64k Speicherbereich überschritten wird, und somit dem Platzbedarf und dem Preis eine größere Aufmerksamkeit geschenkt werden muß, sahen wir uns gezwungen, eine dynamische Speicherkarte (DRAM 256) zu entwickeln. Gegenüber herkömmlichen dynamischen Speicherkarten mußte diese einige Besonderheiten aufweisen, um die Spezifikationen des MPR-II zu erfüllen.

1.1 Background-Refresh (BR)

Beim BR handelt es sich um eine Erweiterung des Z-80 Refresh, der immer dann aktiv wird, wenn innerhalb von 15,5 Mikrosekunden kein Refresh (RFSH) bzw. kein MREQ ausgeführt werden kann. Dies kann während der aktiven Zeit des WAIT bzw. BUSREQ der Fall sein.

1.2 Error-Detection (ED)

Bei einer Speicherkarte dieser Größenordnung ist es ratsam mit der ED-Meldung zu arbeiten. Hierzu ist eine geringe Anpassung des Systems unumgänglich, da die Meldung einer Inhaltsveränderung der selektierten Speicherzelle mit Hilfe des MPR-II Interruptsystems (8259A) realisiert wurde. Der Ein-Platinen-Computer (EPC) hat die Möglichkeit mit Hilfe dieser Technik und einer speziellen Software eine Meldung bzw. den Abbruch des Programms bekannt zu geben. Diese ED-Logik befindet sich auf jeder DRAM-Karte, wird aber nur auf Wunsch als "OPTION ED" bestückt.

1.3 PAL-Logik

Mit Hilfe der PAL-Logik lassen sich auch später noch geringe Änderungen in der Dekodier- bzw. Steuereinheit (DSE) realisieren. Durch diese PALs ist es möglich geworden, die DRAM-Karte mit ihrer komplexen DSE auf das Einfach-Europaformat unterzubringen. Es handelt sich hierbei um 3 PALs der Serie 16L8 mit Tristate-Ausgängen.

1.4 1MByte Adreßbereich (selektierbar)

Die DRAM-Karte kann mit Hilfe von DIL-Schaltern wahlweise in die vier Teilbereiche des 1MByte Adreßbereichs gelegt werden. Überlappungen der Speicherbereiche (Common RAM Bereich) mit statischen RAM-Karten sind möglich, wenn diese ein Output-Buffer-Disable erzeugen.

1.5 Output-Buffer-Disable (OBD)

Wird ein OBD-Signal (26a) von einer anderen Karte gesendet (EPC bzw. SRAM), so erkennt die DRAM-Karte dieses Signal und sperrt seine Ausgabepuffer (Datenleitungen werden ECB-Bus seitig hochohmig).

1.6 Strom- und Spannungsversorgung

Die DRAM-Karte benötigt eine Versorgungsspannung von +5 Volt. Die Stromaufnahme beträgt bei:

64k Byte	ca. 600 mA
128k Byte	ca. 640 mA
192k Byte	ca. 680 mA
256k Byte	ca. 720 mA

1.7 Signaldefinition

Die Speicherkarte ist für den MPR-II Bus (ECB-kompatibel) ausgelegt und benötigt die ELZET-80-Adreßerweiterung:

Adr. 16	=	Pin 19c
Adr. 17	=	Pin 17a
Adr. 18	=	Pin 12a
Adr. 19	=	Pin 12c

Wichtig: Diese Leitungen sollten im Gegensatz zu den anderen Steuerleitungen nur mit Widerständen (470 Ohm) gegen GND definiert werden. Eine störungsfreie Definition dieser Adreßleitungen ist die Voraussetzung für fehlerfreies Arbeiten der Speicher. Sollten im einfachen Betrieb die Steuerleitungen BUSREQ, WAIT, OBD und IOREQ nicht gebraucht werden, so müssen diese auf High liegen.

2 Die Dekodier- und Steuereinheit (DSE)

Bei der Entwicklung der DSE wurden neben den Pal's auch spezielle Steuer- und Treiber IC's eingesetzt. Anstelle der üblichen TTL-Gatter wurden die PAL's der Serie MMI 16L8 (mit Tristate-Ausgängen) verwendet. Diese programmierbaren Logik-Bausteine benötigen einen geringen Platzbedarf und zeichnen sich durch ihre Flexibilität aus. Im Zusammenspiel mit dem Dynamic Memory Controller (DMC) der Firma AMD (Am 2964B) bilden sie den Hauptteil der Steuereinheit.

2.1 Der Dynamic Memory Controller (DMC)

Der DMC-Baustein (IC1) bildet den Mittelpunkt der DSE. Seine speziell benötigten Steuerleitungen kommen direkt vom ECB-Bus, oder werden über die PAL's erzeugt (MSEL, CASI, RASA, RFSHA und CASO). Die Eingänge belasten den ECB-Bus mit einer halben LS-Last. Die Ausgänge (O0-07, RAS0- RAS3) werden über den speziellen Treiber Baustein Am 2966 (IC6) auf die RAM's gelegt. Die Treiberbausteine Am 2966 (IC6, IC7) sind speziell für RAM's entwickelt worden und zeichnen sich durch ihre besonderen Eigenschaften aus:

1. Interne Widerstände sorgen für ein symmetrisches Treiben von Low => High und von High => Low, ohne zusätzliche Widerstände in Reihe schalten zu müssen.
2. Unterschwingen im Low-Bereich kleiner als 0,5V
3. Schneller als der Pinkompatible S240 bzw. 244 Treiber
4. Keine Störimpulse beim Ein- und Ausschalten der Betriebsspannung
5. Keine Störimpulse beim Umschalten in den Tristate-Zustand

2.1.1 Der Refresh Counter

Der 8 Bit Refresh Counter befindet sich im DMC-Baustein und hat die Möglichkeit bis 128 oder 256 zu zählen. In dieser DSE zählt er bis 256 (4164 benötigt nur 128 Lines) um die Adressleitung A15 nicht mit Hilfe eines 1kOhm Widerstandes auf 12V legen zu müssen. Als Refresh-Art wurde der RAS- Only- Refresh gewählt, dessen Steuerung hauptsächlich mit dem PAL3 realisiert wurden. Dieses PAL erzeugt bei jedem Z-80 Refresh das RFSHA- Signal, welches den DMC veranlaßt einen Refresh- Zyklus auf allen vier Bänken durchzuführen (RAS ohne CAS aktiv).

PAL1 berücksichtigt im Zusammenspiel mit PAL3 (IC9) die Sonderfälle beim Z-80 Timing. D.h., wird der CPU- Refresh über ein WAIT- Signal oder BUSREQ- Signal länger als 15,5 Mikrosekunden unterdrückt, so sendet die DSE mit Hilfe dieser PAL's (IC3,IC9) ein RFSHA Signal an den DMC-Baustein. Der zeitliche Ablauf dieses eingefügten Refreshs (Background- Refresh) wird mit dem Zählerbaustein IC2 (74LS 393) gesteuert. Dieser Zählerbaustein bekommt seinen Takt vom ECB- Bus und kann je nach Rechner System auf PHI (4MHz) bzw. NPHI (8 MHz) gebrückt werden.

Die Standardverbindung besteht nach NPHI, da dieser Takt beim MPR-II- System konstant auf 8 MHz liegt. Bei einer System frequenz von 4 MHz sind die Ausgänge des Zählerbausteins um eine Bitstelle nach unten zu verschieben (BDEFG nach ACDEF). Mit dieser Zählerkombination kann die Refresh- Zeit (15,5 Mikrosekunden) verändert werden. Die Refresh- Zeit sollte ca. 200 nSec. betragen und nicht vorzeitig abgebrochen werden, da sonst unzulässige Veränderungen im Speicher auftreten könnten. Das PAL1 berücksichtigt dies zum Teil, kann aber nur dann richtig reagieren, wenn die Aufflanken des WAIT bzw. BUSREQ- Signals über den Takt synchronisiert werden.

Bei dieser Logik (PAL1) werden die Flanken des WAIT, MREQ bzw. BUSREQ- Signals in Impulse verwandelt und über die CLR- Verknüpfung zum Rücksetzen des Zählerbausteins freigegeben. Kommen während eines längeren Zeitraums (größer 15,5 Mikrosekunden) keine Rücksetzimpulse, so wird vom Zähler der letzte B-Takt vor dem Rücksetzen durch die eigenen Ausgänge (BDEFG), als eingefügter Refresh- Takt verarbeitet. Mit dieser Technik war es möglich, eine Art pseudostatisches Verhalten der DRAM- Karte zu erreichen.

2.2 Early Write (EW)

Bei der Konstruktion dieser Karte sollten die Ausgänge mit den Eingängen direkt an den RAM's verbunden werden, um einen geringeren Verdrahtungsaufwand bewältigen zu müssen. Bei dieser Technik ist es aber notwendig mit einem EARLY-WRITE- Signal zu arbeiten. Dies wurde durch eine zusätzliche Logik (PAL2) aus den Z-80 Befehlen RD, RFSH und MREQ selektiert

$$/WE = / MREQ * RD * RFSH$$

Die Richtungsfreigabe des Datenpuffers 74LS245 (IC4) wird vom WE- Signal und der Selektion der jeweiligen DRAM- Karte bestimmt.

2.3 Die Selektion der DRAM- Karte

Für die Selektion der DRAM- Karte stehen 10 DIL- Schalter zu Verfügung, die in zwei Gruppen von jeweils 2 und 8 Schaltern aneinander gereiht sind.

Gruppe 1: Selektion der 256- Blöcke

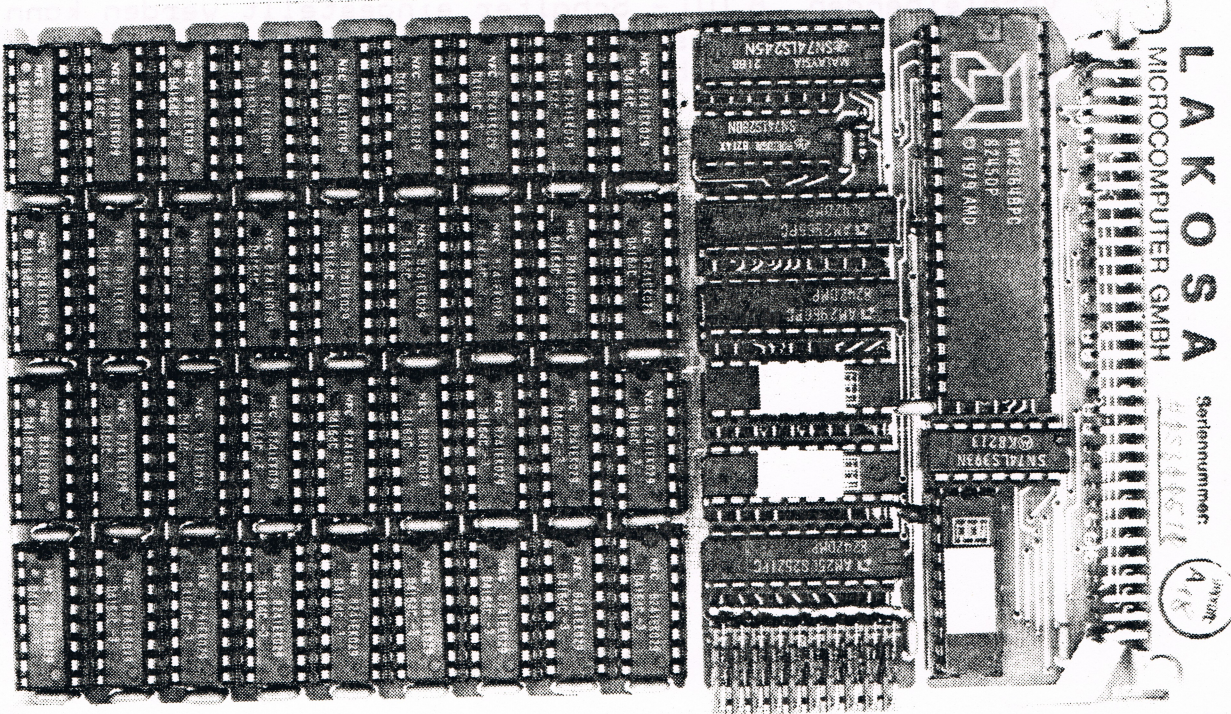
Die DRAM- Karte kann mit Hilfe von zwei DIL- Schaltern wahlweise in die vier Teilbereiche des 1MByte Adreßbereichs gelegt werden. Der erste DIL- Schalter (geringste Entfernung zur VG- Steckerleiste) hat die Bezeichnung S1. Der letzte DIL- Schalter (weiteste Entfernung zur VG- Steckerleiste) hat die Bezeichnung S10

S2	S1	
on	on	0- 256 KByte
on	off	256- 512 KByte
off	on	512- 768 KByte
off	off	768- 1024 KByte

Gruppe 2: Selektieren der Kanalnummer für das Rücksetzen einer Fehlermeldung.

Wird eine Error- Meldung mit Hilfe eines Interrupts der CPU- Platine bekannt gegeben, so kann die CPU diese

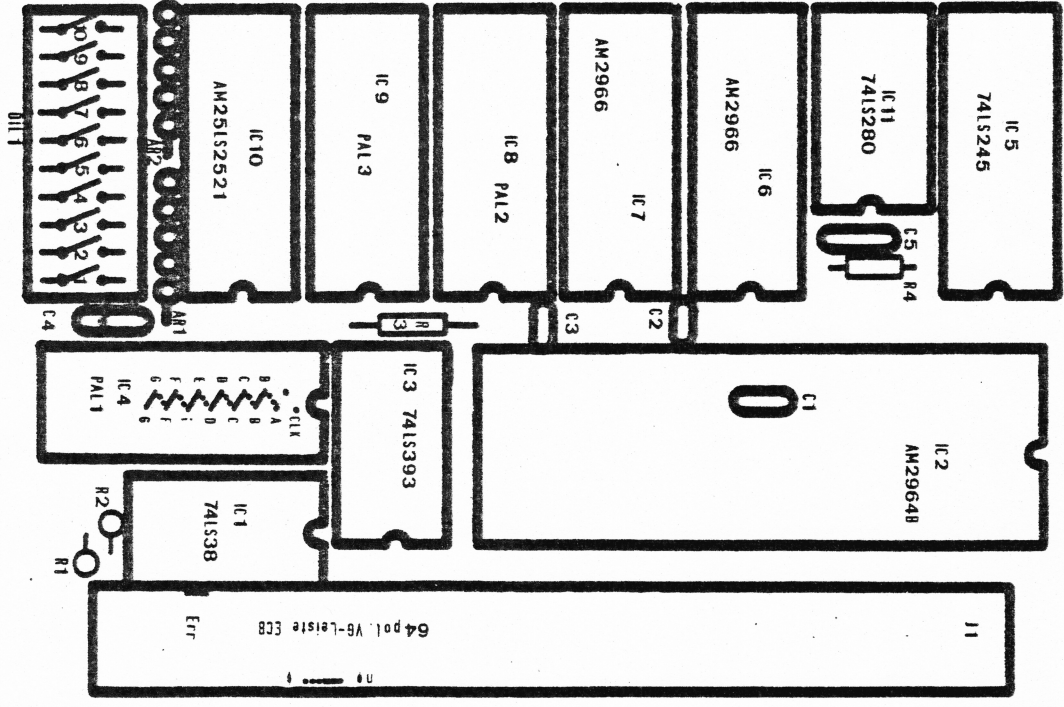
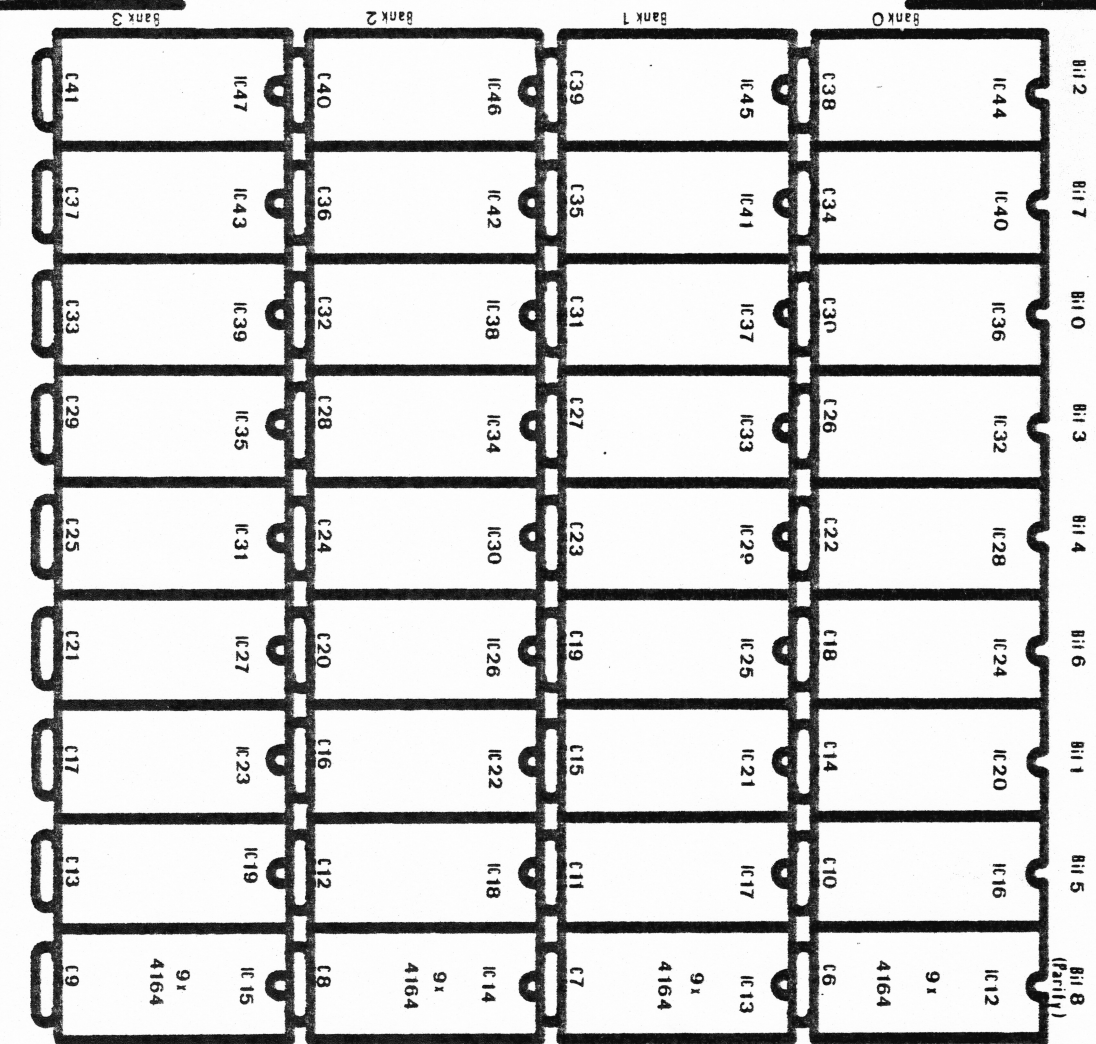
Meldung nach dem Verarbeiten wieder zurücksetzen. In jedem System sind bestimmte Ein- Ausgabeadressen schon vergeben, so daß die Kanalnummern beliebig mit Hilfe der verbleibenden 8 DIL- Schalter eingestellt werden kann (256 Möglichkeiten). Das Rücksetzen des ERROR- Flip- Flops wird durch einen Lesebefehl der selektierten Kanalnummer erreicht. Der Inhalt ist dabei uninteressant.



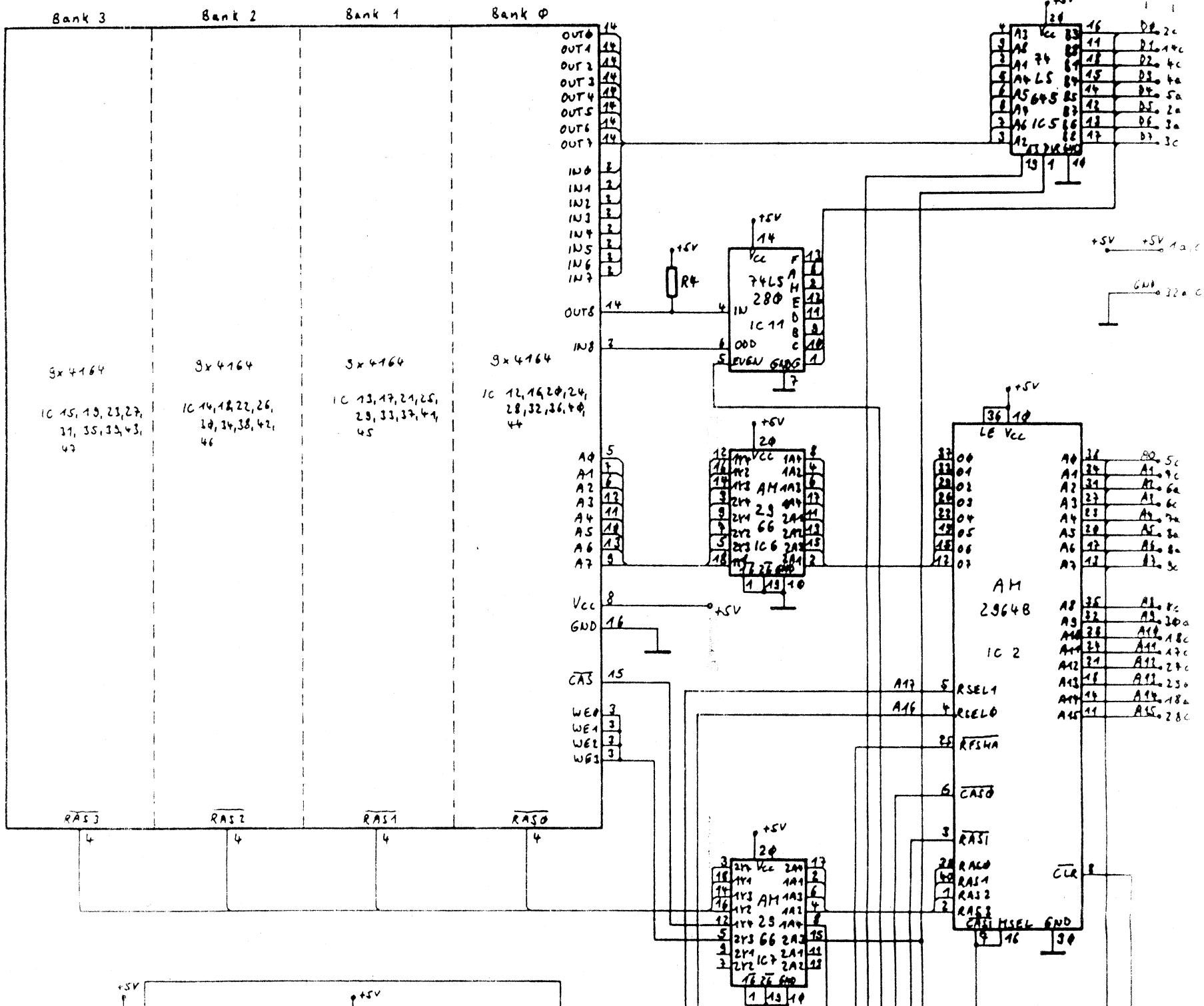
LAKOSA
MICROCOMPUTER GMBH

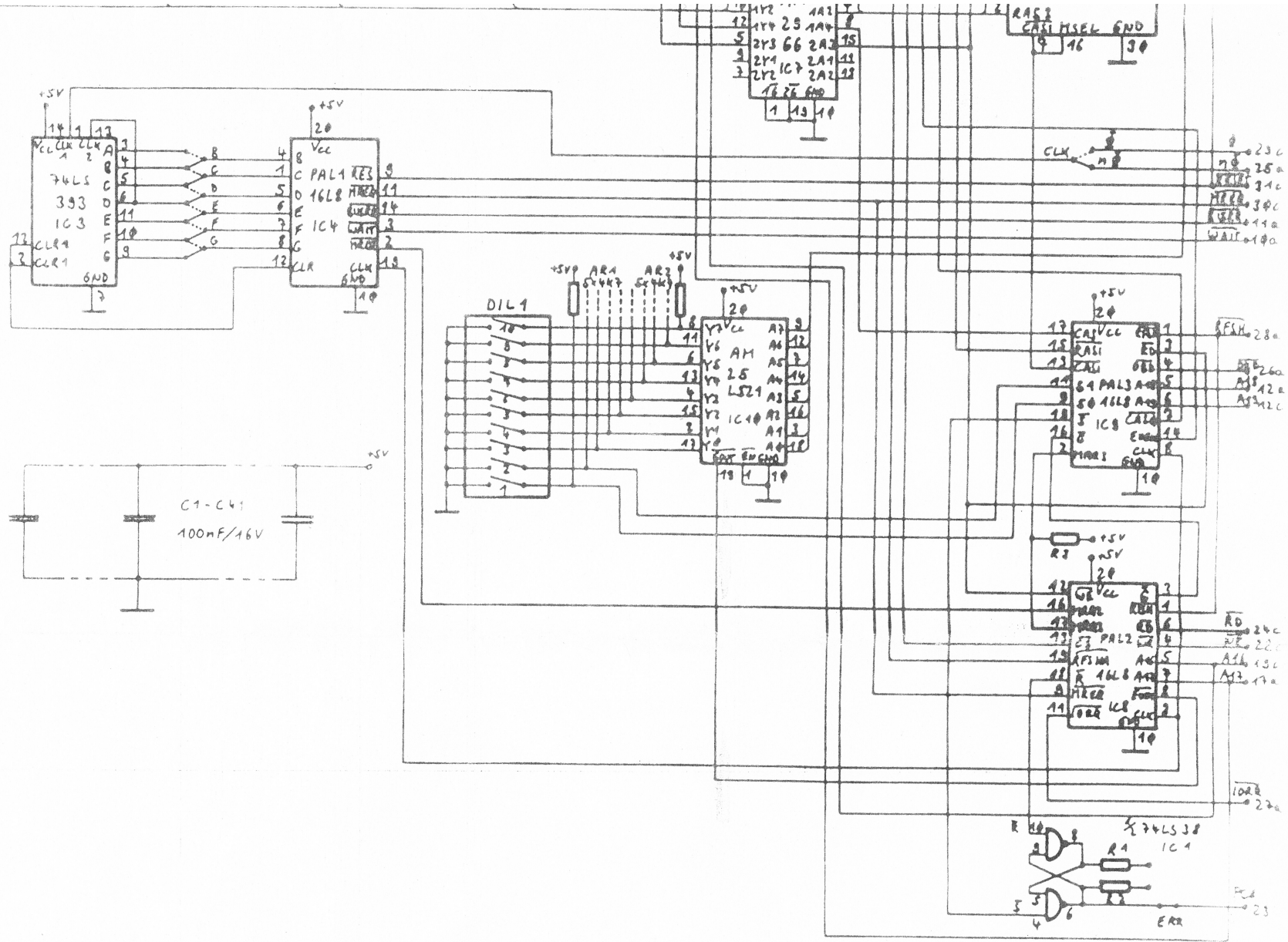
Seriennummer: 4521621





MFR. II/DRAM256/1.1-06.83





					DATE	SIGNATURE	LAKOSA	BATT
					1983		MICROCOMPUTER GMBH	36
					14.4.	entw.		VOM
					16.6.	ges. R. <i>[Signature]</i>	MPR-II-SYSTEM	15
						gepr.		
						gepr.		
						gepr.		
						abw.		
							256 KBYTE dyn. RAM	

Symbol	Value	Quantity	IC	Part Number	Quantity
			IC12	4964	36
			IC11	74LS273	1
			IC10	AM2966	1
R4	470Ω/1/4W	1	IC8	74LS645	1
C1-C4	100nF/16V	4	IC9	74LS393	1
AR1,2	ARRAYS 74LS273	2	IC3	PAL16L8	3
R7	150Ω/1/4W	1	IC7	74LS393	1
R1,2	1.2kΩ/1/4W	2	IC2	AM2964R	1
J1	64pin. V6-Stecker	1	IC1	74LS273	1