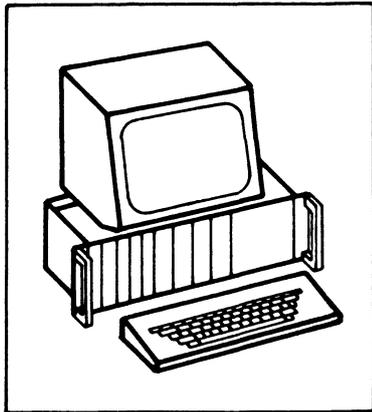




# FACHPRAKTISCHE ÜBUNG MIKROCOMPUTER-TECHNIK



## Programmierbare Serienschnittstelle

**BFZ/MFA 4.4.**



---

Diese Übung ist Bestandteil eines Mediensystems, das im Rahmen eines vom Bundesminister für Bildung und Wissenschaft, vom Bundesminister für Forschung und Technologie sowie der Bundesanstalt für Arbeit geförderten Modellversuches zum Einsatz der "Mikrocomputer-Technik in der Facharbeiterausbildung" vom BFZ-Essen e.V. entwickelt wurde.

---



---

## Programmierbare Serienschnittstelle

---

### 1. Einleitung

Jeder Mikrocomputer enthält neben dem Prozessor und dem Speicher Ein- und Ausgabeeinheiten, über die der Datenverkehr mit Geräten außerhalb des Mikrocomputers stattfindet. Häufig bezeichnet man Ein- und Ausgabeeinheiten auch als "Eingabe- bzw. Ausgabe-Ports" oder als "Eingabe- bzw. Ausgabeschnittstellen" und die Geräte außerhalb des Mikrocomputers als "Peripheriegeräte".

Die zu übertragenden Daten können entweder seriell oder parallel übermittelt werden. Bei der seriellen Übertragung werden die einzelnen Bits eines Datenbytes nacheinander über eine Leitung gesendet oder empfangen, während sie bei der parallelen Datenübertragung gleichzeitig über entsprechend viele Leitungen geführt werden.

Innerhalb einer bestimmten Zeit kann mit der parallelen Datenübertragung eine wesentlich größere Datenmenge übermittelt werden als mit der seriellen. Der Aufwand ist jedoch durch die hohe Leitungszahl recht groß. Daher wird die Parallelübertragung vor allem eingesetzt, wenn große Datenmengen in kurzer Zeit über geringe Entfernungen übertragen werden müssen. Beispiele hierzu sind der Anschluß von Schnelldruckern oder Floppy-Disk-Datenspeichern an Computersysteme.

Bei großen Entfernungen zwischen Peripheriegerät und Mikrocomputer bevorzugt man die serielle Datenübertragung. Dies ist z.B. im Fernschreibverkehr, beim Bildschirmtext (BTX) und beim TELETEXT der Fall. Hier werden häufig Telefonleitungen zur Datenfernübertragung verwendet. Bestimmte Peripheriegeräte werden allerdings auch bei geringen Entfernungen seriell angesteuert, wie z.B. Kassettenrecorder zur magnetischen Datenaufzeichnung.

In dieser Übung wird eine serielle Ein-/Ausgabebaugruppe zum BFZ/MFA-Mikrocomputer beschrieben, die einen programmierbaren Schnittstellenbaustein mit seriellem Datensender und seriellem Datenempfänger besitzt. Die Programmierbarkeit des Schnittstellenbausteins ermöglicht die Verarbeitung aller gebräuchlichen Datenübertragungsformate, wodurch die "Programmierbare Serienschnittstelle" universell verwendbar ist. Sie wird direkt in den Baugruppenträger des BFZ/MFA-Mikrocomputers eingesetzt und ist ohne Abgleich betriebsbereit.

Die Erklärung der programmierbaren Serienschnittstelle beschränkt sich auf die asynchrone Betriebsweise und ist auf den Einsatz im BFZ/MFA-Computer abgestimmt. Darüber hinausgehende Informationen müssen den Datenbüchern der Bausteinhersteller entnommen werden.

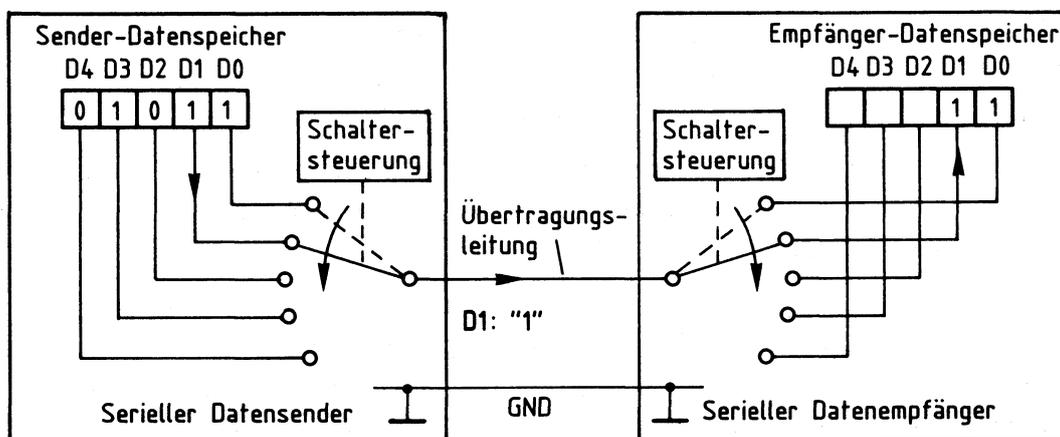
---

 Programmierbare Serienschnittstelle
 

---

## 2. Grundlagen der seriellen Datenübertragung

Zur seriellen Datenübertragung ist ein serieller Datensender, eine Übertragungsleitung und ein serieller Datenempfänger erforderlich. Da die Daten eines Mikrocomputers auf dem Datenbus in paralleler Form vorliegen, erfolgt im Datensender eine Parallel-/Seriell-Umwandlung. Der Empfänger besitzt eine Seriell-/Parallel-Umwandlung, wodurch wieder die parallele Datenform entsteht. Die Wandlung paralleler Daten in serielle und umgekehrt erfolgt z.B. mit Hilfe von Schieberegistern. Bild 1 zeigt das Prinzip der seriellen Datenübertragung, wobei zur Vereinfachung der Darstellung von einem 5-Bit-Datenbus ausgegangen wird.



**Bild 1: Prinzip der seriellen Datenübertragung**

Im seriellen Datensender befindet sich ein Sender-Datenspeicher, der das auszugebende Datenwort "01011" enthält (Bild 1). Es stammt z.B. aus dem Akku eines Prozessors und ist über den Datenbus in den Sender-Datenspeicher gelangt.

Der 5polige Umschalter des Datensenders schaltet nacheinander für eine gewisse Zeit jedes Datenbit auf die Übertragungsleitung durch und wechselt dann zum nächsten Bit. Die Übertragung beginnt stets beim niederwertigsten Bit D0. Im Empfänger befindet sich ebenfalls ein Umschalter, über den die ankommenden Datenbits einzeln in den Empfänger-Datenspeicher gelangen. In der gezeichneten Schalterstellung wird gerade das Bit D1 übertragen. Die Umschalter im Sender und Empfänger werden jeweils durch eine "Schaltersteuerung" betätigt.

Für eine korrekte Datenübertragung müssen folgende Bedingungen erfüllt sein:

- Die Umschaltung der Schalter muß gleichzeitig ("synchron") erfolgen. Dies wird durch die Verwendung der gleichen Taktfrequenz der Schaltersteuerungen im Sender und im Empfänger erreicht. Durch die Taktfrequenz wird die sog. "Baudrate" bestimmt. Sie ist ein Maß für die Anzahl der pro Sekunde übertragenen Bits.

## Programmierbare Serienschnittstelle

- Der Empfänger muß den Beginn der Datenübertragung erkennen können, damit er seinen Schalter in die Anfangsposition stellen kann. Hierzu dient ein zusätzliches Bit, das "Startbit", das vor den Datenbits vom Sender ausgegeben wird.
- Auf der Sender- und der Empfängerseite muß die gleiche Datenwortbreite (z.B. 5 Bit) vorliegen. Hierdurch kann der Empfänger das Ende einer Datenübertragung feststellen. Zur Trennung zweier Datentelegramme wartet der Sender nach der Ausgabe der Datenbits eine gewisse Zeit, bevor eine neue Übertragung beginnt. Diese Zeit wird durch "Stopbits" bestimmt.

### 2.1. Die Baudrate

Auf der Sender- und der Empfängerseite muß stets die gleiche Schaltgeschwindigkeit vorliegen, was durch die Verwendung der gleichen Taktfrequenz erzielt wird. Die Höhe der Taktfrequenz bestimmt, wieviel Bit pro Sekunde übertragen werden. Die Einheit der Übertragungsgeschwindigkeit ist 1 Bd (Baud, nach dem franz. Ing. Baudot) und bedeutet 1 Bit pro Sekunde. Bei 300 Bd werden z.B. in einer Sekunde 300 Bit übertragen, wobei ein Bit eine zeitliche Dauer von 3,33 ms besitzt. Bild 2 gibt einige in der Datenübertragungstechnik häufig verwendete Baudraten, die zugehörige zeitliche Länge eines Bits und typische Einsatzgebiete hierzu an.

Übertragungsgeschwindigkeit (Baudrate) in Bd	Länge eines Bits (Dauer der Übertragung eines Bits) in ms	Anwendungsbeispiele
50	20	TTY (Teletype, Fernschreiber), RTTY (Radio-Teletype, Funkfernschreiber), teilweise BTX (Bildschirmtext) Datenübertragung über Telefonleitungen, Fernkopierer, BTX, Datenspeicherung auf Tonbandkassetten, TELETEXT; Anschluß von Terminals an Computer, innerbetriebliche Datenübertragung, schnelle Drucker und Datenstationen
75	13,3	
110	9,1	
300	3,3	
600	1,67	
1200	0,83	
2400	0,42	
4800	0,21	
9600	0,1	
19200	0,05	

Bild 2: Gebräuchliche Baudraten

---

 Programmierbare Serienschnittstelle
 

---

## 2.2. Das Startbit und die Stopbits

Damit der Datenempfänger den Anfang einer Datenübertragung erkennt, fügt der Datensender ein zusätzliches Bit, das "Startbit", in den Datenstrom ein. Es wird vor dem ersten Datenbit ausgesendet und hat stets L-Pegel. Außerdem ist festgelegt, daß die Übertragungsleitung im Ruhezustand, also vor dem Aussenden des Startbits, H-Pegel besitzt.

Nach der Übertragung des Startbits und der Datenbits folgt stets eine Pause, die durch sog. Stopbits gebildet wird, bevor das nächste Datenwort zur Übertragung gelangt. Diese Pause hat mindestens eine Dauer von einem Bit, wird aber meistens länger gewählt (1,5 Bit, 2 Bit oder mehr). Die Pause zwischen zwei Datenworten ist zur Trennung der Datentelegramme erforderlich. Außerdem kann der Sender in dieser Zeit neue Daten zur Aussendung entgegennehmen und der Empfänger die empfangenen Daten weiterverarbeiten (z.B. abspeichern). Startbit und Stopbits werden im Empfänger wieder aus dem Datenstrom entfernt, so daß nur die eigentlichen Datenbits erhalten bleiben.

Bild 3 zeigt das Impuldsdiagramm bei der seriellen Datenübertragung von fünf Datenbits mit Start- und zwei Stopbits. Hierbei wird (wie im Beispiel von Bild 1) der Datenwert "01011" übertragen.

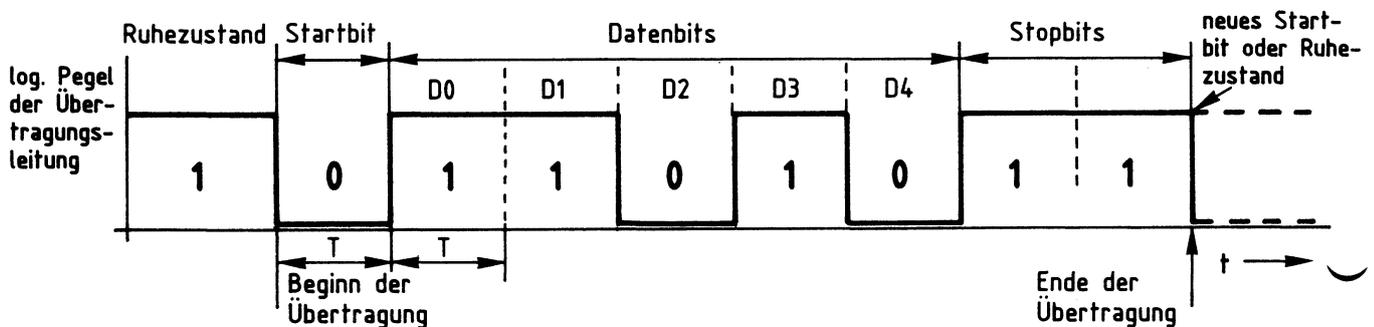


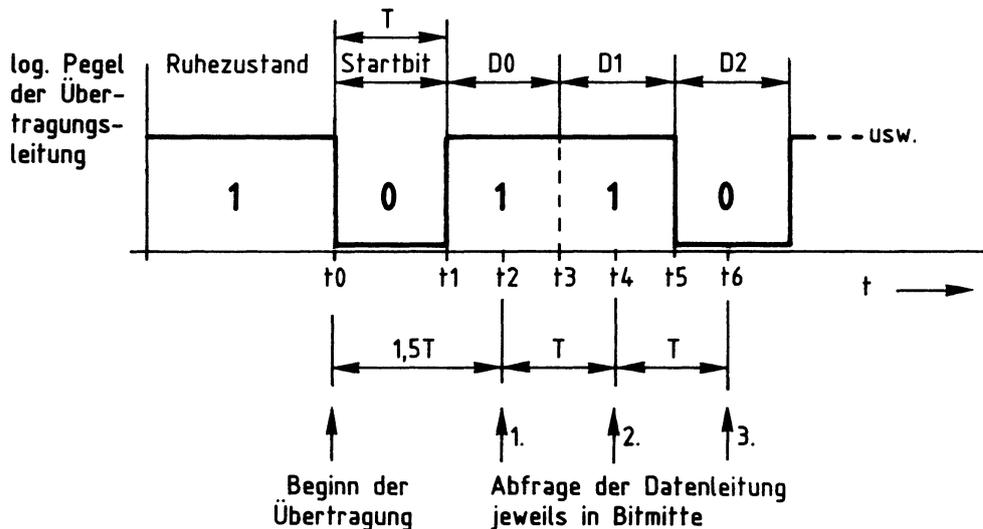
Bild 3: Serielle Übertragung mit Start- und Stopbits

Vor dem Beginn der Übertragung, im Ruhezustand, führt die Übertragungsleitung 1-Signal (Bild 3). Der erste 1/0-Wechsel wird vom Empfänger als Beginn der Datenübertragung (Beginn des Startbits) aufgefaßt. Alle Bits besitzen die Dauer T, durch welche die Übertragungsgeschwindigkeit (Baudrate) festgelegt ist.

Im Empfänger, der dieselbe Baudrate wie der Sender besitzt, wird davon ausgegangen, daß die fünf Datenbits nach dem Startbit jeweils im Abstand T auftreten. Aus Sicherheitsgründen wartet der Empfänger aber nicht nur die Zeit T ab, bis er das erste Datenbit aufnimmt, sondern noch etwas länger.

## Programmierbare Serienschnittstelle

Die Abfrage der Übertragungsleitung zur Ermittlung des ersten Datenbits erfolgt  $1,5 T$  nach der 1/0-Flanke des Startbits und somit in der "Bitmitte" von D0. Hierdurch wird mit Sicherheit nicht der Bitwechsel, sondern stets der eingeschwungene Zustand der Übertragungsleitung erfaßt. Alle weiteren Bits werden im Abstand  $T$  betrachtet. Bild 4 zeigt dies im einzelnen.



**Bild 4: Abfrage der Datenleitung in Bitmitte**

Zum Zeitpunkt  $t_0$  tritt das Startbit auf und zum Zeitpunkt  $t_1$  das erste Datenbit (Bild 4).  $1,5$  Perioden nach dem Beginn des Startbits ist zum Zeitpunkt  $t_2$  die Mitte des ersten Datenbits erreicht, bei welcher der Empfänger den Bitwert liest. Nach jeweils einer weiteren Taktzeit werden immer zur Bitmitte die folgenden Datenbits erfaßt (D1 bei  $t_4$ , D2 bei  $t_6$  usw.). Durch diese Vorgehensweise werden die Zeitpunkte, an denen sich die Daten ändern können ( $t_1$ ,  $t_3$ ,  $t_5$  usw.), mit Sicherheit nicht erfaßt, sondern erst die stabilen, eingeschwungenen Signalzustände der Übertragungsleitung.

### 2.3. Das Paritätsbit

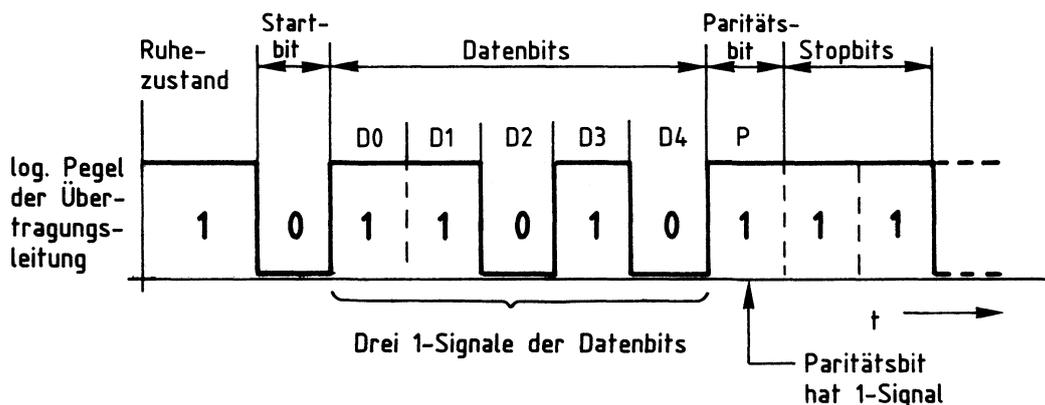
Vielfach soll auf der Empfängerseite kontrolliert werden, ob bei der seriellen Datenübertragung Fehler auftreten. Dies ist mit Hilfe des "Paritätsbits" (Parität = Gleichheit) möglich. Das Paritätsbit wird (nur bei gewünschter Fehlerkontrolle) zusätzlich als Prüfbit nach den Datenbits, aber vor den Stopbits ausgesendet. Es besitzt in Abhängigkeit vom Datenwert 1- oder 0-Signal, wobei der Wert des Paritätsbits vom Datensender selbständig nach bestimmten Kriterien berechnet und dann automatisch an das letzte Datenbit angefügt wird.

---

 Programmierbare Serienschnittstelle
 

---

Man unterscheidet zwei Arten, das Paritätsbit zu bilden: Bei der "geraden Parität" (engl. "Parity even") nimmt das Paritätsbit den Wert an, der erforderlich ist, zusammen mit den Datenbits eine gerade Anzahl von 1-Signalen (0, 2, 4 usw.) zu bilden. Wählt man die "ungerade Parität" (engl. "Parity odd"), nimmt das Paritätsbit denjenigen Wert an, der zur Erzielung einer ungeraden Anzahl von 1-Signalen (1, 3, 5 usw.) erforderlich ist. Bild 5 zeigt ein Beispiel zur geraden Parität.



**Bild 5: Gerade Parität (Beispiel 1)**

In Bild 5 wird der Datenwert 01011, der dreimal 1-Signal besitzt, mit gerader Parität übertragen. Das Paritätsbit nimmt in diesem Beispiel 1-Signal an, damit insgesamt vier 1-Signale (eine gerade Zahl) auftreten.

Im Datenempfänger wird aus den fünf Datenbits selbständig ein Paritätsbit berechnet und mit dem empfangenen Paritätsbit verglichen. Sind beide gleich, kann mit hoher Wahrscheinlichkeit von einer korrekten Datenübertragung ausgegangen werden. Mit Hilfe des Paritätsbits lassen sich allerdings nicht alle Übertragungsfehler (z.B. Doppelbitfehler) erkennen.

Bild 6 zeigt als weiteres Beispiel zur geraden Parität die Übertragung des Datenwertes 01010. Da hier zwei 1-Signale (eine gerade Zahl) vorkommen, tritt das Paritätsbit diesmal mit 0-Signal auf, damit die gerade Gesamtzahl der 1-Signale erhalten bleibt.

---

 Programmierbare Serienschnittstelle
 

---

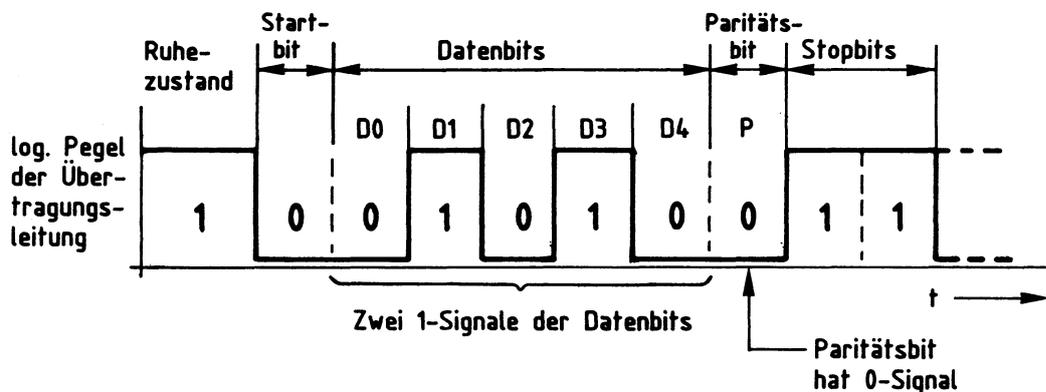


Bild 6: Gerade Parität (Beispiel 2)

Für die ungerade Parität ist kein Beispiel angegeben. Hierbei gilt sinngemäß, daß durch das Paritätsbit insgesamt eine ungerade Bitzahl erzeugt wird. Es ist gleich, ob bei der Überwachung der seriellen Datenübertragung die gerade oder die ungerade Parität gewählt wird. Beachtet werden muß lediglich, daß die Empfängerseite diejenige Parität überprüfen muß, die in der Senderseite gebildet wird.

#### 2.4. Das Übertragungsformat und die Überwachung von Stopbits

Sender und Empfänger einer seriellen Datenübertragungsstrecke müssen stets das gleiche Datenübertragungsformat besitzen. Hierunter versteht man die Baudrate, die Anzahl der Datenbits und, wenn sie vorgenommen wird, die Paritätsprüfung. Auch die Anzahl der Stopbits gehört dazu, sie sollte gleich sein, jedoch darf der Sender eine größere Anzahl von Stopbits aussenden, als im Empfänger erwartet werden. Zusätzliche Stopbits des Senders werden im Empfänger nicht bemerkt, sondern als "Ruhezustand der Übertragungsleitung" aufgefaßt. Nicht vorkommen darf, daß der Empfänger z.B. zwei Stopbits erwartet, der Sender aber nur ein Stopbit ausgibt.

Zur zusätzlichen Fehlerkontrolle überprüfen viele serielle Datenempfänger neben dem Paritätsbit auch das Datenübertragungsformat, das auch als "Übertragungsrahmen" bezeichnet wird. Durch das auf der Sender- und der Empfängerseite einheitliche Übertragungsformat kann der Empfänger das Auftreten des ersten Stopbits vorhersagen und dieses Bit überprüfen. Es muß zu einem bestimmten Zeitpunkt stets mit 1-Signal auftreten. Ist dies nicht der Fall, liegt ein Fehler im Datenübertragungsformat bzw. im Übertragungsrahmen vor. Ein derartiger Fehler wird oft als "Frame-Error" (frame = engl. "Rahmen", "Rahmenfehler") bezeichnet.

---

## Programmierbare Serienschnittstelle

---

### 2.5. Synchrone und asynchrone Datenübertragung

Bei der seriellen Datenübertragung wird meistens das beschriebene Start-/Stop-Verfahren angewendet. Man bezeichnet es im allgemeinen als "asynchrones Datenübertragungsverfahren", weil die Synchronisation (der Gleichlauf) zwischen dem Sender und dem Empfänger nur durch das Startbit erfolgt und der Empfängertakt nicht beeinflußt wird.

Auch bei längeren Übertragungen oder nach größeren Übertragungspausen wird beim Asynchronverfahren durch das Startbit eine einwandfreie Synchronisation erzielt. Dieser Gleichlauf braucht immer nur für kurze Zeit zu bestehen, da jedes übertragene Datenwort neu synchronisiert wird. Durch die empfängerseitige Datenabfrage in der Bitmitte bleiben sogar geringe zeitliche Verschiebungen ohne Auswirkungen. Dies erlaubt die Verwendung einfacher Taktgeneratoren im Sender und im Empfänger, die in ihren Taktfrequenzen sogar etwas voneinander abweichen dürfen (1 bis 2%).

Ein gewisser Nachteil der asynchronen Datenübertragung besteht im Zeitbedarf für die Übertragung der zusätzlichen Bits (Startbit, evtl. Prüfbit und ein bis zwei Stopbits). Bei einem 5-Bit-Datenwort werden beispielsweise insgesamt 9 Bit übertragen, rechnet man alle zusätzlichen Elemente hinzu. Dies führt zu einer deutlichen Verringerung des Datendurchsatzes der Übertragungsstrecke.

Dieser Nachteil besteht bei der "synchrone Datenübertragung" nicht, bei der die Datenbits direkt nacheinander (ohne Start- und Stopbits) übertragen werden. Hierzu ist aber während der ganzen Datenübertragung eine exakte Synchronisation zwischen dem Sender und dem Empfänger erforderlich, die auf verschiedene Weisen erzielbar ist:

In einigen Fällen wird zusätzlich zu den Daten über eine besondere Leitung der Sendertakt zum Empfänger übertragen, wodurch beide Geräte den gleichen Takt erhalten und synchron arbeiten.

Ist dies nicht möglich, gibt der Sender zu Beginn der Datenübertragung (und eventuell auch danach in gewissen Zeitabständen) bestimmte Synchronisationsworte aus, die der Empfänger erkennt und mit denen er synchronisiert wird. Tritt in der Datenübertragung eine Pause auf, werden vom Sender zur Überbrückung der Pause weiterhin bestimmte Signale ausgegeben, damit die Synchronisation erhalten bleibt.

Die synchrone Datenübertragung arbeitet schneller als die asynchrone, erfordert aber einen höheren Aufwand und ist insgesamt gesehen etwas schwieriger zu handhaben. Da die Synchronübertragung in der Mikrocomputertechnik nur wenig verbreitet ist und auch im BFZ/MFA-Computer bisher nicht vorkommt, wird sie nicht weiter behandelt.

---

## Programmierbare Serienschnittstelle

---

### 3. Blockschaltbild, Aufbau und Wirkungsweise der Baugruppe

Bild 7 zeigt das Blockschaltbild der Baugruppe "Programmierbare Serienschnittstelle", deren Funktion im wesentlichen durch den programmierbaren Schnittstellenbaustein "8251" bestimmt wird. Die Bezeichnung "USART" ist eine Abkürzung des Begriffs "Universal Synchronus/Asynchronus Receiver/Transmitter". Dies bedeutet "Universaler synchroner/asynchroner Empfänger (engl. "Receiver") und Sender" (engl. "Transmitter"). Darüberhinaus enthält die Baugruppe einen Adreßvergleichler und einen Baudratenteiler. Zunächst wird die grundsätzliche Wirkungsweise der Baugruppe anhand des Blockschaltbildes erklärt.

Die Datenanschlüsse des 8251 sind direkt mit den Datenleitungen D0 bis D7 des Systembusses verbunden (Bild 7). Sie führen über den Datenbus-Puffer zum internen Datenbus des Bausteins, an den insgesamt fünf Register mit folgenden Funktionen angeschlossen sind:

Das Betriebsarten- und das Kommandoregister bestimmen gemeinsam die Funktion des seriellen Schnittstellenbausteins. Durch "Programmierung", womit das Einschreiben bestimmter Steuerworte in diese Register gemeint ist, wird z.B. die synchrone oder die asynchrone Betriebsart und die Datenwortlänge der seriellen Datenübertragung (5, 6, 7 oder 8 Bit) festgelegt.

Das Senderregister gehört zum seriellen Datensender. Es erhält die seriell auszugebenden Daten in paralleler Form über den Datenbus-Puffer und den internen Datenbus. Innerhalb des Datensenders werden das Startbit und die Stopbits in den Datenstrom eingefügt, der am Anschluß "TxD" (Transmitter-Data) in serieller Form ausgegeben wird. Außerdem erfolgt im Datensender die Parallel-/Seriell-Wandlung, wozu die Sendersteuerung vom Baudratenteiler den Sendertakt " $\overline{\text{TxC}}$ " (Transmitter-Clock) erhält.

Das Empfängerregister kann über den Anschluß "RxD" (Receiver-Data) einen seriellen Datenstrom empfangen. Innerhalb des Datenempfängers findet die Seriell-/Parallel-Wandlung der empfangenen Daten statt, wobei alle zusätzlichen Bits (Start-, Paritäts- und Stopbits) aus dem empfangenen Signal entfernt werden. Vom Baudratenteiler erhält die Empfängersteuerung den Empfängertakt " $\overline{\text{RxC}}$ " (Receiver-Clock), der in der Baugruppe "Programmierbare Serienschnittstelle" gleich dem Sendertakt ist. Da die Sender- und Empfängersteuerung des 8251 getrennte Takteingänge besitzen, kann beim Sender und Empfänger mit unterschiedlichen Baudraten gearbeitet werden, falls dies erforderlich ist.

Programmierbare Serienschnittstelle

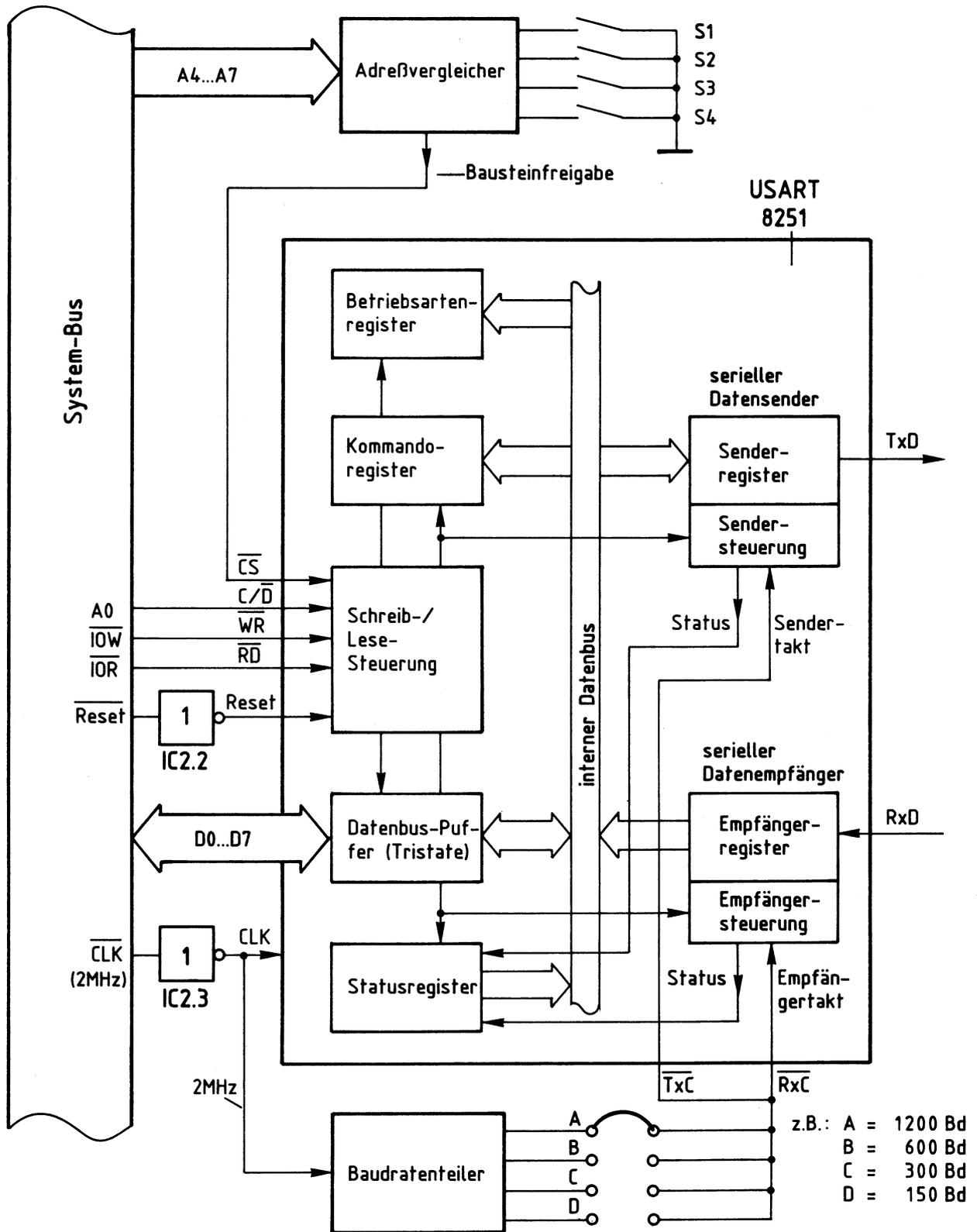


Bild 7: Blockschaltbild der Baugruppe

---

## Programmierbare Serienschnittstelle

---

Das Statusregister (Status = Zustand) erhält sowohl vom seriellen Datensender als auch vom seriellen Datenempfänger Informationen über den Zustand dieser Einheiten. Beispiele hierfür sind das Auftreten von Übertragungsfehlern (Parity-Error oder Frame-Error) oder Meldungen wie "Senderregister leer" und "Empfängerregister hat Zeichen empfangen". Der Prozessor kann das Statusregister lesen und erkennt hierdurch u.a., ob er ein neues Zeichen zur seriellen Ausgabe an die Baugruppe ausgeben kann oder ob ein seriell empfangenes Zeichen vorliegt und eingelesen werden muß.

Damit der serielle Schnittstellenbaustein Daten vom Prozessor erhalten oder an ihn abgeben kann, muß der Anschluß " $\overline{\text{CS}}$ " (Chip-Select) über die Leitung "Bausteinfreigabe" L-Signal erhalten (Bild 7). Es stammt vom "Adreßvergleicher" und wird nur abgegeben, wenn die Baugruppe vom Prozessor "angesprochen" wird, d.h., wenn die Bitkombination der Adreßleitungen A4 bis A7 gleich ist mit der Bitkombination, die mit den Schaltern S1 bis S4 eingestellt wurde (Baugruppennummer).

Die Auswahl der einzelnen Register beim Datenverkehr mit der CPU erfolgt mit Hilfe der Bausteinanschlüsse " $\text{C}/\overline{\text{D}}$ ", " $\overline{\text{WR}}$ " und " $\overline{\text{RD}}$ ", auf die später noch weiter eingegangen wird.

Zur zeitlichen Steuerung der internen Vorgänge besitzt der Baustein 8251 die drei Taktanschlüsse " $\overline{\text{RxC}}$ ", " $\overline{\text{TxC}}$ " und "CLK" (Bild 7). " $\overline{\text{RxC}}$ " und " $\overline{\text{TxC}}$ " bestimmen die sender- bzw. empfängerseitige Datenübertragungsrate (Baudrate). Hierzu wird der 2-MHz-Systemtakt einem Baudratenteiler zugeführt, der z.B. Baudraten von 1200 Bd, 600 Bd, 300 Bd und 150 Bd ermöglicht.

An "CLK" ist ein Taktsignal erforderlich, dessen Frequenz wesentlich höher als die höchste Ausgangsfrequenz des Baudratenteilers ist. Hierzu eignet sich der 2-MHz-Systemtakt, der durch IC2.3 invertiert auf den CLK-Anschluß geführt wird. Diese Invertierung soll das  $\overline{\text{CLK}}$ -Signal lediglich auffrischen.

IC2.2 invertiert das L-aktive  $\overline{\text{Reset}}$ -Signal des Systembusses, da der Schnittstellenbaustein 8251 einen H-aktiven Reset-Eingang besitzt. Nach jedem Reset muß der Baustein neu programmiert werden.

---

 Programmierbare Serienschnittstelle
 

---

## 3.1. Steuerregister und Datenregister

Vergleicht man die Register des Bausteins 8251 miteinander, so kann zwischen "Steuerregistern" (engl. "Control-Register") und "Datenregistern" unterschieden werden. In einige der Register kann der Prozessor Daten einschreiben, andere dagegen nur lesen. Bild 8 zeigt die Aufteilung der Register in diese Gruppen und die erforderlichen Steuersignale zu ihrer Ansteuerung.

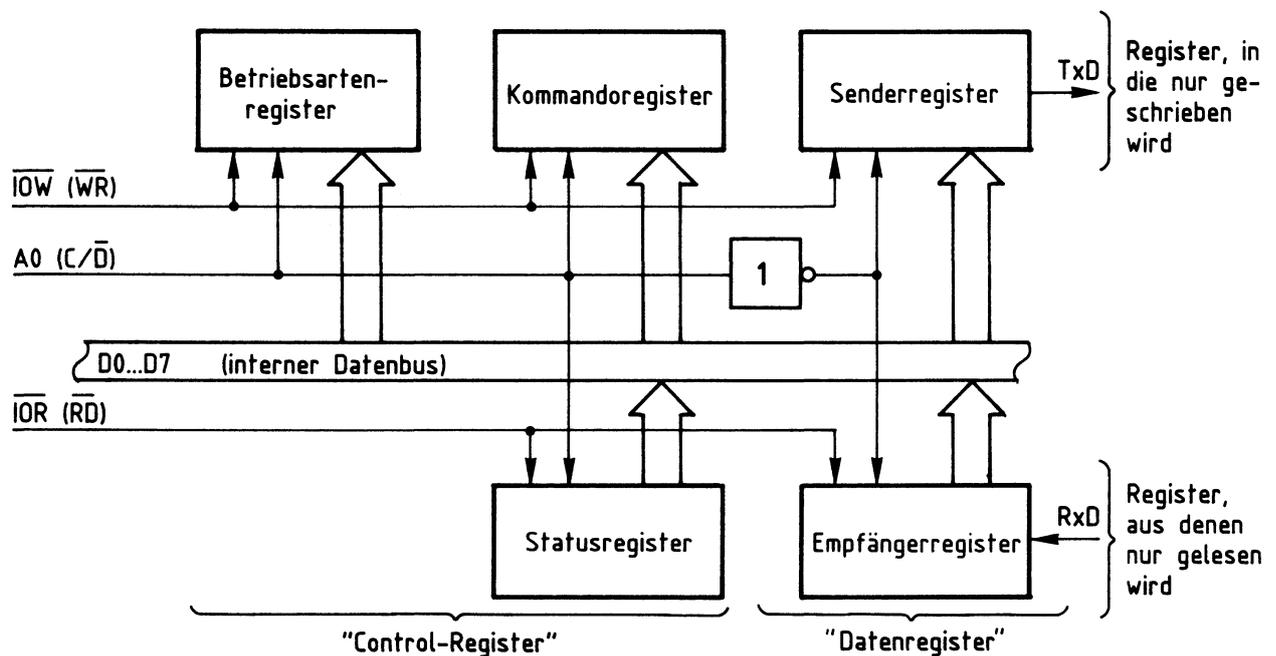


Bild 8: Aufteilung der Register in Gruppen

Zur Unterscheidung der Gruppen "Control-" und "Datenregister" dient der Bausteinanschluß "C/D": Führt C/D H-Pegel, sind die Control-Register, bei L-Pegel die Datenregister ausgewählt. Aus Bild 8 geht ebenfalls hervor, welche Register vom Prozessor gelesen und welche mit Daten beschrieben werden können: Das Status- und das Empfängerregister können nur gelesen, Betriebsarten-, Kommando- und Senderregister nur beschrieben werden.

Mit Hilfe der L-aktiven Steuerleitung " $\overline{IOW}$ ", die mit dem Bausteinanschluß " $\overline{WR}$ " verbunden ist, schreibt der Prozessor Datenwerte in den Baustein ein.

Zur Unterscheidung, ob bei einem Schreibvorgang das Senderregister (mit den seriell auszugebenden Daten) oder das Betriebsarten- bzw. Kommandoregister (mit Steuerworten) beschrieben wird, dient der Bausteinanschluß C/D (Control/Data), der mit der Adreßleitung  $A0$  verbunden ist.

---

## Programmierbare Serienschnittstelle

---

Bei L-Signal an  $C/\bar{D}$  (entspricht "Data") gelangen die vom Prozessor ausgegebenen Datenworte in das Senderregister. Liegt bei einem Schreibvorgang am Anschluß  $C/\bar{D}$  jedoch H-Pegel vor (entspricht "Control"), wird entweder das Betriebsarten- oder das Kommandoregister mit einem Steuerwort beschrieben. Diesen Vorgang nennt man "Initialisieren" des Schnittstellenbausteins, wodurch die Betriebsart programmiert wird.

Bedingt durch die Vielzahl der Programmiermöglichkeiten besitzt der 8251 nicht nur ein, sondern zwei die Arbeitsweise bestimmende Register. Die Unterscheidung, ob das ausgegebene Steuerwort in das Betriebsartenregister oder in das Kommandoregister gelangt, erfolgt nicht durch die Schaltung, sondern durch folgende Festlegung: Nach einem Kaltstart des Mikrocomputers (Einschalten oder "Reset") wird das erste Initialisierungsbyte stets in das Betriebsartenregister geschrieben. Das zweite und alle weiteren Steuerbytes gelangen in das Kommandoregister. Beide Register sind unter derselben Adresse ansprechbar. In einem besonderen Kapitel ist die Programmierung des Schnittstellenbausteins im einzelnen beschrieben.

Mit Hilfe der L-aktiven Steuerleitung " $\overline{IOR}$ ", die mit dem Bausteinanschluß " $\overline{RD}$ " verbunden ist, löst der Prozessor das Lesen von Daten aus dem Schnittstellenbaustein aus (Bild 8). Der Signalzustand des Anschlusses  $C/\bar{D}$  bestimmt dabei wieder, welches Register gelesen wird: Bei H-Pegel an  $C/\bar{D}$  (entspricht "Control") gelangt der Inhalt des Statusregisters auf den Datenbus, bei L-Pegel (entspricht "Data") der des Empfängerregisters.

### 3.2. Der Adreßvergleichler und die Baugruppennummer

Der Mikroprozessor steuert die Baugruppe "Programmierbare Serienschnittstelle" wie jede andere Ein- und Ausgabe-Einheit an. Da immer nur eine einzige Einheit aktiviert sein darf, müssen alle im System vorhandenen Ein- und Ausgabe-Einheiten unterschiedliche Baugruppennummern besitzen. Aus diesem Grund ist die Baugruppennummer der Baugruppe "Programmierbare Serienschnittstelle" mit Hilfe von Schaltern einstellbar. Ein Adreßvergleichler übernimmt die Aufgabe, die Baugruppe nur dann zu aktivieren, wenn der Prozessor diejenige Adresse aussendet, die der eingestellten Baugruppennummer entspricht. Bild 9 zeigt die Schaltung des Adreßvergleichlers.

---

 Programmierbare Serienschnittstelle
 

---

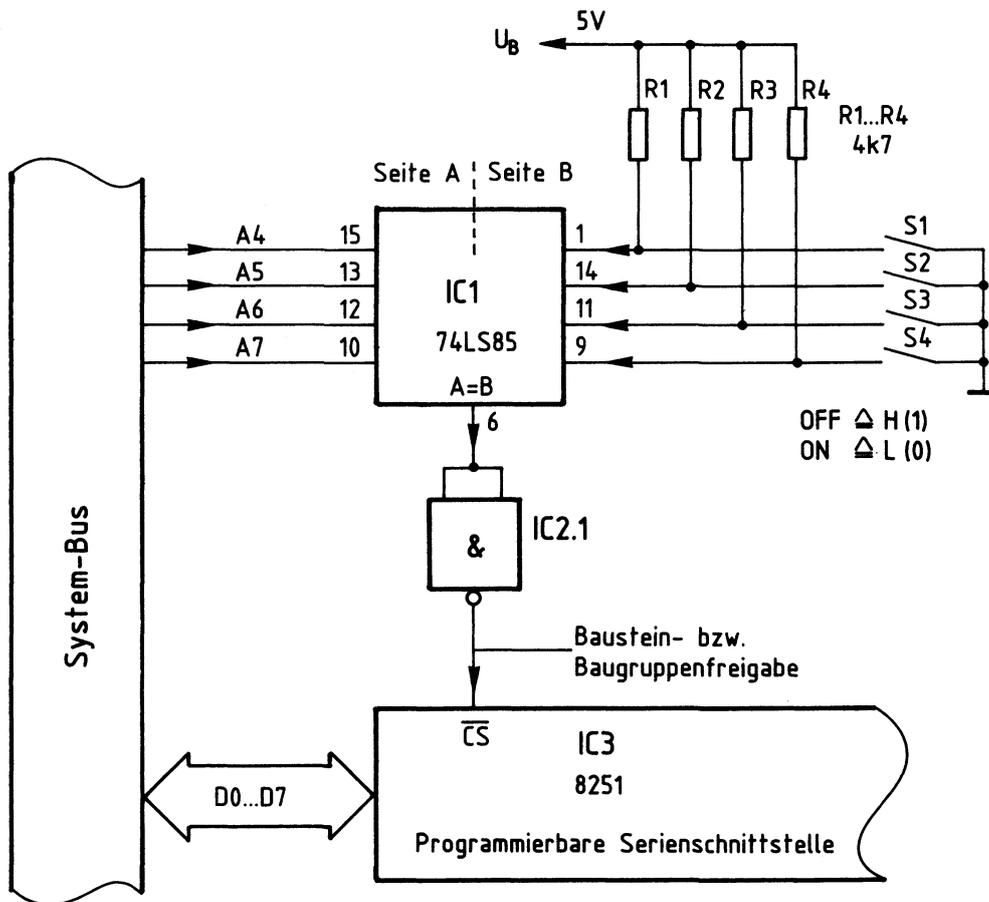


Bild 9: Baugruppenadresse, Bausteinfreigabe

Nur wenn die Bitkombination auf den Adreßleitungen A4 bis A7 der mit den Schaltern S1 bis S4 eingestellten Bitkombination entspricht, gibt der 4-Bit-Vergleicher IC1 an seinem Ausgang "A=B" ein H-Signal ab (Bild 9). Da der serielle Schnittstellenbaustein 8251 (IC3) zur Aktivierung jedoch ein L-Signal benötigt, wird das Ausgangssignal von IC1 durch IC2.1 invertiert. Die Baugruppe kann nun Daten empfangen oder an den Prozessor abgeben.

Der Prozessor gibt stets eine vollständige 8-Bit-Adresse an A0 bis A7 aus, wenn er eine Ein- oder Ausgabe-Einheit anspricht. Beim hier vorgenommenen Adreßvergleich werden jedoch die Adreßleitungen A0 bis A3 nicht berücksichtigt. Aus diesem Grund steht nicht der volle Adreßbereich von 00H bis FFH mit 256 verschiedenen Adreßwerten zur Verfügung, sondern mit den Schaltern S1 bis S4 können lediglich 16 verschiedene Signalzustände (Bausteinadressen) eingestellt werden. Da diese Schalter den vier höherwertigen Adreß-Bits A4 bis A7 zugeordnet sind, kann die Baugruppennummer nur die hexadezimalen Werte von 0X bis FX annehmen. "X" steht hier für die vier niederwertigen Adreß-Bits A0 bis A3, die beim Adreßvergleich nicht benutzt werden. Die Tabelle in Bild 10 zeigt die Bildung der möglichen Baugruppennummern.

Programmierbare Serienschnittstelle

A7 (S4)	A6 (S3)	A5 (S2)	A4 (S1)	- unberücksichtigt -				HEX - Adresse
0	0	0	0	—	—	—	—	0 X
0	0	0	1	—	—	—	—	1 X
0	0	1	0	—	—	—	—	2 X
0	0	1	1	—	—	—	—	3 X
0	1	0	0	—	—	—	—	4 X
~ ~ ~ ~ ~ ~ ~ ~ ~ ~ ~								
1	0	1	1	—	—	—	—	B X
1	1	0	0	—	—	—	—	C X
1	1	0	1	—	—	—	—	D X
1	1	1	0	—	—	—	—	E X
1	1	1	1	—	—	—	—	F X

Bild 10: Bildung der Baugruppennummern der Baugruppe "Programmierbare Serienschnittstelle"

Im fachpraktischen Teil dieser Übung werden die Adreßschalter bei der Inbetriebnahme der Baugruppe folgendermaßen eingestellt:

S4(A7)	S3(A6)	S2(A5)	S1(A4)
OFF	OFF	OFF	OFF
1	1	1	1

Hierdurch ergibt sich die Baugruppennummer "FXH". Prinzipiell kann jede der 16 möglichen Baugruppennummern verwendet werden. Es ist aber darauf zu achten, daß sämtliche Ein- oder Ausgabe-Baugruppen eines Mikrocomputer-Systems unterschiedliche Adressen besitzen, da es anderenfalls zu Schäden am Gerät kommen kann.

### 3.3. Adressierung und Schreib-/Lesesteuerung

Die folgende Tabelle (Bild 11) zeigt die Zusammenhänge der Adressierung und der Schreib-/Lesesteuerung bei der Baugruppe "Programmierbare Serienschnittstelle". Dabei wird von der korrekt vorliegenden Baugruppennummer "FXH" ausgegangen.

Programmierbare Serienschnittstelle

A7	A6	A5	A4	A3	A2	A1	A0 (C/ $\bar{D}$ )	$\overline{IOW}$ ( $\overline{WR}$ )	$\overline{IOR}$ ( $\overline{RD}$ )	Betriebszustand Nr. ...
1	1	1	1	X	X	X	X	1	1	1 (nicht aktiv)
1	1	1	1	X	X	X	0	0	1	2 (Prozessor schreibt Daten in das Senderregister)
1	1	1	1	X	X	X	1	0	1	3 (Prozessor schreibt Daten in das Betriebsarten- oder Kommandoregister)
1	1	1	1	X	X	X	0	1	0	4 (Prozessor liest Daten aus dem Empfängerregister)
1	1	1	1	X	X	X	1	1	0	5 (Prozessor liest das Statusregister)

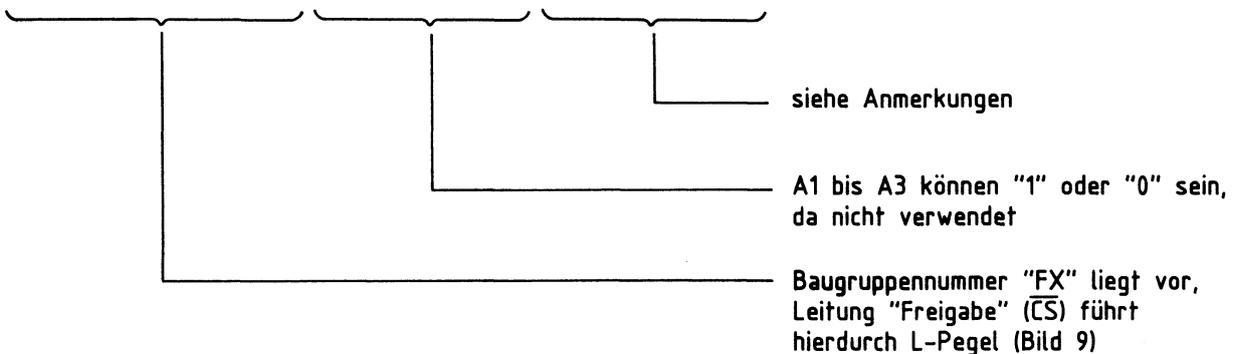


Bild 11: Adressierung und Schreib-/Lesesteuerung

Die Adreßleitungen A4 bis A7 besitzen die in Bild 11 angegebenen Signalzustände, die der Baugruppennummer "FXH" entsprechen. Der serielle Schnittstellenbaustein 8251 erhält L-Pegel am Anschluß  $\overline{CS}$  und ist freigegeben. Da die Adreßleitungen A1 bis A3 nicht angeschlossen sind, kann ihr logischer Pegel "1" oder "0" sein. Dies wird in der Tabelle durch die Bezeichnung "X" ausgedrückt.

Anmerkungen ...

zum Betriebszustand 1 (Bild 11):

Da die Schreibleitung " $\overline{IOW}$ " und die Leseleitung " $\overline{IOR}$ " H-Pegel (1-Signal) führen, werden weder Daten in die Baugruppe geschrieben, noch werden Daten der Baugruppe gelesen. Der Signalzustand der Adreßleitung A0 ist daher beliebig. In diesem Betriebszustand verhält sich die "Programmierbare Serienschnittstelle" passiv. Dennoch muß dieser Fall beachtet werden, da er immer auftritt, wenn der Prozessor eine Speicherzeile mit der Adresse XXFXH anspricht.

---

## Programmierbare Serienschnittstelle

---

zum Betriebszustand 2 (Bild 11):

Der Prozessor steuert die Schreibleitung " $\overline{IOW}$ " auf L-Pegel. In diesem Betriebszustand schreibt er Daten in die Baugruppe. Da die Adreßleitung A0 (bzw. der Anschluß C/ $\overline{D}$ ) L-Pegel aufweist, werden die Daten in das Senderregister geschrieben (siehe auch Bild 8). Wegen der nicht benutzten Adreßleitungen A1 bis A3 kann das Senderregister unter folgenden Adressen angesprochen werden: FOH, F2H, F4H, F6H, F8H, FAH, FCH und FEH. Diese Mehrfachadressierung ist durch die einfache Schaltung bedingt, die nicht alle Adreßleitungen zur Adreßbildung verwendet. Von den acht Adreßmöglichkeiten wird in dieser Übung der Wert "FOH" verwendet, um Daten an das Senderregister auszugeben.

zum Betriebszustand 3 (Bild 11):

Die Schreibleitung " $\overline{IOW}$ " führt weiterhin L-Pegel, aber die Adreßleitung A0 hat H-Pegel. Da bei H-Pegel an A0 eines der Control-Register angesprochen wird, gelangen die Prozessordaten jetzt als Steuerworte in das Betriebsarten- oder das Kommandoregister (Bild 8). Die Initialisierung der seriellen Schnittstelle kann unter folgenden Adressen erfolgen: F1H, F3H, F5H, F7H, F9H, FBH, FDH und FFH. In dieser Übung wird davon der Wert "F1H" verwendet.

Beachtet werden muß, daß beide Control-Register Steuerworte erhalten müssen, bevor der Baustein betriebsbereit ist. Hierbei ist festgelegt, daß zuerst das Betriebsarten- und danach das Kommandoregister beschrieben wird. Weitere Steuerworte gelangen stets in das Kommandoregister und überschreiben seinen vorherigen Zustand, wodurch die Programmierung des Bausteins, soweit das Kommandoregister Einfluß besitzt, verändert werden kann.

Etwas schwieriger ist es, auch den Inhalt des Betriebsartenregisters zu verändern, da alle Steuerworte, die nach der Initialisierung ausgegeben werden, stets in das Kommandoregister gelangen. Ein innerhalb des Kommandoregisters reserviertes und speziell hierfür vorgesehenes Bit ermöglicht eine Umschaltung auf das Betriebsartenregister auf folgende Weise: Wird dieses Steuerbit des Kommandoregisters gezielt angesprochen, schreibt der Baustein das darauffolgende Steuerwort in das Betriebsartenregister ein. Diese Vorgehensweise wird "Software-Reset" genannt und ermöglicht es, den Baustein auch ohne Reset-Signal des Systembusses vollständig neu zu programmieren.

zum Betriebszustand 4 (Bild 11):

" $\overline{IOW}$ " liegt wieder auf H-Pegel, aber die Leseleitung " $\overline{IOR}$ " führt L-Pegel. Da die Adreßleitung A0 ebenfalls L-Pegel besitzt, werden in diesem Betriebszustand vom Prozessor die Daten des Empfängerregisters gelesen (siehe auch Bild 8). Das Lesen der Daten ist unter den gleichen Adressen wie im Betriebszustand 2 möglich und erfolgt in dieser Übung unter der Adresse "FOH".

## Programmierbare Serienschnittstelle

zum Betriebszustand 5 (Bild 11):

" $\overline{\text{IOR}}$ " führt weiterhin L-Pegel, aber A0 hat H-Pegel angenommen. In diesem Betriebszustand wird vom Prozessor das Statusregister der seriellen Schnittstelle gelesen. Hierbei sind wieder die 8 Adressen des Betriebszustandes 3 möglich, von denen in dieser Übung der Wert "F1H" verwendet wird.

Der Betriebszustand, daß " $\overline{\text{IOW}}$ " und " $\overline{\text{IOR}}$ " zusammen L-Pegel haben, tritt nicht auf. Liegt eine andere Adresse als die gewählte Baugruppennummer vor, ist die "Programmierbare Serienschnittstelle" nicht aktiv (wie im Betriebszustand 1).

### 3.4. Der Baudratenteiler

Das an den Anschlüssen  $\overline{\text{RxC}}$  und  $\overline{\text{TxC}}$  des Schnittstellenbausteins angeschlossene TTL-Rechtecksignal bestimmt durch seine Frequenz die Datenübertragungsrate (Baudrate) der seriellen Datenübertragung. Für vier unterschiedliche Baudraten werden die erforderlichen Taktfrequenzen aus dem 2-MHz-Systemtakt gewonnen (Bild 7). Hierzu dienen mehrere Frequenzteilerstufen. Bild 12 zeigt den Aufbau des Baudratenteilers und gibt die möglichen Ausgangsfrequenzen an.

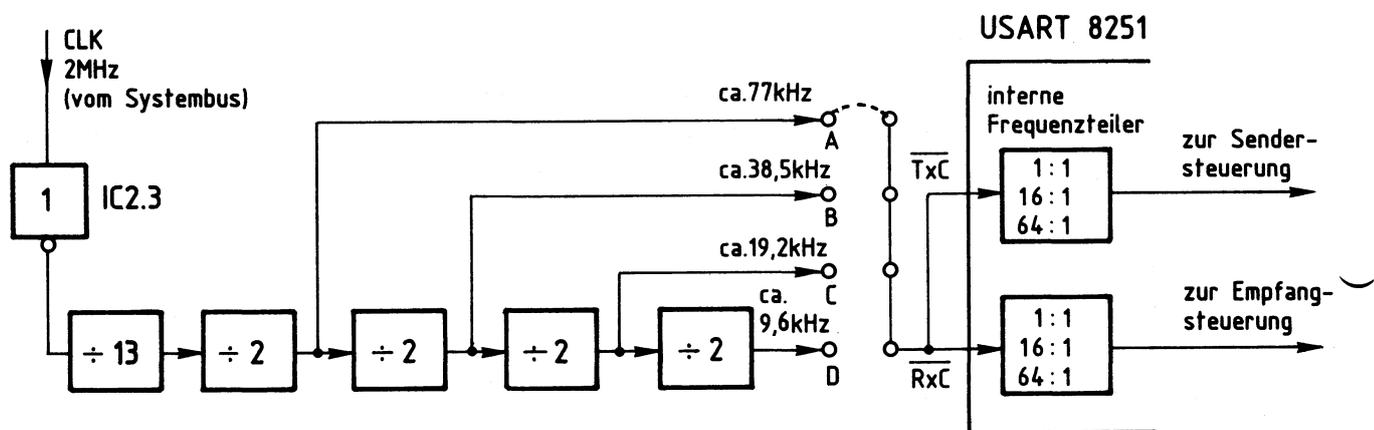


Bild 12: Aufbau des Baudratenteilers

Der Baudratenteiler besteht aus einem 13:1-Frequenzteiler und vier nachgeschalteten 2:1-Teilerstufen (Bild 12). Angesteuert wird er durch den von IC2.3 "aufgefrischten" 2-MHz-Systemtakt. An den vier Ausgängen A, B, C und D treten die angegebenen Frequenzwerte auf. Jeweils eines dieser Signale ist durch eine Lötbrücke auf die miteinander verbundenen Takteingänge  $\overline{\text{RxC}}$  und  $\overline{\text{TxC}}$  des seriellen Schnittstellenbausteins geschaltet. Beachtet werden muß, daß immer nur eine einzige Lötbrücke vorhanden sein darf.

---

 Programmierbare Serienschnittstelle
 

---

Innerhalb des Schnittstellenbausteins befinden sich hinter den Takteingängen  $\overline{\text{RxC}}$  und  $\overline{\text{TxC}}$  zusätzliche Frequenzteilerstufen (in Bild 7 nicht eingezeichnet), deren Teilungsrate durch die Initialisierung auf die Werte 1:1, 16:1 und 64:1 programmierbar sind. Davon können im BFZ/MFA Mikrocomputer jedoch nur die Teilverhältnisse 16:1 und 64:1 genutzt werden. Das Teilverhältnis von 1:1 ist vom Bausteinhersteller für besondere Anwendungen vorgesehen. Unter Berücksichtigung der internen Teilerfaktoren ergeben sich die in Bild 13 aufgeführten möglichen Baudraten der Baugruppe "Programmierbare Serienschnittstelle".

Lötbrücke bei ...	Frequenzen an $\overline{\text{RxC}}$ und $\overline{\text{TxC}}$	Baudraten bei einem internen Teilverhältnis von ...	
		16 : 1	64 : 1
A	ca. 77 kHz	4800 Bd	1200 Bd
B	ca. 38,5 kHz	2400 Bd	600 Bd
C	ca. 19,2 kHz	1200 Bd	300 Bd
D	ca. 9,6 kHz	600 Bd	150 Bd

**Bild 13: Mögliche Baudraten der Baugruppe**

Welche der Baudraten zur Anwendung kommt, hängt vom jeweiligen Anwendungsfall der programmierbaren Serienschnittstelle ab. Beim Einsatz als Kassetten-Interface wird z.B. eine Baudrate von 1200 Bd bei einem internen Teilverhältnis von 64:1 verwendet.

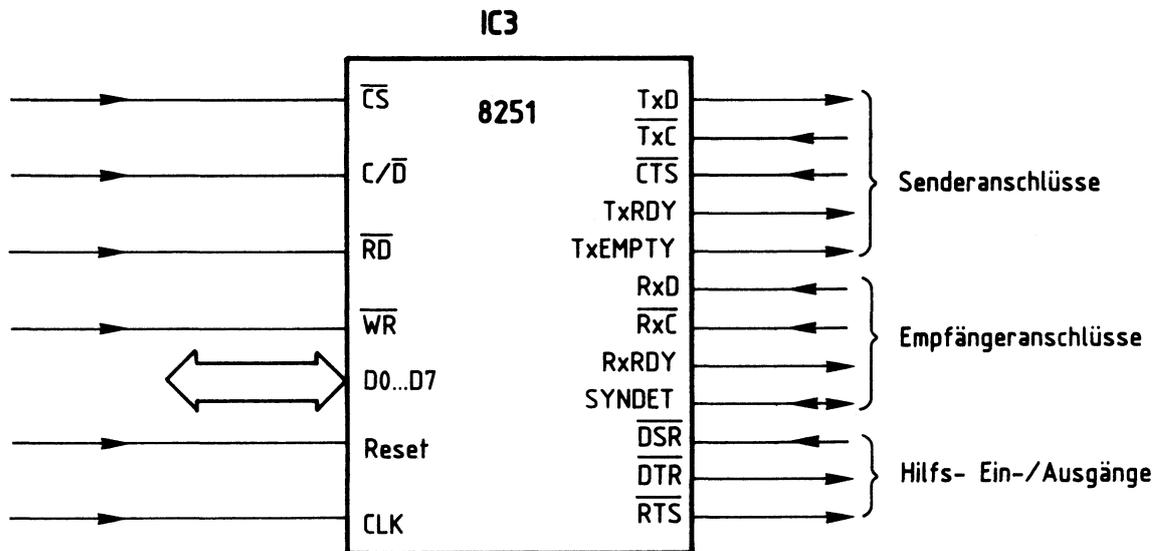
#### 4. Vollständiger Anschluß des Schnittstellenbausteins

Der serielle Schnittstellenbaustein 8251 besitzt zusätzliche Anschlüsse, auf die bisher nicht eingegangen wurde. Meistens werden einige davon beim Einsatz der Baugruppe benötigt, andere bei eventuellen späteren Anwendungen. Zum Gesamtverständnis der Schaltung und der Programmierung der seriellen Schnittstelle ist es erforderlich, die Aufgaben dieser Bauteilanschlüsse zu kennen, auch wenn sie im Moment nicht benötigt werden. In Bild 14 sind alle Signalanschlüsse des Schnittstellenbausteins 8251 dargestellt. Die folgenden Erklärungen berücksichtigen nur den Asynchronbetrieb, Hinweise zum Synchronbetrieb sind den Datenbüchern zu entnehmen.

---

 Programmierbare Serienschnittstelle
 

---



**Bild 14:** Alle Signalanschlüsse des 8251

Alle Anschlüsse auf der linken Seite von Bild 14 führen zum Systembus des Prozessors und wurden schon behandelt. Die Anschlüsse auf der rechten Seite stellen die Verbindung zur Peripherie dar, wobei aber einige davon auch den Mikroprozessor steuern können. Insgesamt kann man zwischen den Gruppen "Senderanschlüsse", "Empfängeranschlüsse" und "Hilfs- Ein-/Ausgänge" unterscheiden.

#### Senderanschlüsse

- "TxD" (Transmitter-Data, Senderdaten)  
An diesem Anschluß gibt der Baustein die Senderdaten in serieller Form ab (wurde bereits behandelt).
- "Tx̄C" (Transmitter-Clock, Sendertakt)  
Dieser Anschluß erhält vom Baudratenteiler den Sendertakt (wurde bereits behandelt).
- "CTS" (Clear To Send, Senderfreigabe)  
L-Pegel an diesem Eingang gibt den seriellen Datensender frei, H-Pegel sperrt ihn. Falls der Sender beim Anlegen des H-Pegels gerade arbeitet, wird vor dem Sperren noch das Senderregister geleert, d.h. eine gerade stattfindende Datenübertragung wird noch beendet. Diese Art der Steuerung nennt man "Hardware-Freigabe" des Senders, da sie durch einen logischen Pegel innerhalb der Schaltung erfolgt.  
Damit der Sender bei L-Pegel am CTS-Anschluß arbeiten kann, muß noch eine weitere Bedingung erfüllt sein: Bei der Programmierung des Bausteins muß im Kommandoregister zusätzlich das Steuerbit "TxENABLE" (Senderfreigabe) gesetzt worden sein. Dies nennt man "Software-Freigabe" des Datensenders. Sie wird im Abschnitt "Programmierung des Schnittstellenbausteins" näher behandelt.

---

Programmierbare Serienschnittstelle

---

- "TxRDY" (Transmitter Ready, Sender fertig. Besser: Sender bereit zur Aufnahme des nächsten auszugebenden Zeichens vom Prozessor)

Der Ausgang "TxRDY" meldet durch H-Pegel, daß das Senderregister leer ist und der Datensender vom Prozessor ein neues Zeichen aufnehmen kann. Ist das Senderregister nicht bereit, ein Zeichen aufzunehmen, führt "TxRDY" L-Pegel. Das Signal "TxRDY" kann als "Hardware-Statusmeldung" (Zustandsmeldung durch einen log. Pegel in der Schaltung) bezeichnet werden, mit der z.B. ein Prozessor-Interrupt ausgelöst werden kann.

Im BFZ/MFA-Computer wird davon allerdings kein Gebrauch gemacht, da sich der Zustand des Senderregisters außer am Anschluß "TxRDY" zusätzlich im gleichbenannten Bit "TxRDY" des Statusregisters ausdrückt. Der Prozessor kann das Statusregister lesen und dieses Bit prüfen. Hierdurch stellt er fest, ob er ein neues Zeichen ausgeben kann oder nicht. Diese Art der Zustandskontrolle nennt man "Status-Abfrage durch Software", da hierzu Programmschritte erforderlich sind. Einzelheiten zum Statusregister stehen an anderer Stelle.

Im Zusammenhang mit dem Anschluß "TxRDY" und dem ebenfalls vorhandenen Anschluß "TxEMPTY" muß folgendes beachtet werden:

Innerhalb des Datensenders befindet sich neben dem Senderregister ein Schieberegister zur Parallel-/Seriell-Wandlung der Zeichen. Nachdem (innerhalb des Datensenders) ein Zeichen vom Senderregister in das Schieberegister übergeben wurde, kann das Senderregister schon wieder ein neues Zeichen übernehmen, obwohl das Schieberegister noch das vorher erhaltene Zeichen ausgibt.

Die Steuerung dieser Vorgänge erfolgt automatisch. Der Anschluß "TxRDY" meldet daher nicht die vollständige serielle Ausgabe eines Zeichens, sondern nur die Bereitschaft des Senderregisters, ein neues Zeichen aufzunehmen. Weitere Einzelheiten hierzu müssen den Datenbüchern entnommen werden.

- "TxEMPTY" (Transmitter Empty, Datensender leer)

Der Ausgang "TxEMPTY" hat H-Pegel, wenn alle Zeichen des Datensenders (Senderregister und Schieberegister) vollständig ausgegeben wurden. Sobald das Senderregister ein neues Zeichen vom Prozessor erhält, nimmt "TxEMPTY" wieder L-Pegel an. Durch "TxEMPTY" wird somit das Ende einer Datenübertragung markiert, wenn vom Prozessor keine weiteren Zeichen in das Senderregister übergeben werden und alle vorherigen Zeichen ausgegeben sind.

Der Signalzustand des Ausgangs "TxEMPTY" kann vom Prozessor über ein Bit des Statusregisters abgefragt werden. Einzelheiten hierzu stehen bei der Beschreibung des Statusregisters.

---

Programmierbare Serienschnittstelle

---

## Empfängeranschlüsse

- "RxD" (Receiver-Data, Empfängerdaten)  
An diesem Anschluß empfängt der Schnittstellenbaustein einen seriellen Datenstrom (wurde bereits behandelt).
- "RxC" (Receiver-Clock, Empfängertakt)  
Dieser Anschluß erhält vom Baudratenteiler den Empfängertakt (wurde bereits behandelt).
- "RxRDY" (Receiver Ready, Empfänger fertig. Besser: Im Empfängerregister liegt ein Zeichen vor, das vom Prozessor gelesen werden kann)  
Mit H-Pegel am Anschluß "RxRDY" signalisiert der Schnittstellenbaustein, daß im Empfängerregister ein neues Zeichen (Datenwort ohne Start-, Stop- und Paritäts-Bits) bereitsteht, das vom Prozessor gelesen ("abgeholt") werden soll. Liest der Prozessor das Zeichen durch einen IN-Befehl ein, geht "RxRDY" wieder auf L-Pegel. Damit "RxRDY" wirksam werden kann, muß der Empfänger aber bei der Programmierung des Bausteins freigegeben worden sein, was durch gezieltes Setzen des Steuerbits "RxENABLE" (Empfängerfreigabe) im Kommandowort geschieht. Dies wird im Abschnitt "Programmierung des Schnittstellenbausteins" behandelt. Anstelle des Anschlusses "RxRDY" wird im BFZ-/MFA-Computer ein bestimmtes Bit des Statusregisters überprüft, wodurch ebenfalls das Vorliegen eines Zeichens im Empfänger festgestellt werden kann.
- "SYNDET" (Synchronisations-Detektor)  
Dieser Anschluß hat im Synchronbetrieb eine andere Bedeutung als im Asynchronbetrieb. Er wird in der Baugruppe "Programmierbare Serienschnittstelle" nicht benötigt und daher nicht weiter behandelt.

## Hilfs- Ein-/Ausgänge

- "DSR" (Data Set Ready, Betriebsbereitschaft eines anderen Gerätes)  
Dieser Eingang läßt sich für beliebige Zwecke verwenden. Sein Signalzustand kann über das Statuswort abgefragt werden. Mit Hilfe des Anschlusses "DSR" ist der Prozessor z.B. in der Lage, die Betriebsbereitschaft eines Gerätes der Peripherie festzustellen. Hierzu muß dieses Gerät L-Pegel auf die DSR-Leitung legen.
- "DTR" (Data Terminal Ready, Betriebsbereitschaft des eigenen Gerätes)  
Dieser Ausgang läßt sich für beliebige Zwecke verwenden. Sein Signalzustand wird bei der Programmierung des Bausteins durch das Kommandowort festgelegt und kann danach auch wieder verändert werden. Durch L-Pegel auf der DTR-Leitung kann der Prozessor einem Peripheriegerät mitteilen, daß die programmierbare Serienschnittstelle betriebsbereit ist. Hiervon wird allerdings im Moment kein Gebrauch gemacht.

---

## Programmierbare Serienschnittstelle

---

### - " $\overline{\text{RTS}}$ " (Request To Send, Sendeteil einschalten)

Dieser Ausgang läßt sich für beliebige Zwecke verwenden. Sein Signalzustand wird bei der Programmierung des Bausteins durch das Kommandowort festgelegt und kann danach auch wieder verändert werden. Durch L-Pegel auf der  $\overline{\text{RTS}}$ -Leitung kann der Prozessor ein anderes Gerät steuern und z.B. dort den Sendeteil einschalten.

## 5. Stromlaufplan der Baugruppe

Bild 15 zeigt den Stromlaufplan der Baugruppe "Programmierbare Serienschnittstelle". Im Anschluß daran werden die bisher noch nicht behandelten Schaltungseinzelheiten erklärt.

Die Baugruppe erhält die drei Betriebsspannungen +5 V, +12 V und -12 V. Diese werden durch die Kondensatoren C1 bis C3 abgeblockt (Bild 15). Fast alle Bausteine arbeiten mit +5 V, nur IC7 wird mit +12 V betrieben. IC7 und IC8 sind V-24/TTL-bzw. TTL/V-24-Pegelwandler, die für bestimmte Anwendungsfälle nachbestückt werden können. Bei der seriellen Datenübertragung hat sich ein Spannungspegel durchgesetzt, bei dem die Übertragungsleitung die Werte +12 V und -12 V annimmt, wobei -12 V 1-Signal entspricht. Die Bezeichnung "V-24-Pegelwandler" ergibt sich aus dem Spannungshub von insgesamt 24 V.

Die Busanschlüsse "RX" (29c) und "TX" (30c) führen zur CPU-Baugruppe, die ebenfalls einen seriellen Datensender und einen Empfänger mit Pegelwandlern besitzt. Im normalen Betrieb wird der serielle Datenstrom der ASCII-Tastatur und des Videointerfaces über die Leitungen RX bzw. TX und die Anschlüsse "SID" (Seriell Input Data) und "SOD" (Seriell Output Data) der CPU 8085 geführt. Für bestimmte Anwendungen oder zu Übungszwecken können die Daten der Tastatur über "RX" und IC8 an den Empfänger der programmierbaren Serienschnittstelle gegeben werden. Die Senderdaten der Schnittstelle (TxD) sind über IC7 auf die Leitung "TX" des Systembusses aufschaltbar. Entsprechend müssen die Brücken P3 und P5 bzw. P4 und P6 geschlossen werden. Hiervon wird allerdings z.Zt. kein Gebrauch gemacht. Beachten Sie, daß niemals zwei Datensender auf eine Leitung arbeiten dürfen!

IC1 und IC2.1 erzeugen das erforderliche  $\overline{\text{CS}}$ -Signal für IC3, wenn die richtige Baugruppennummer vorliegt. IC2.2 invertiert das L-aktive  $\overline{\text{Reset}}$ -Signal des Systembusses. IC2.3 frischt den 2-MHz-Systemtakt auf.

Programmierbare Serienschnittstelle

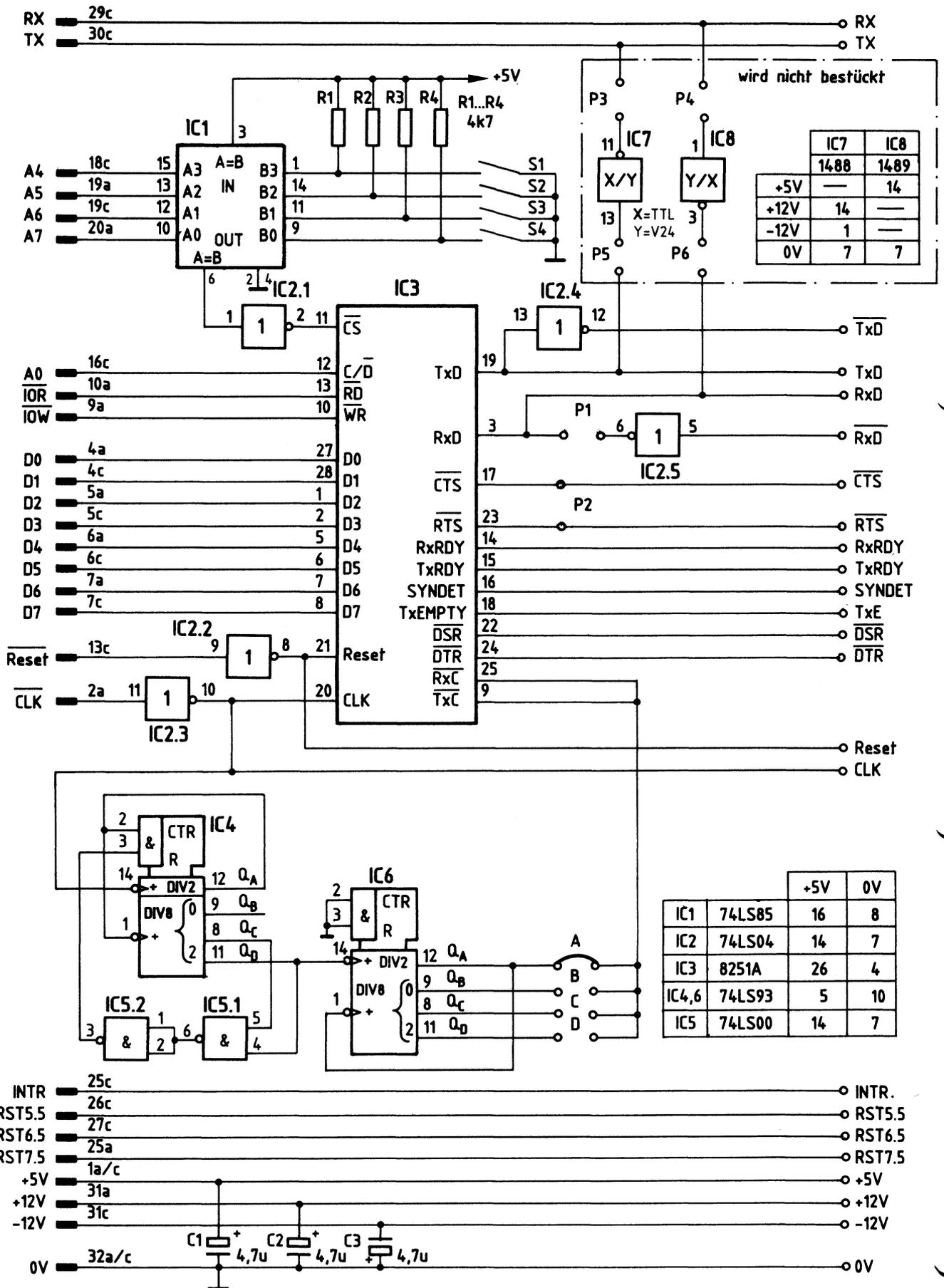


Bild 15: Stromlaufplan

---

## Programmierbare Serienschnittstelle

---

IC4, IC5.1 und IC5.2 sind so geschaltet, daß IC4 eine Frequenzteilung von 13:1 durchführt. IC6 besitzt vier 2:1-Teiler zur Erzeugung der Taktfrequenzen für vier unterschiedliche Baudraten, die mit den Brücken A bis D ausgewählt werden können. Wichtig: Es darf immer nur eine der vier Brücken geschlossen sein.

IC2.4 invertiert das serielle Ausgangssignal des Schnittstellenbausteins. Somit stehen die Signale TxD und  $\overline{\text{TxD}}$  zur Verfügung.

Die Empfängerdaten werden über den Anschluß RxD zur seriellen Schnittstelle geführt. Bei geschlossener Brücke P1 können dem seriellen Empfänger über  $\overline{\text{RxD}}$  invertierte Daten zugeführt werden. In diesem Fall muß der Anschluß RxD freibleiben.

Die Brücke P2 wird geschlossen, wenn die programmierbare Serienschnittstelle zusammen mit einem MODEM (Modulator/Demodulator) zum Kassetten-Interface ausgebaut wird. Dies ist in der Übung BFZ/MFA 4.4.a beschrieben.

Mit den Anschlüssen "INTR", "RST5.5", "RST6.5" und "RST7.5" können bei der CPU 8085 Interrupts ausgelöst werden. Da dies bei bestimmten Anwendungsfällen erforderlich sein kann, sind diese Leitungen vom Systembus auf die Leiterplatte geführt. Im Moment wird davon allerdings kein Gebrauch gemacht.

## 6. Die Programmierung des seriellen Schnittstellenbausteins

Bevor der serielle Schnittstellenbaustein 8251 Daten aussenden oder empfangen kann, muß er initialisiert, d.h. in seiner Betriebsart programmiert werden. Hierzu gibt der Prozessor zwei Steuerbytes in festgelegter Reihenfolge aus: Das erste, "Betriebsarten-Wort" genannte Steuerbyte, gelangt in das Betriebsartenregister, das zweite ("Kommando-Wort") in das Kommandoregister (Bilder 7 u. 8). Beide Register besitzen die gleiche Portadresse. Die erforderlichen Steuerworte können im Prozessor durch den Befehl "MVI A,konst" gebildet und durch "OUT Adr" ausgegeben werden.

### 6.1. Das Betriebsarten-Wort

Bild 16 zeigt die Bildung des Betriebsarten-Wortes. Die Benennung der einzelnen Bits ist dem Datenbuch entnommen. Sie haben folgende Bedeutung:

- "B1" (D0) und "B2" (D1), Baudraten- und Betriebsarten-Bits

Mit "B1" und "B2" wird die Betriebsart und das interne Teilverhältnis des seriellen Schnittstellenbausteins festgelegt. Für den BFZ/MFA-Computer kommt nur der Asynchronbetrieb mit 16- oder 64facher interner Frequenzteilung in Frage.

Programmierbare Serienschnittstelle

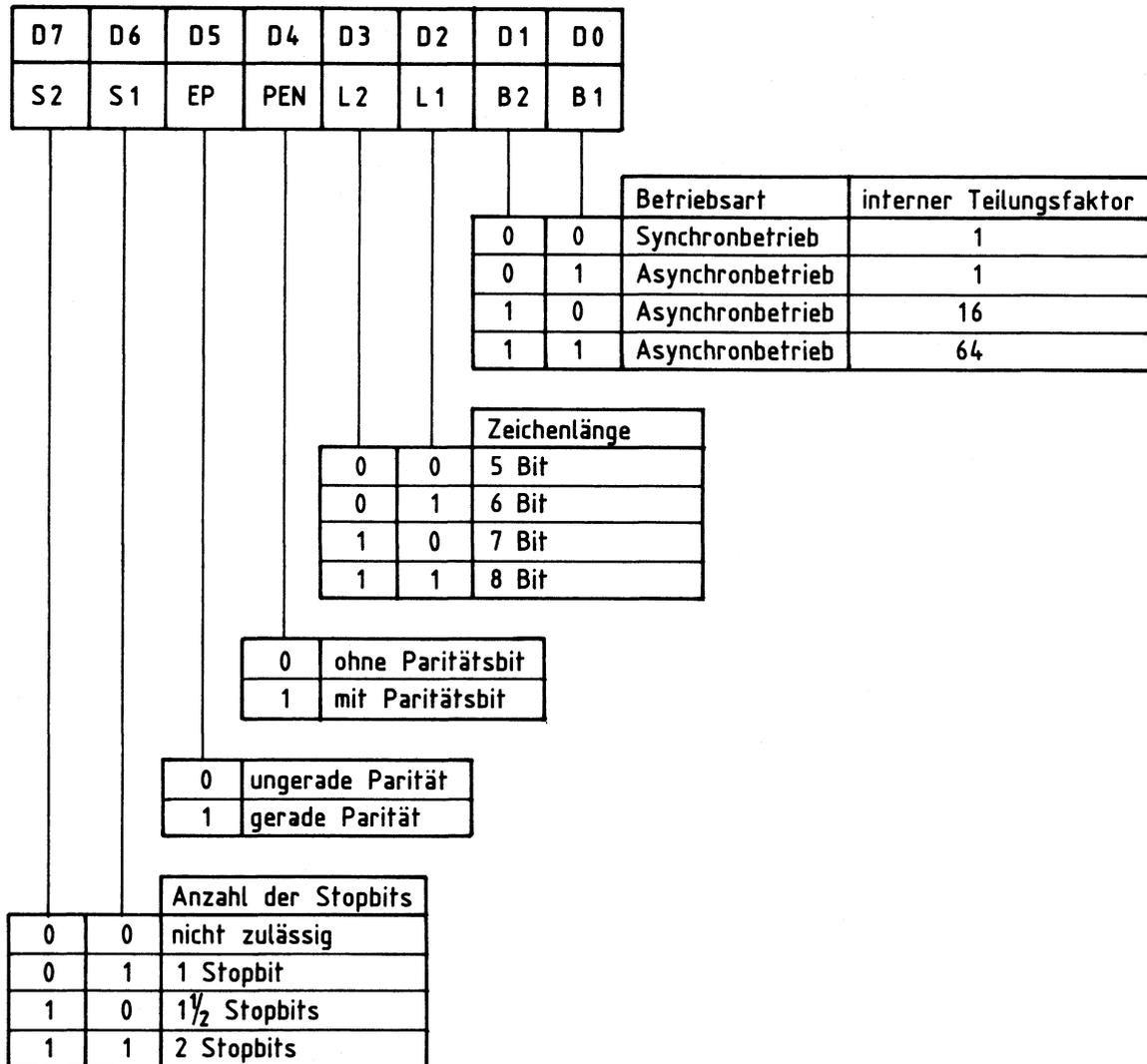


Bild 16: Das Betriebsarten-Wort

- "L1" (D2) und "L2" (D3), Längen-Bits  
 "L1" und "L2" des Betriebsartenwortes bestimmen die Länge der Datenübertragung, womit die Anzahl der Datenbits innerhalb einer Übertragungssequenz gemeint ist (nicht die Gesamtlänge!). Meistens wird eine Übertragung von 7 Bit (z.B. für ASCII-Zeichen) oder 8 Bit (für allgemeine Datenübertragung) gewählt. Eine 5-Bit-Übertragung ist z.B. für den Baudot-Code (5-Bit-Fernschreibcode) erforderlich.
  
- "PEN" (D4), Parity Enable, Paritätsprüfung ein- und ausschalten  
 Bei L-Signal (0-Pegel) bildet der Sender kein Paritätsbit. Außerdem prüft der Empfänger nicht die Parität empfangener Zeichen. Bei H-Signal fügt der Sender automatisch Paritätsbits in den Datenstrom ein, und der Empfänger überprüft die Parität der empfangenen Zeichen. Das Ergebnis der Paritätsprüfung steht im Statusregister.

Programmierbare Serienschnittstelle

- "EP" (D5), Even Parity, gerade Parität  
 Falls das Paritätsbit mit dem Steuerbit "PEN" (D4) eingeschaltet wurde bzw. eine Paritätsprüfung erfolgen soll, kann mit D5 zwischen der geraden (bei 1-Signal von D5) und der ungeraden Parität (bei 0-Signal) gewählt werden.
- "S1" (D6) und "S2" (D7), Anzahl der Stopbits  
 Im Asynchronbetrieb wird hiermit die Anzahl der Stopbits festgelegt. Im Synchronbetrieb haben diese Bits eine andere Bedeutung.

6.2. Das Kommando-Wort

Das Kommandowort, mit dessen Hilfe mehrere Funktionen gesteuert werden können, gelangt nach der Programmierung des Betriebsartenregisters stets in das Kommandoregister. Bild 17 zeigt die Bildung des Kommandowortes.

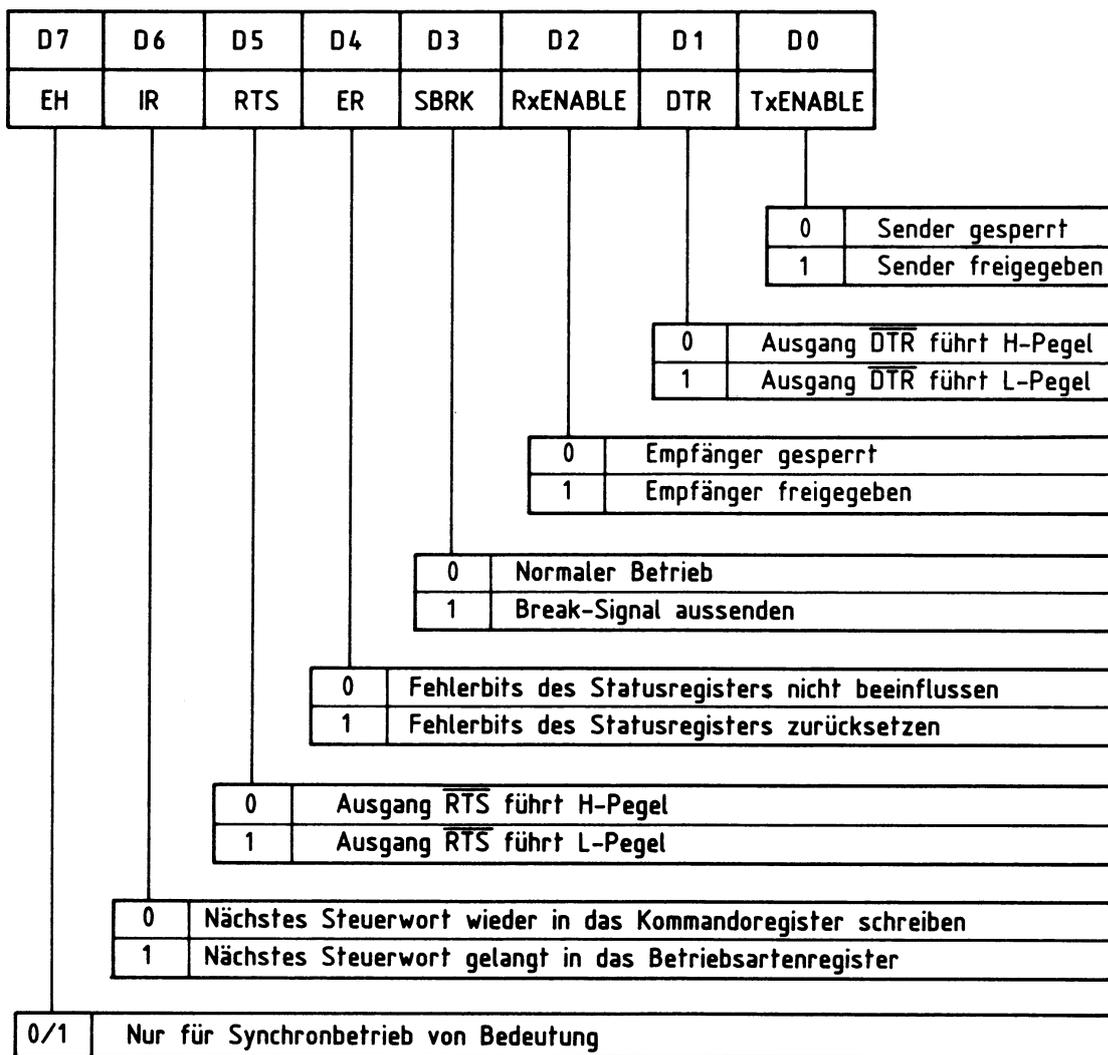


Bild 17: Das Kommando-Wort

---

Programmierbare Serienschnittstelle

---

Bei den folgenden Erklärungen wird mehrfach auf Bild 14 der Funktionsbeschreibung hingewiesen. Beachten Sie in diesem Zusammenhang auch die entsprechenden Textstellen des Kapitels 4 der Funktionsbeschreibung (Vollständiger Anschluß des Schnittstellenbausteins).

Die Bezeichnung und Bedeutung der einzelnen Kommando-Bits:

- "TxENABLE" (D0), Senderfreigabe

Mit L-Signal wird der serielle Datensender gesperrt und mit H-Signal freigegeben. Zu beachten ist, daß zur Senderfreigabe zusätzlich der Bausteinanschluß "CTS" L-Pegel führen muß (Bild 14). Die Steuerung des Kommandobits "TxENABLE" nennt man "Software-Freigabe", die des Anschlusses "CTS" "Hardware-Freigabe" des Senders.

Die Senderfreigabe wirkt sich auf den Bausteinanschluß "TxRDY" und das gleichbenannte Bit "TxRDY" des Statusregisters aus.

Bei freigegebenem Datensender tritt am Schnittstellenausgang "TxRDY" H-Pegel auf, wenn der Datensender bereit ist, ein neues Zeichen aufzunehmen. Ist der Sender jedoch gesperrt, bleibt der Ausgang "TxRDY" auf L-Pegel, auch wenn der Datensender leer ist und ein Zeichen aufnehmen könnte.

Im allgemeinen wird der Ausgang "TxRDY" dazu verwendet, einen Prozessor-Interrupt auszulösen, durch den ein neues Zeichen in das Senderregister eingeschrieben wird. Hierbei wirkt die Senderfreigabe so, daß bei H-Signal des Bits "TxENABLE" das Auftreten des Interrupt-auslösenden H-Signals an "TxRDY" möglich ist. Bei "gesperrtem" Sender (Kommando-Bit "TxENABLE" auf L-Pegel) bleibt "TxRDY" auf L-Pegel, wodurch kein Interrupt ausgelöst werden kann.

Im BFZ/MFA-Computer wird hiervon allerdings kein Gebrauch gemacht, da die Information, daß der Datensender ein neues Zeichen aufnehmen kann, auch im Bit "TxRDY" des Statusregisters steht. Falls man ohne Interrupts arbeitet, muß der Prozessor dieses Zustandsbit prüfen, um hierdurch festzustellen, ob der Sender frei ist oder nicht. Bei gesperrtem Sender (Bit "TxENABLE" des Kommandowortes hat L-Pegel) ist das Statusbit "TxRDY" ständig auf L-Pegel gesetzt und signalisiert hierdurch, daß der Sender blockiert ist.

- "DTR" (D1), Ausgang "DTR" (Data Terminal Ready) setzen

Dieses Bit des Kommandowortes setzt den beliebig zu verwendenden Bausteinanschluß "DTR" auf H- oder L-Pegel, wobei für H-Pegel am Ausgang ein L-Pegel des Steuerbits erforderlich ist (Bild 14).

---

## Programmierbare Serienschnittstelle

---

### - "RxENABLE" (D2), Empfängerfreigabe

Mit H-Pegel wird der serielle Datensender freigegeben und mit L-Pegel gesperrt. Das Kommandobit "RxENABLE" wirkt sich intern auf den Bausteinanschluß "RxRDY" und auf das gleichbenannte Bit "RxRDY" des Statusregisters aus.

Bei freigegebenem Empfänger tritt am Schnittstellenausgang "RxRDY" H-Pegel auf, wenn im Empfängerregister ein Zeichen vorliegt. Führt Bit D2 des Kommandoregisters jedoch L-Pegel, bleibt der Ausgang "RxRDY" auf L-Pegel, auch wenn Zeichen empfangen wurden.

Im allgemeinen wird der Ausgang "RxRDY" dazu verwendet, einen Interrupt auszulösen, durch den ein empfangenes Zeichen in den Prozessor eingelesen wird. Hierbei wirkt die Empfängerfreigabe so, daß bei H-Signal des Bits "RxENABLE" das Auftreten des Interrupt-auslösenden H-Signals an "RxRDY" möglich ist. Bei "gesperrtem" Empfänger (Kommando-Bit "RxENABLE" auf L-Pegel) bleibt "RxRDY" auf L-Pegel, wodurch kein Interrupt ausgelöst werden kann.

Im BFZ/MFA-Computer wird hiervon allerdings kein Gebrauch gemacht, da die Information, daß der Empfänger ein neues Zeichen aufgenommen hat, auch im Bit "RxRDY" des Statusregisters steht. Falls man ohne Interrupts arbeitet, muß der Prozessor dieses Zustandsbit prüfen, um hierdurch festzustellen, ob ein neues Zeichen vorliegt oder nicht. Bei gesperrtem Empfänger (Bit "RxENABLE" des Kommandowortes hat L-Pegel) ist das Statusbit "RxRDY" ständig auf L-Pegel gesetzt und signalisiert hierdurch, daß der Empfänger blockiert ist.

### - "SBRK" (D3), Send Break (Sende Unterbrechungs-Signal aus)

Dieses Bit des Kommando-Wortes hat im BFZ/MFA-Computer keine Bedeutung. Es wirkt mit dem Bausteinanschluß "SYNDET" zusammen, der je nach Betriebsart verschiedene Aufgaben besitzt. Informationen hierzu entnehmen Sie bitte den Datenbüchern.

### - "ER" (D4), Error Reset (Fehler-Bits des Statusregisters zurücksetzen)

Das Statusregister besitzt drei Bits, mit denen das Auftreten bestimmter Fehler bei der Datenübertragung signalisiert wird. Bei H-Signal des Bits "ER" werden die Fehler-Bits des Statusregisters zurückgesetzt.

### - "RTS" (D5), Ausgang $\overline{\text{RTS}}$ (Request To Send) setzen

Dieses Bit setzt den beliebig zu verwendenden Ausgang " $\overline{\text{RTS}}$ " auf H- oder L-Pegel, wobei das Steuerbit für H-Pegel am Ausgang L-Pegel besitzen muß (Bild 14).

---

**Programmierbare Serienschnittstelle**

---

- "IR" (D6), Initialization Request (Umschalten auf das Betriebsartenregister)  
Wird dieses Bit auf H-Pegel gesetzt, gelangt das nächste Steuerwort nicht in das Kommandoregister, sondern in das Betriebsartenregister.  
Bei der Initialisierung bzw. Programmierung des Bausteins, zu der nach jedem Kaltstart oder Reset-Signal zwei Steuerworte erforderlich sind, gelangt das erste Steuerwort in das Betriebsartenregister und das zweite, sowie alle folgenden, in das Kommandoregister (Bild 8).  
Da es zwei Control-Register (Betriebsarten- und Kommandoregister) gibt, aber zur Unterscheidung zwischen Daten- und Control-Registern nur ein Bausteinanschluß (C/D) vorhanden ist, wurde die Reihenfolge der Programmierung festgelegt. Das Bit "IR" des Kommandowortes ermöglicht es, nach der Initialisierung, wenn weitere Steuerworte stets in das Kommandoregister gelangen, doch noch das Betriebsartenregister zu erreichen, falls dies erforderlich ist.
  
- "EH" (D7), Enter Hunt Mode (Suchen nach Synchronisationszeichen im Synchronbetrieb)  
Dieses Bit hat im Asynchronbetrieb, auf den sich diese Beschreibung beschränkt, keinen Einfluß.

### 6.3. Das Statusregister

Das Statusregister wird nicht programmiert, sondern kann vom Prozessor nur gelesen werden. Hierdurch erhält der Prozessor Zustandsmeldungen über den Datensender, den Datenempfänger und einige Bausteinanschlüsse. Außerdem meldet das Statusregister bestimmte Fehler beim seriellen Datenempfang.

Da die Programmierung des Schnittstellenbausteins in gewisser Weise auch das Statusregister beeinflusst, wird es in diesem Zusammenhang behandelt. Bild 18 zeigt den Aufbau des Statusregisters. Bei den anschließenden Erklärungen wird mehrfach auf Bild 14 der Funktionsbeschreibung hingewiesen. Beachten Sie in diesem Zusammenhang auch die entsprechenden Textstellen des Kapitels 4 der Funktionsbeschreibung (Vollständiger Anschluß des Schnittstellenbausteins).

Programmierbare Serienschnittstelle

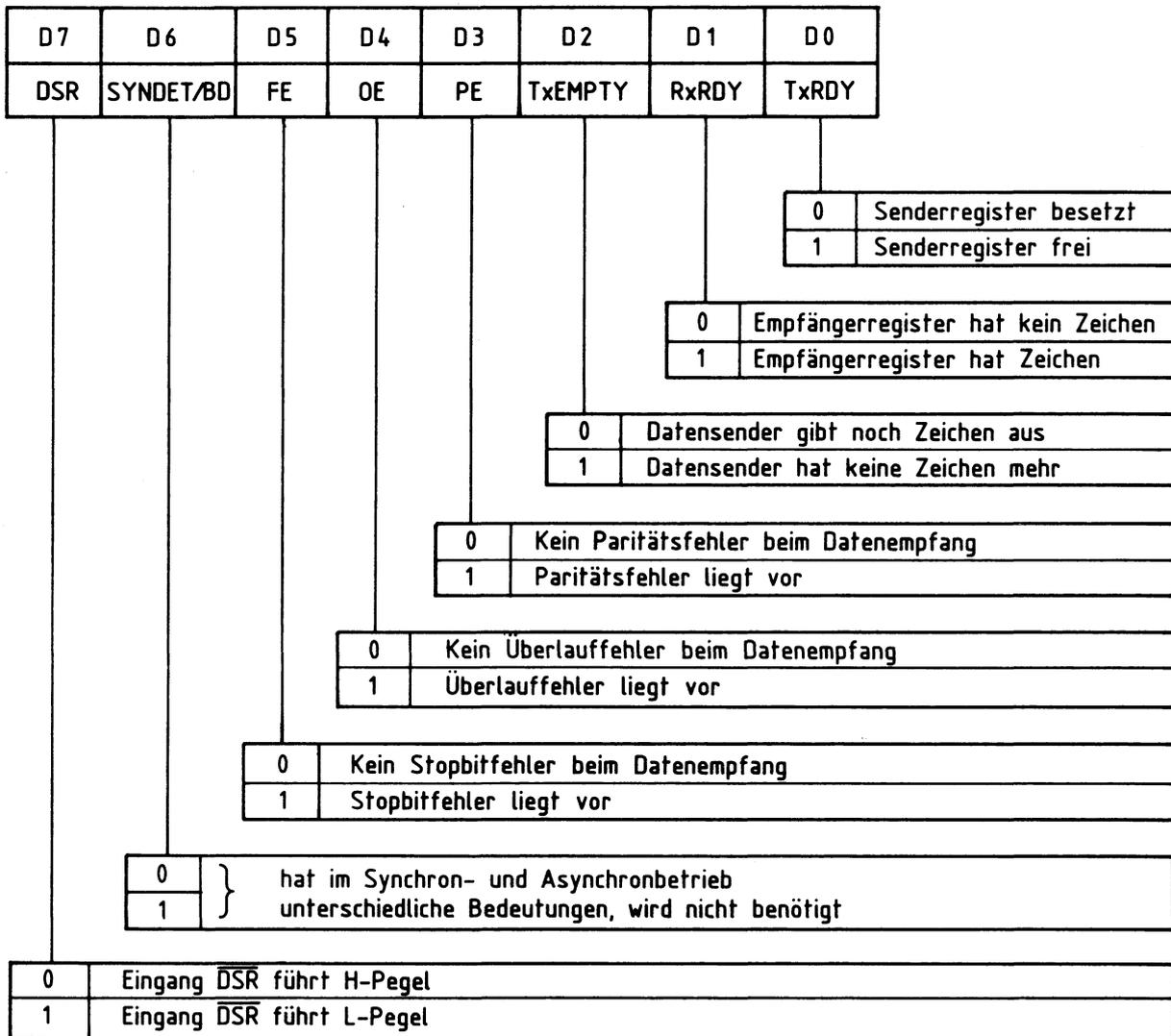


Bild 18: Das Statusregister

Die Bezeichnung und die Bedeutung der einzelnen Status-Bits:

- "TxRDY" (D0), Transmitter Ready (Sender fertig. Besser: Sender bereit zum Empfang des nächsten auszugebenden Zeichens von der CPU)  
Dieses Bit des Statusregisters zeigt dem Prozessor durch H-Pegel an, daß das Senderregister leer ist und vom Prozessor ein neues Zeichen aufnehmen kann. Hierdurch wird der Datenaustausch zwischen Mikroprozessor und Schnittstellenbaustein nach dem Abfrageverfahren (Polling-Verfahren) gesteuert, das im BFZ/MFA-Computer zur Anwendung kommt.

---

Programmierbare Serienschnittstelle

---

Anstelle des Polling-Verfahrens kann die Schnittstelle auch durch Interrupts gesteuert werden. Hierzu ist aber nicht das Statusbit "TxRDY", sondern der gleichbenannte Bausteinanschluß "TxRDY" vorgesehen (Bild 14). Die Funktion des Statusbits "TxRDY" ist jedoch im Gegensatz zum Bausteinanschluß "TxRDY" nicht mit dem Bausteinanschluß " $\overline{\text{CTS}}$ " und dem Kommandobit "TxENABLE" verknüpft. Weitere Hinweise entnehmen Sie bitte den Datenbüchern.

- "RxRDY" (D1), Receiver Ready (Empfänger fertig. Besser: Im Empfängerregister liegt ein Zeichen vor, das vom Prozessor gelesen werden kann)  
Dieses Bit des Statusregisters zeigt dem Prozessor durch H-Pegel an, daß im Empfängerregister ein Zeichen vorliegt, welches vom Prozessor gelesen werden kann. Hierdurch kann der Datenaustausch zwischen Mikroprozessor und Schnittstellenbaustein nach dem Polling-Verfahren gesteuert werden. Das Bit D1 des Statusregisters besitzt die gleiche logische Aussage wie der Bausteinanschluß "RxRDY", der zur Interruptsteuerung vorgesehen ist (Bild 14).
- "TxEMPTY" (D2), Transmitter Empty (Datensender leer)  
Das Bit D2 des Statusregisters hat H-Pegel, wenn alle Zeichen des seriellen Datensenders (Senderregister und Schieberegister) vollständig ausgegeben wurden. Diese Information entspricht dem logischen Pegel des Bausteinanschlusses "TxEMPTY" (Bild 14).
- "PE" (D3), Parity Error, Paritätsbit-Fehler  
Bit D3 meldet durch H-Pegel das Auftreten eines Paritätsfehlers, wodurch aber die weitere Arbeitsweise des Empfängers nicht beeinflußt wird. Dieses und die beiden anderen Fehlerbits des Statusregisters können durch ein Kommandowort zurückgesetzt werden.
- "OE" (D4), Overrun Error, Überlauffehler  
Wenn der Prozessor während des seriellen Datenempfangs das Empfängerregister nicht rechtzeitig liest, kann es vorkommen, daß ein Zeichen, das noch im Empfängerregister steht, bereits durch ein neues Zeichen überschrieben wird. In diesem Falle meldet das Bit D4 des Statuswortes einen Überlauffehler.
- "FE" (D5), Frame Error, Rahmenfehler. Besser: Stopbit-Fehler  
Durch das auf der Sender- und der Empfängerseite stets gleiche Übertragungsformat kann der Schnittstellenbaustein das Auftreten des ersten Stopbits vorhersagen. Tritt anstelle des erwarteten H-Signals beim Stopbit ein L-Signal auf, meldet dies Bit D5 des Statusregisters durch H-Signal.

---

## Programmierbare Serienschnittstelle

---

### - "SYNDET/BD" (D6)

Dieses Bit des Statusregisters hat im Synchronbetrieb eine andere Bedeutung als im Asynchronbetrieb. Es wird im BFZ/MFA-Computer nicht ausgewertet.

### - "DSR" (D7), Data Set Ready, Betriebsbereitschaft eines (anderen) Gerätes

Der Bausteineingang "DSR" kann für beliebige Zwecke verwendet werden. Beispielsweise kann ein anderes Gerät dem Prozessor über diesen Anschluß mitteilen, daß es betriebsbereit ist (Bild 14). Führt der Anschluß "DSR" H-Pegel, besitzt das Statusbit "DSR" L-Pegel (und umgekehrt).

## 6.4. Beispiele zur Programmierung des seriellen Schnittstellenbausteins

Zwei Beispiele sollen die Bildung des Betriebsarten- und Kommandowortes sowie die Programmierung des Bausteins verdeutlichen.

### Beispiel 1)

Bei einer Baudrate von 2400 Bd wird folgende Betriebsart gewünscht:

- Asynchrone Datenübertragung mit einem internem Teilerverhältnis von 16:1
- Zeichenlänge 7 Bit
- Paritätsprüfung auf gerade Parität
- 1 1/2 Stopbits

Das Kommandowort soll bewirken:

- Freigabe des Senders und des Empfängers
- Ausgang "DTR" führt L-Pegel, Ausgang "RTS" führt H-Pegel
- Normalbetrieb (kein Break-Betrieb)
- Fehlerbits des Statusregisters zurücksetzen
- keine Umschaltung auf das Betriebsartenregister

Für die gewünschte Baudrate und das gewählte Teilerverhältnis ist lt. Bild 13 die Brücke "B" erforderlich (siehe auch im Stromlaufplan).

Das Betriebsartenwort kann mit Hilfe von Bild 16 gebildet werden. Es ist in Bild 19 dargestellt. Das Kommandowort wird mit Hilfe von Bild 17 gebildet und ist in Bild 20 dargestellt.

Vergleichen Sie das angegebene Betriebsartenwort und das Kommandowort mit der gewünschten Programmierung in der Aufgabenstellung!

Programmierbare Serienschnittstelle

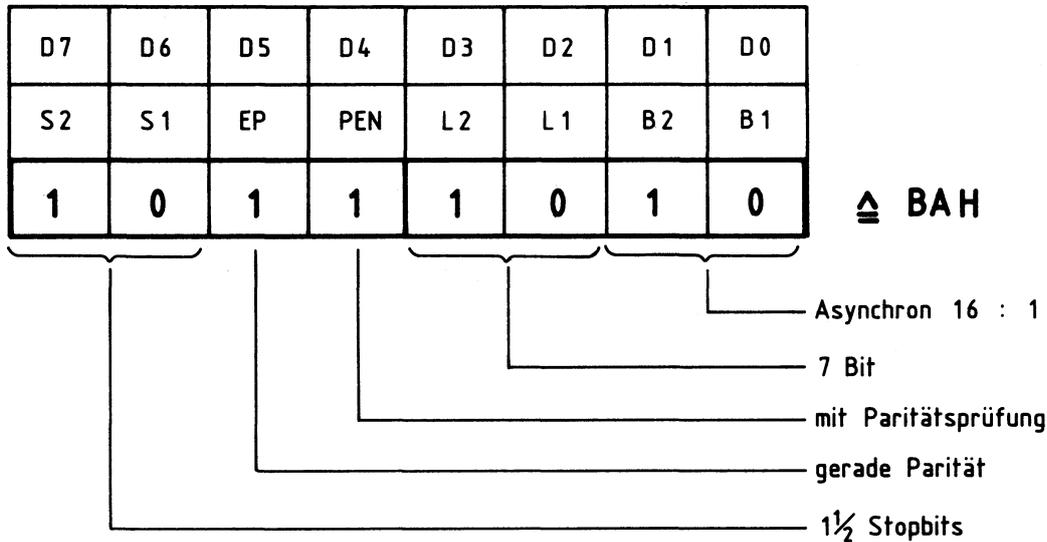


Bild 19: Das Betriebsartenwort für Beispiel 1

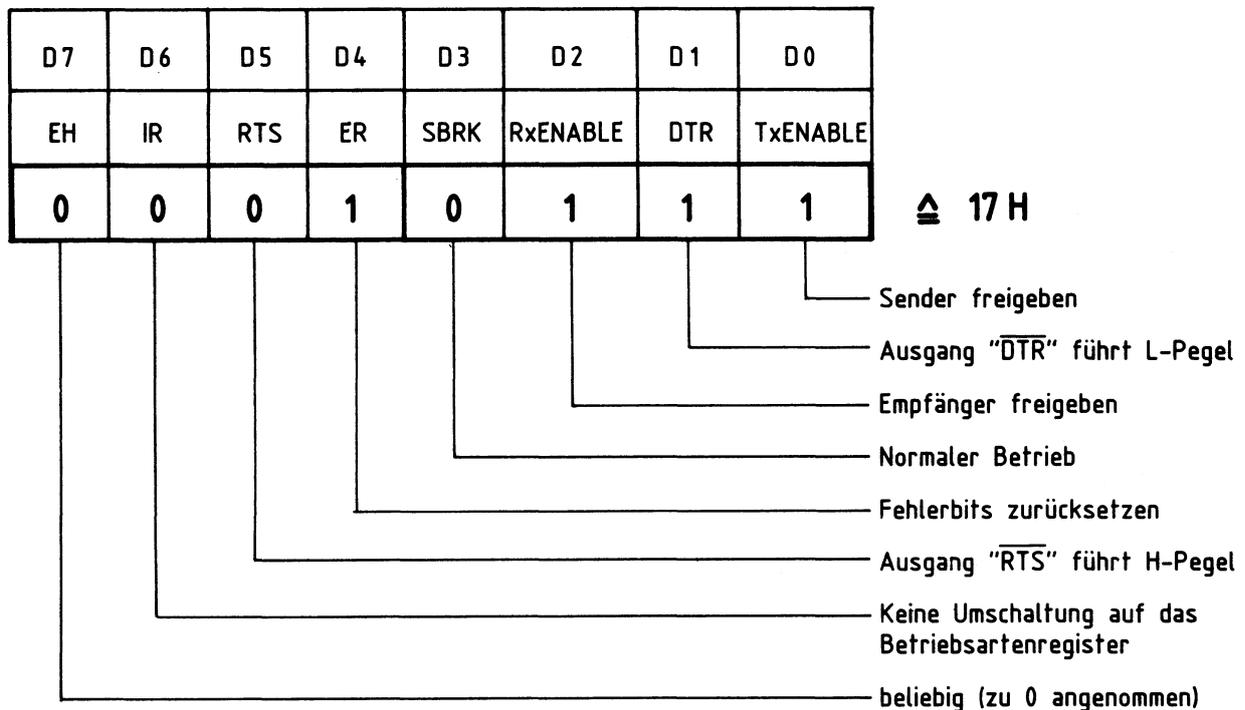


Bild 20: Das Kommandowort für Beispiel 1

Zur Initialisierung des Schnittstellenbausteins müssen die beiden Hex-Werte "BA" und "17" in die Control-Register geschrieben werden. Dabei muß zuerst das Betriebsartenwort und danach das Kommandowort ausgegeben werden. Das folgende Programm, das z.B. Teil des Betriebsprogramms sein kann, initialisiert den Schnittstellenbaustein. Hierbei wird die Baugruppennummer "FXH" verwendet.

Programmierbare Serienschnittstelle

Initialisierungsprogramm zum Beispiel 1:

Befehle	Kommentar
---	
MVI A,0BA	;Zuerst das Betriebsartenwort in den ;Akkumulator des Prozessors laden.
OUT OF1	;Akkuinhalt an Control-Register ausgeben.
MVI A,17	;Danach das Kommandowort in den Akku laden.
OUT OF1	;Akkuinhalt an Control-Register ausgeben.
---	

Beispiel 2)

In der Übung BFZ/MFA 4.4.a wird die programmierbare Serienschnittstelle als Kassetten-Interface eingesetzt. Bei der Initialisierung lautet das Betriebsartenwort "CFH" und das Kommandowort "25H". Wie ist die Schnittstelle programmiert, wenn die Brücke "A" des Baudratenteilers verwendet wird?

Zur Lösung dieser Aufgabe wird das Betriebsartenwort mit Hilfe von Bild 16 und das Kommandowort mit Hilfe von Bild 17 analysiert. Die Ergebnisse sind in den Bildern 21 und 22 wiedergegeben.

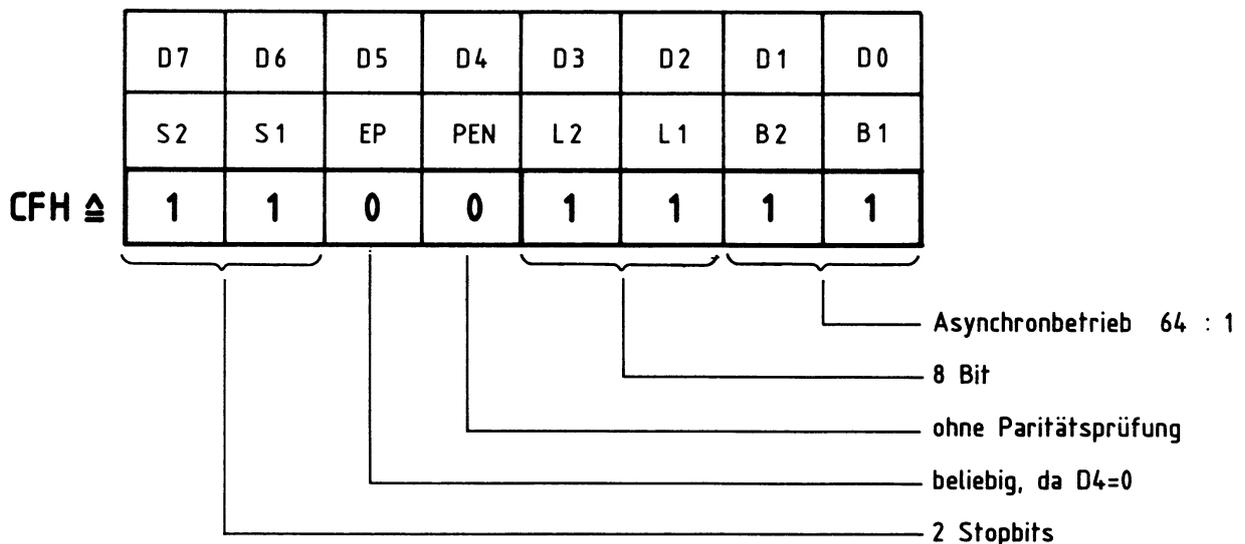
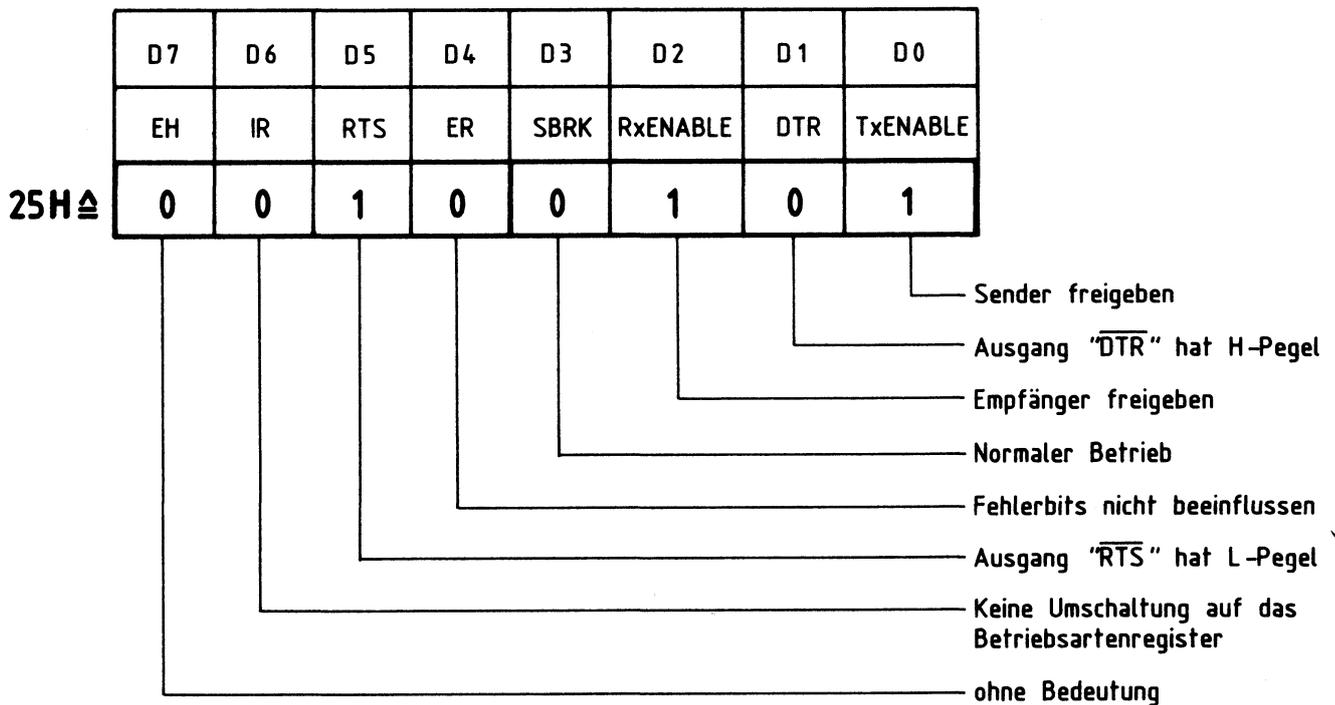


Bild 21: Betriebsartenwort zum Beispiel 2

---

 Programmierbare Serienschnittstelle
 

---


**Bild 22: Das Kommandowort zum Beispiel 2**

Das Kassetten-Interface wird durch das Betriebssystem folgendermaßen programmiert:

- asynchrone Betriebsart mit internem Teilerfaktor von 64:1
- Wortlänge 8 Bit
- keine Paritätsprüfung
- zwei Stopbits
- Sender und Empfänger freigegeben
- Ausgänge: "DTR" hat H-Pegel, "RTS" L-Pegel
- Fehlerbits bleiben unbeeinflusst

Aus Bild 13 ist zu entnehmen, daß sich bei der vorhandenen Baudratenteilung (Brücke "A") eine Baudrate von 1200 Bd ergibt.

### 7. Steuerprogramme zum Senden und Empfangen von Zeichen

Nach der Initialisierung ist die Schnittstelle bereit, Zeichen auszusenden und zu empfangen. Da Sender und Empfänger getrennt voneinander arbeiten, kann dies auch gleichzeitig erfolgen. Das Aussenden und der Empfang von Zeichen erfolgt programmgesteuert, wozu der Arbeitsspeicher des Computers spezielle Programme besitzen muß. Beim Interrupt-Verfahren sind dies "Interrupt-Service-Routinen", die beim Auftreten eines Interrupts bearbeitet werden.

---

## Programmierbare Serienschnittstelle

---

Bei der Abfrage-Methode (Polling-Verfahren) werden Ein-/ Ausgabe-Unterprogramme benötigt, die das Statusregister "abfragen" (überwachen). Das Betriebsprogramm MAT 85 besitzt entsprechende Unterprogramme für den Betrieb einer seriellen Schnittstelle als Kassetten-Interface. Andere Anwendungen erfordern eventuell davon abweichende Steuerprogramme. In den folgenden Abschnitten werden daher die wichtigsten Gesichtspunkte einfacher Ein-/ und Ausgabe-Programme behandelt. Dabei wird von der Baugruppennummer "FXH" ausgegangen.

### 7.1. Steuerprogramm für den Datensender

Zeichen, die der Datensender in serieller Form ausgeben soll, gelangen stets durch OUT-Befehle aus dem Akkumulator des Prozessors in das Senderregister der Schnittstelle. Vorher muß der Prozessor jedoch das Statusbit "TxRDY" prüfen, um festzustellen, ob das Senderregister frei oder besetzt ist. Nur bei freiem Senderregister darf er ein neues Zeichen ausgeben. Ist das Senderregister besetzt, muß der Prozessor warten, bis es freigeworden ist. Da die Statusabfrage den Akkuwert verändert, wird das auszugebende Zeichen im Register C der CPU zwischengespeichert, um anschließend wieder für die Ausgabe bereitzustehen. Bild 23 zeigt das Flußdiagramm und das Programm "SEND" für den Datensender.

Der erste Befehl ("MOV C,A") kopiert den Inhalt des Akkumulators in das Register C (Bild 23). Anschließend wird das Statusregister der seriellen Schnittstelle durch "IN OF1" in den Akkumulator des Prozessors eingelesen. Nun erfolgt die Überprüfung von Bit D0: Hat D0 L-Pegel, ist der Datensender besetzt und kann im Moment kein neues Zeichen aufnehmen. Führt D0 jedoch H-Pegel, ist der Datensender frei und kann ein neues Zeichen erhalten.

Zur Überprüfung, ob das Statusbit D0 H- oder L-Pegel besitzt, dient der Befehl "ANI 01", der Bit für Bit eine UND-Verknüpfung des Akkuinhalts mit dem Wert "01" bildet. Diesen Vorgang nennt man "maskieren", da durch die "Maske" 01 die nicht benötigten Bits D1 bis D7 abgedeckt (unterdrückt) werden. Nur D0 bleibt noch wirksam.

Hat D0 L-Pegel, führt die UND-Verknüpfung zum Gesamtergebnis Null. In diesem Fall wird der bedingte Sprungbefehl "JZ STATUS" ausgeführt und das Statusregister erneut überprüft. Dies geschieht so lange, bis D0 durch H-Pegel meldet, daß der Sender frei ist.

Programmierbare Serienschnittstelle

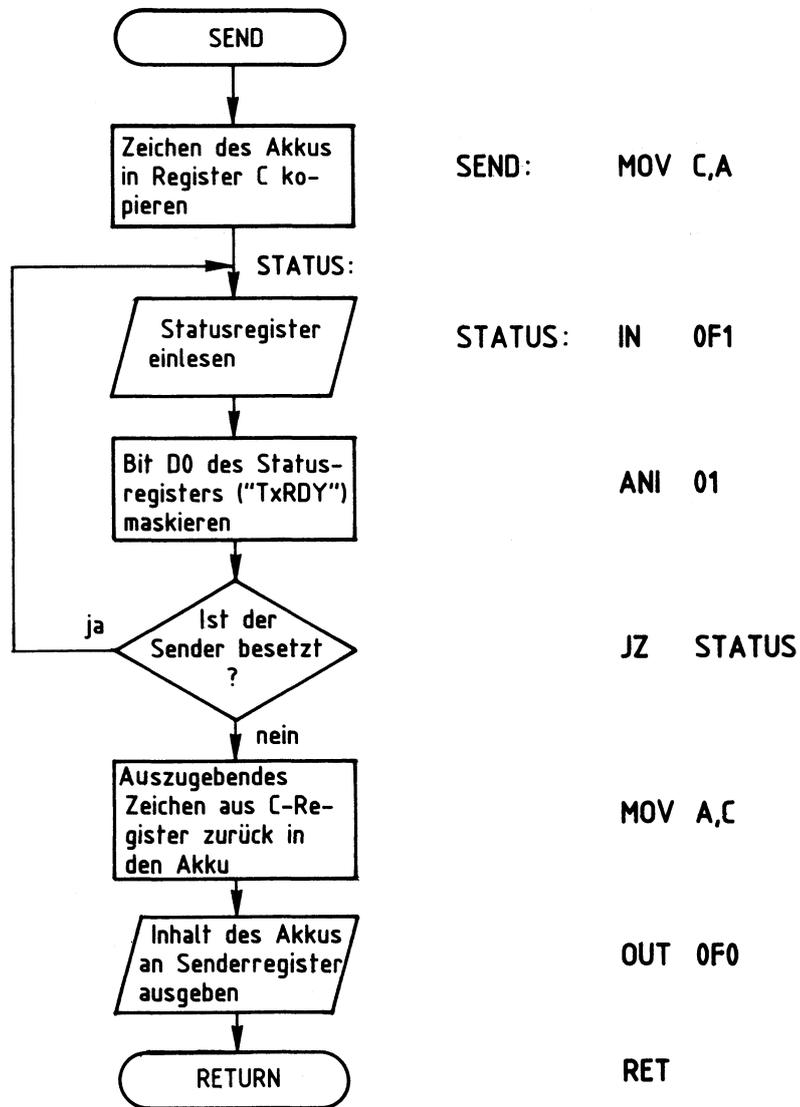


Bild 23: Flußdiagramm und Programm für den Datensender

Nun ist das Gesamtergebnis der UND-Verknüpfung nicht mehr Null. Daher wird der Befehl "JZ STATUS" übergangen und an dessen Stelle der Befehl "MOV A,C" ausgeführt. Hierdurch gelangt das auszugebende Zeichen aus dem C-Register in den Akkumulator zurück. Der folgende Befehl "OUT 0F0" bewirkt die Ausgabe des Zeichens an das Senderregister. Danach wird das Unterprogramm "SEND" durch den Rücksprungbefehl "RET" wieder verlassen.

Programmierbare Serienschnittstelle

7.2. Steuerprogramm für den Datenempfänger

Seriell empfangene Zeichen werden vom Prozessor aus dem Empfängerregister in den Akkumulator gelesen. Hierzu wird das Statusbit "RxRDY" (D1) überwacht. Es meldet durch H-Signal, daß ein Zeichen vollständig empfangen wurde. Bild 24 zeigt das Flußdiagramm und das Programm "EMPF" für den Empfänger.

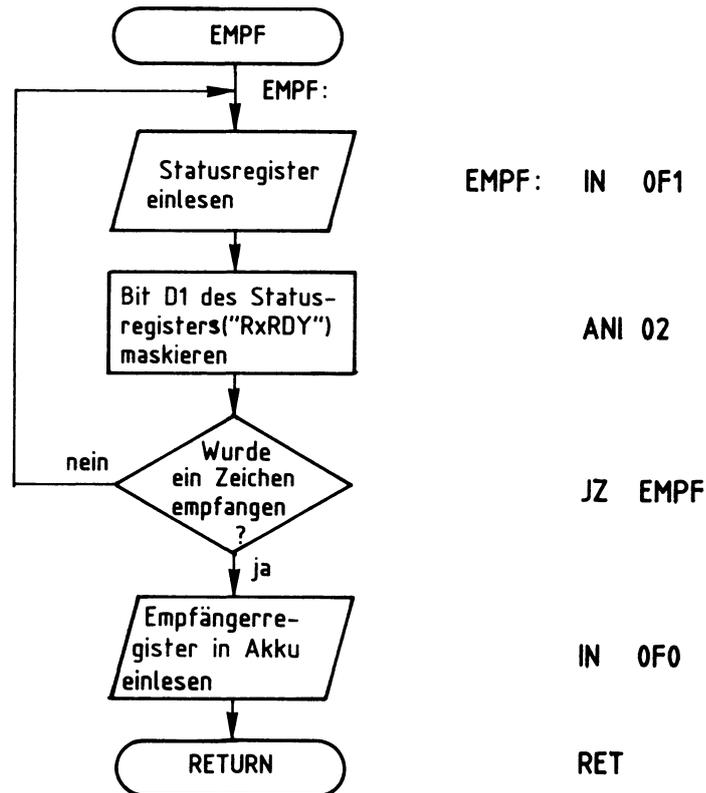


Bild 24: Flußdiagramm und Programm für den Datenempfänger

Durch den ersten Befehl ("IN 0F1") wird das Statusregister der seriellen Schnittstelle in den Akkumulator des Prozessors eingelesen (Bild 24). Anschließend erfolgt die Überprüfung von Bit D1: Solange D1 L-Pegel führt, wurde kein Zeichen empfangen, und das Empfängerregister ist leer. Führt D1 jedoch H-Pegel, liegt im Empfängerregister ein Zeichen vor, das der Prozessor einlesen kann.

Zur Überprüfung, ob das Statusbit D1 ("RxRDY") H- oder L-Pegel besitzt, wird es durch den Befehl "ANI 02" maskiert. Hat D1 L-Pegel, führt die UND-Verknüpfung zum Gesamtergebnis Null. In diesem Fall wird der bedingte Sprungbefehl "JZ EMPF" ausgeführt und das Statusregister erneut überprüft, bis D1 durch H-Pegel meldet, daß ein empfangenes Zeichen vorliegt.

## Programmierbare Serienschnittstelle

Nun wird der Befehl "JZ EMPF" übergangen und an dessen Stelle der Befehl "IN OF0" ausgeführt. Er liest den Inhalt des Empfängerregisters in den Akkumulator. Danach wird das Unterprogramm "EMPF" durch den Rücksprungbefehl "RET" wieder verlassen.

### 7.3. Testprogramm für die serielle Schnittstelle

Verbindet man den Ausgang "TxD" des Datensenders mit dem Eingang "RxD" des Datenempfängers, empfängt die Baugruppe alle ausgegebenen Daten selbst. Hierdurch läßt sich die Funktion von Sender und Empfänger auf einfache Weise überprüfen. Im praktischen Teil dieser Übung erfolgt die Überprüfung der Schnittstelle mit Hilfe des in Bild 25 gezeigten Aufbaus.

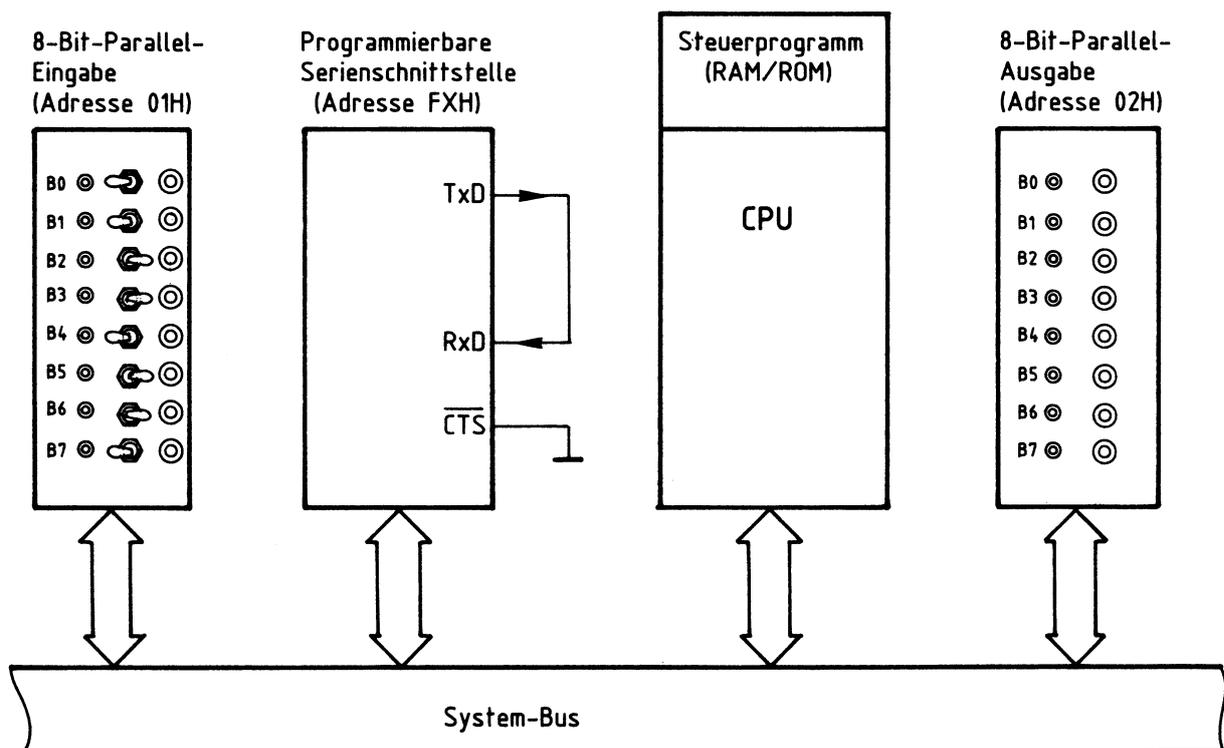


Bild 25: Aufbau zum Prüfen der Schnittstelle

Die mit den Schaltern B0 bis B7 der 8-Bit-Parallel-Eingabe eingestellten Daten werden vom Prozessor gelesen und anschließend an den Sender der seriellen Schnittstelle übergeben (Bild 25). Er ist durch L-Signal an "CTS" freigegeben und gibt die Daten am Anschluß "TxD" in serieller Form aus.

Programmierbare Serienschnittstelle

Da der Empfängereingang "RxD" mit dem Senderausgang verbunden ist, werden die gesendeten Daten wieder vom Empfänger aufgenommen. Die CPU liest diese Daten wieder ein und gibt sie zu Kontrolle an die 8-Bit-Parallel-Ausgabe aus.

Das zur Steuerung dieser Vorgänge erforderliche Programm ist in Bild 26 wiedergegeben. Es verwendet die bereits beschriebenen Steuerprogramme für den Sender und den Empfänger nach Bild 23 und Bild 24. Eine Initialisierung des Schnittstellenbausteins ist nicht mehr erforderlich, da diese stets beim Einschalten des Gerätes durch das Betriebsprogramm MAT 85 erfolgt. Hinweise zu dieser Initialisierung finden Sie im Zusammenhang mit den Bildern 21 und 22.

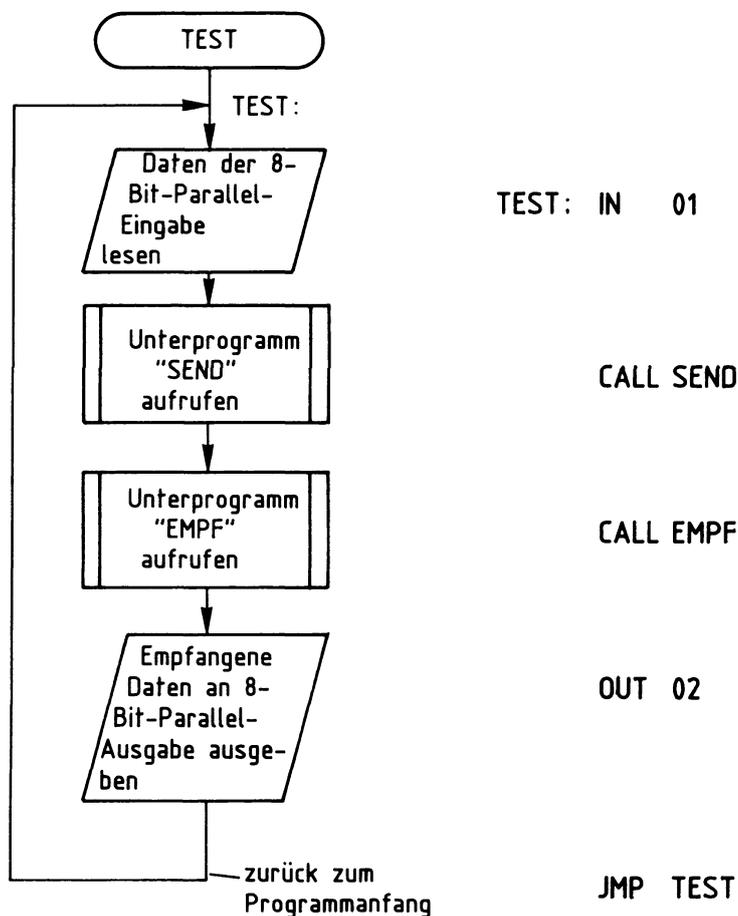


Bild 26: Testprogramm für die serielle Schnittstelle

1

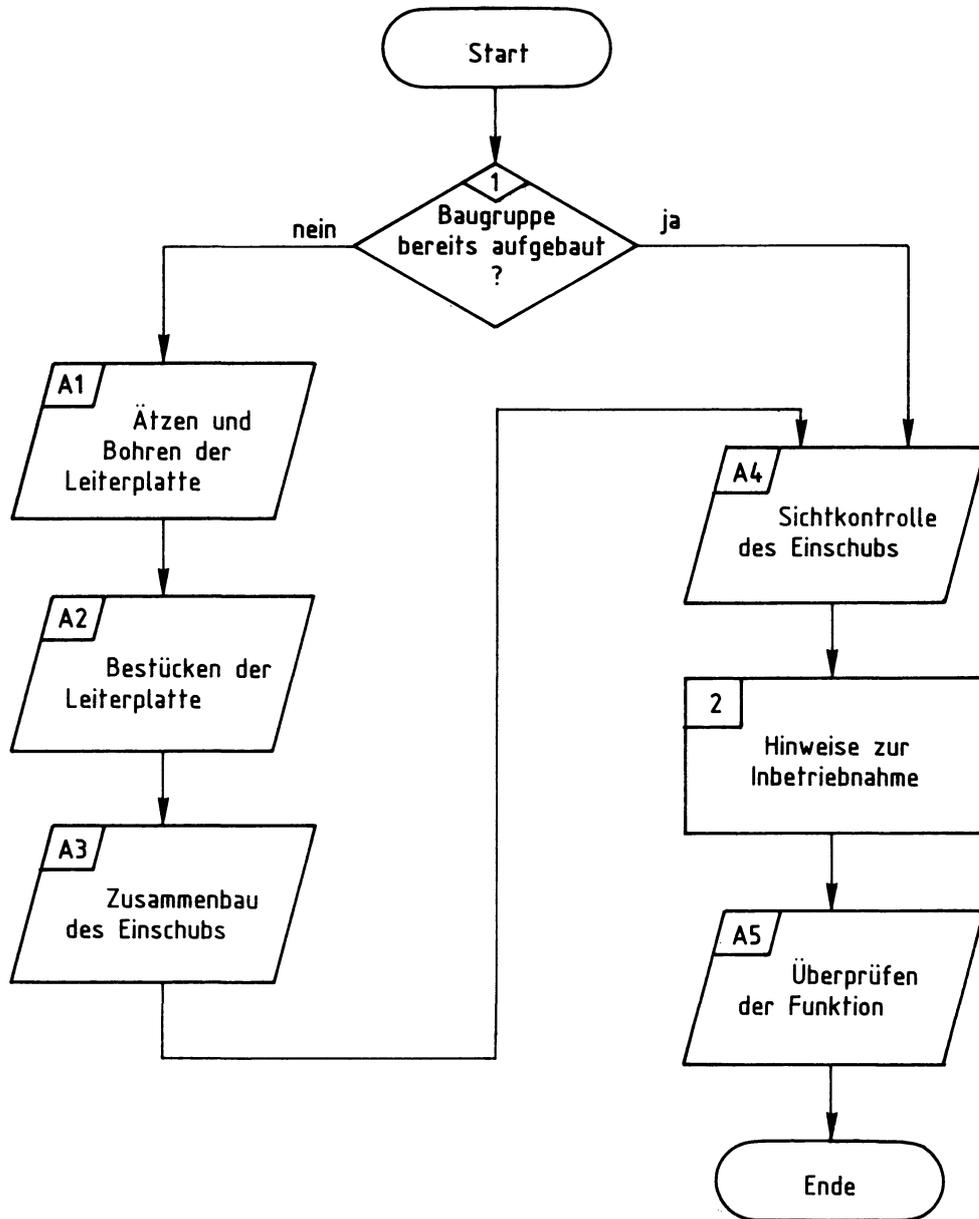
2

3

4

Programmierbare Serienschnittstelle

Flußdiagramm für den Arbeitsablauf



## Programmierbare Serienschnittstelle

Stckz.	Benennung/Daten	Bemerkung
1	Leiterplatte, ca. 110x170 mm Mat.: Epoxid-Glashartgewebe (Hgw 2372)	doppelseitig Cu-kaschiert (35 $\mu$ m) u. mit Fotolack beschichtet
je 1	Filmvorlage BFZ/MFA 4.4.L u. 4.4.B zum Belichten der Leiterplatte	je nach Ätzverfahren Pos.- oder Neg.-Film
1	Frontplatte, Teilung L-C 05 Alu, 2 mm dick, Breite: 25,1 mm	z.B. Intermas Nr. 409-017 665
1	Griff komplett mit Abdeckung T03	z.B. Intermas Nr. 409-017 927
1	Frontverbinder 1,6 FEE	z.B. Intermas Nr. 409-024 830
1	Messerleiste 64polig, DIN 41612	z.B. Erni STV-P-364 a/c Nr. 9722.333.401
1	Zylinderschraube M2,5x8 DIN 84	
2	Zylinderschraube M2,5x10 DIN 84	
3	Zylinderschraube M2,5x12 DIN 84	
2	Zylinderschraube mit Schaft BM2,5x10/5 DIN 84	
5	Federscheibe A2,7 DIN 137	
1	Federring B2,5 DIN 127	
4	Sechskantmutter M2,5 DIN 439	
2	Schraubensicherung, Kunststoff	z.B. Intermas Nr. 409-026 748
1	Miniaturschiebeschalter 4polig, DIL	als Codierschalter
4	Widerstand 4,7 k $\Omega$	alle Widerstände 0,25 W/ <u>±</u> 5% Tol.
3	Tantal-Elko 4,7 $\mu$ F/25 V oder 35 V	Tropfenform
1	IC 74 LS 00, Vier NAND mit je 2 Eing.	
1	IC 74 LS 04, Sechs Inverter	
1	IC 74 LS 85, 4-Bit-Vergleicher	
2	IC 74 LS 93, 4-Bit-Binärzähler	

---

 Programmierbare Serienschnittstelle
 

---

Stckz.	Benennung/Daten	Bemerkung
1	IC 8251, Programmierbarer Serienschnittstellen-Baustein	} siehe Anmerkung
4	IC-Fassung 14polig DIL	
1	IC-Fassung 16polig DIL	
1	IC-Fassung 28polig DIL	
n.B.	Lötdraht	
n.B.	Lötlack	
n.B.	Schaltdraht $\varnothing$ 0,5 mm, versilbert	
n.B.	Reinigungsmittel	zum Entfetten der Frontplatte
n.B.	Beschriftungsmaterial, Abreibe-symbole oder Tuscheschreiber	zum Beschriften der Frontplatte
n.B.	Plastik-Spray	zum Besprühen der Frontplatte

Im Layout der programmierbaren Serienschnittstelle sind zwei ICs zur TTL/V-24- und V-24/TTL-Pegelwandlung vorgesehen, die jedoch in vielen Fällen nicht benötigt werden. Falls diese Bausteine aber erforderlich sind, muß folgendes Material zusätzlich bereitgestellt werden:

Stckz.	Benennung/Daten	Bemerkung
2	IC-Fassung 14polig DIL	siehe Anmerkung
1	IC MC 1488, Vier Leitungstreiber für V-24-Schnittstellen	oder SN75188
1	IC MC 1489, Vier Leitungsempfänger für V-24-Schnittstellen	oder SN75189

## Anmerkung

Je nach Ausführung der geätzten Leiterplatte müssen unterschiedliche IC-Fassungen bereitgestellt werden:

Ist die Leiterplatte durchkontaktiert, können Sie gewöhnliche IC-Fassungen verwenden.

Bei nicht durchkontaktierten Leiterplatten müssen IC-Fassungen eingesetzt werden, die auch von der Bestückungsseite her verlötbar sind. Hierzu eignen sich sehr gut die sog. "Carrier-IC-Fassungen", die aus zusammengesetzten Einzelkontakten bestehen. Falls Sie die als Meterware erhältlichen Kontaktfederstreifen verwenden, benötigen Sie davon 255 mm.

## Programmierbare Serienschnittstelle

Zur Inbetriebnahme der Baugruppe "Programmierbare Serienschnittstelle" benötigen Sie zusätzlich:

Stckz.	Benennung/Daten	Bemerkung
1	Baugruppenträger mit Busverdrahtung BFZ/MFA 0.1.	Alle Baugruppen komplett aufgebaut und geprüft.
1	Bus-Abschluß BFZ/MFA 0.2.	
1	Trafoeinschub BFZ/MFA 1.1.	
1	Spannungsregelung BFZ/MFA 1.2.	
1	Prozessor 8085 BFZ/MFA 2.1.	
1	8-K-RAM/EPROM BFZ/MFA 3.1.	bestückt mit MAT 85 Basisadresse 0000
1	8-K-RAM/EPROM BFZ/MFA 3.1.	bestückt mit mindestens einem 2-K-RAM-Baustein auf Adresse F800, Basisadresse E000
1	8-Bit-Parallel-Eingabe BFZ/MFA 4.2.	
1	8-Bit-Parallel-Ausgabe BFZ/MFA 4.1.	
1	Bus-Signalgeber BFZ/MFA 5.1.	
1	Bus-Signalanzeige BFZ/MFA 5.2.	
1	Adapterkarte 64polig BFZ/MFA 5.3.	
1	Video-Interface BFZ/MFA 8.2.	
1	ASCII-Tastatur BFZ/MFA 8.1.	
1	Monitor mit Cinch-Anschluß	

---

## Programmierbare Serienschnittstelle

---

In dieser Übung werden Sie den zum Mikrocomputer-Baugruppensystem gehörenden Einschub "Programmierbare Serienschnittstelle" aufbauen und in Betrieb nehmen. Falls Sie bereits einen zusammengebauten Einschub erhalten haben, besteht Ihre Aufgabe darin, ihn zu überprüfen und in Betrieb zu nehmen.

**1**

Entscheiden Sie nun, wie Sie vorgehen.

Aufbau nach Arbeitsunterlagen  **A1**

Überprüfen des fertigen Einschubs und Inbetriebnahme  **A4**

---

In den folgenden Arbeitsschritten wird die Baugruppe "Programmierbare Serienschnittstelle" in Betrieb genommen und ihre Funktion geprüft.

**2**

Dazu benötigen Sie:

- 1 Baugruppenträger mit Busverdrahtung (BFZ/MFA 0.1.)
- 1 Bus-Abschluß (BFZ/MFA 0.2.)
- 1 Trafo-Einschub (BFZ/MFA 1.1.)
- 1 Spannungsregelung (BFZ/MFA 1.2.)
- 1 Prozessor 8085 (BFZ/MFA 2.1.)
- 1 8-K-RAM/EPROM (BFZ/MFA 3.1.), bestückt mit MAT 85, Basisadresse 0000
- 1 8-K-RAM/EPROM (BFZ/MFA 3.1.), bestückt mit mindestens einem 2-K-RAM-Baustein auf Adresse F800, Basisadresse E000
- 1 8-Bit-Parallel-Eingabe (BFZ/MFA 4.2), eingestellt auf Adresse 01
- 1 8-Bit-Parallel-Ausgabe (BFZ/MFA 4.1), eingestellt auf Adresse 02
- 1 Bus-Signalgeber (BFZ/MFA 5.1.)
- 1 Bus-Signalanzeige (BFZ/MFA 5.2.)
- 1 Adapterkarte 64polig (BFZ/MFA 5.3.)
- 1 ASCII-Tastatur (BFZ/MFA 8.1.)
- 1 Video-Interface (BFZ/MFA 8.2.)
- 1 Monitor mit Cinch-Anschluß

Alle aufgeführten Teile komplett aufgebaut und geprüft.

Darüberhinaus sollten Sie den Stromlaufplan und den Bestückungsplan der Übung "Programmierbare Serienschnittstelle" bereithalten.

---

Programmierbare Serienschnittstelle

---

Die Inbetriebnahme erfolgt schrittweise durch Prüfen der einzelnen Funktionsblöcke der Karte. Dazu werden immer nur diejenigen ICs zusätzlich in die Sockel eingesteckt, die dem gerade zu prüfenden Block angehören. Alle dazu vorgegebenen Arbeitsblätter enthalten:

**2**

- Angaben darüber, welcher Funktionsblock geprüft wird
- Angaben über Aufgabe und Funktion des Blocks innerhalb der Schaltung
- Angaben zur Vorbereitung der Prüfschritte (z.B. welche ICs zu stecken sind), vor dem Einstecken von ICs immer die Betriebsspannung ausschalten!
- Meßaufgaben; es werden hauptsächlich Messungen durchgeführt, deren Ergebnisse mit vorgegebenen Kontrollwerten zu vergleichen sind

Bei sorgfältiger Durchführung der einzelnen Arbeitsschritte lassen sich eventuell vorhandene Fehlerquellen, wie Kurzschlüsse zwischen Leiterbahnen oder defekte Bauteile, leicht ausfindig machen und beheben.

Bei der Überprüfung der Programmierbaren Serienschnittstelle werden die Kommandos "OUT", "IN", "ASSEMBLER" und "GO" des Betriebsprogramms MAT 85 verwendet. Wenn hierbei Schwierigkeiten auftreten, sollten Sie die entsprechenden Kapitel der Übung BFZ/MFA 7.1. durcharbeiten. Die Assembler-Programme können auch mit dem Kommando "MEMORY" eingegeben werden.

→ **A5**

Name: \_\_\_\_\_

Programmierbare Serienschnittstelle

Datum: \_\_\_\_\_

Für die Baugruppe "Programmierbare Serienschnittstelle" muß eine doppelseitig kupferkaschierte Leiterplatte angefertigt werden. Stellen Sie die Leiterplatte in folgenden Arbeitsschritten her:

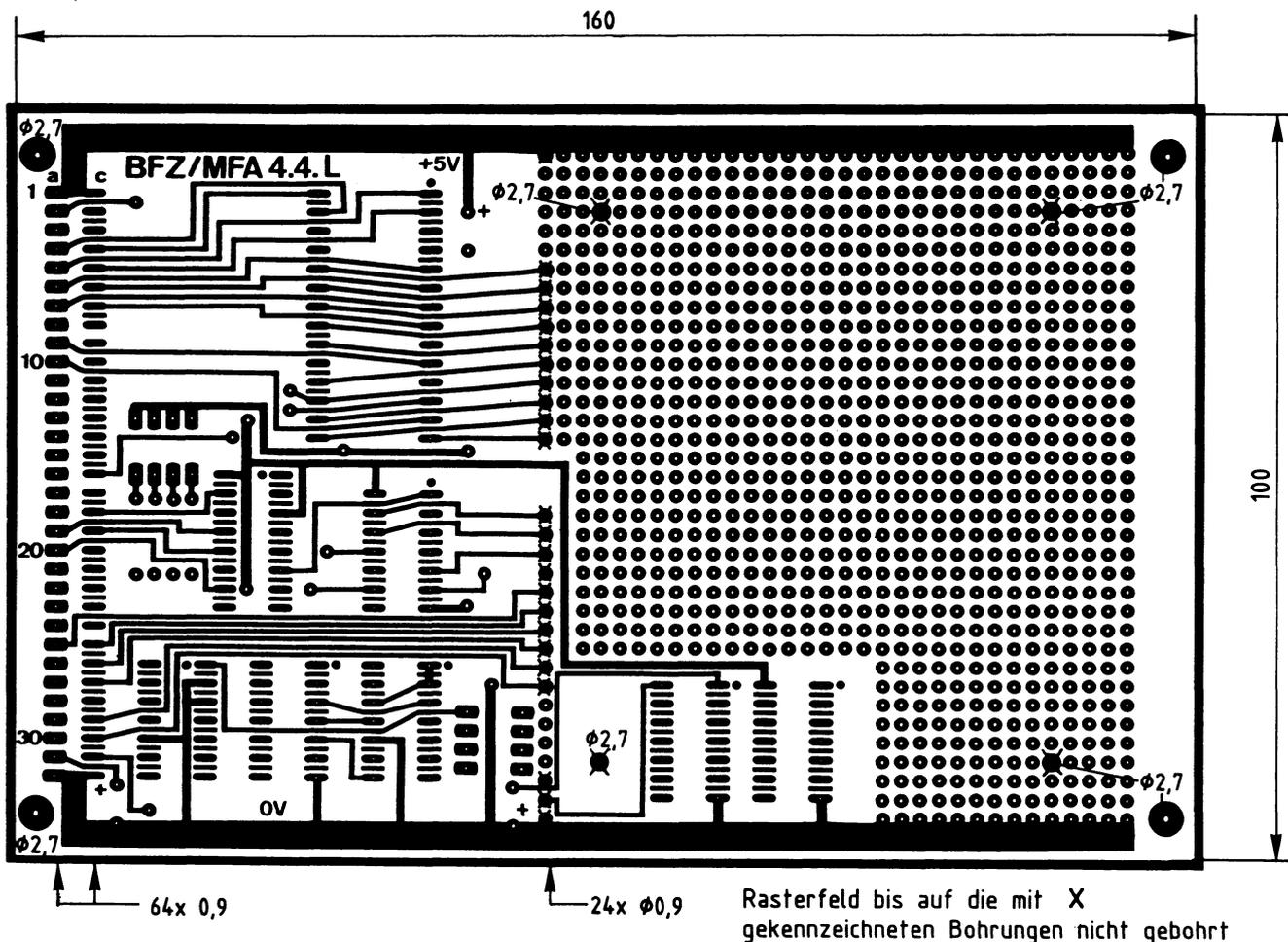
**A1.1**

1. Belichten nach Filmvorlagen BFZ/MFA 4.4.L und 4.4.B
2. Entwickeln
3. Ätzen und Fotolack entfernen
4. Auf Maß (100x160 mm) zuschneiden

Material: Epoxid-Glashartgewebe 1,5 dick (Hwg 2372)

Bohren Sie die Leiterplatte nach folgendem Bohrplan. Anschließend sind beide Seiten zu reinigen und mit Lötlack zu besprühen.

Bohrplan (Leiterbahnseite)



Alle nicht bemaßten Bohrungen  $\phi 0,8$  mm  
Benötigte Bohrer: 0,8 - 0,9 - 2,7 mm





Name: \_\_\_\_\_

Programmierbare Serienschnittstelle

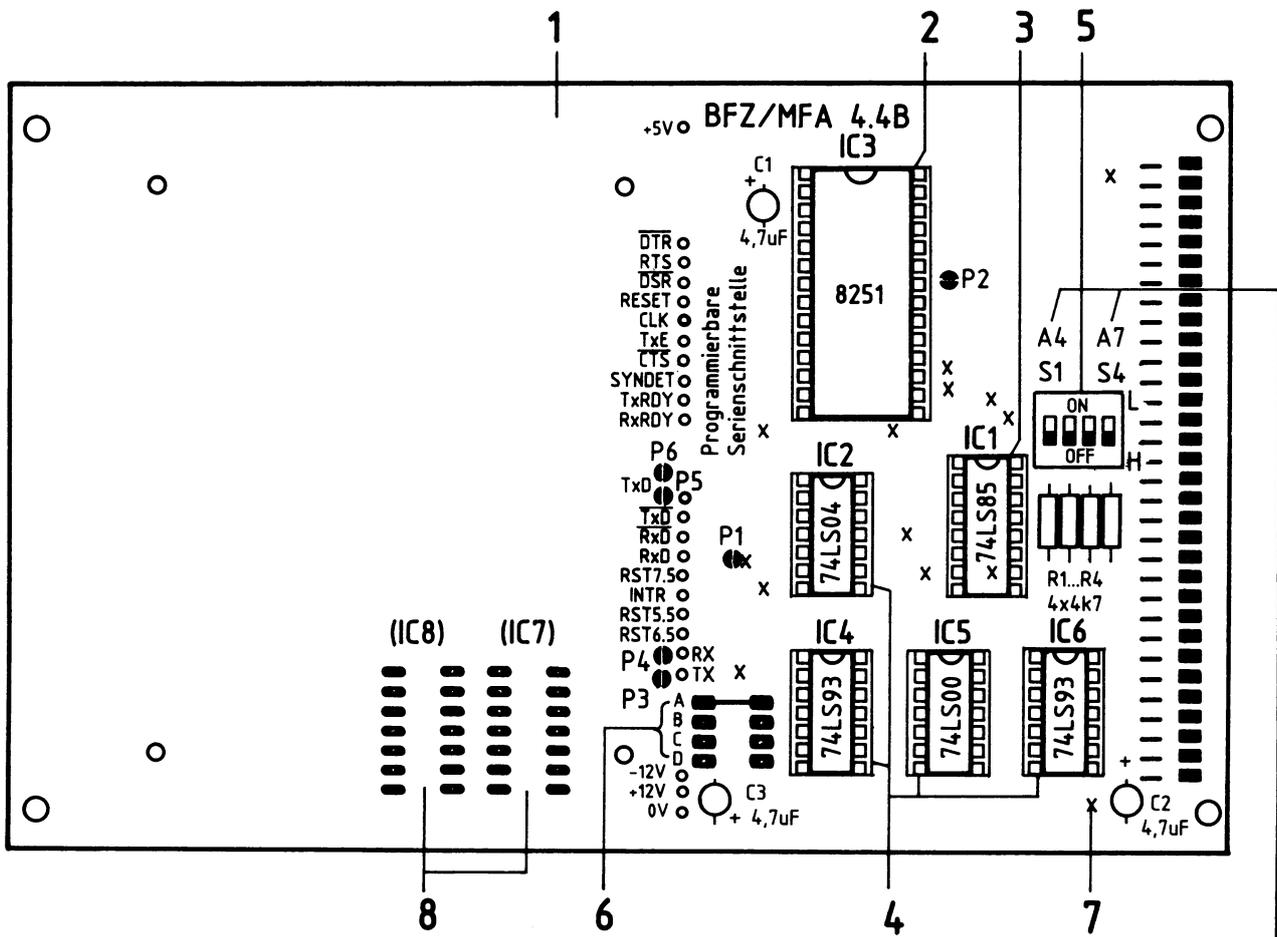
Datum: \_\_\_\_\_

Bestücken Sie die Leiterplatte mit Hilfe des Bestückungsplans, der Stückliste und der Bauteilliste. Vorher sollten Sie alle Leiterbahnen möglichst mit einer Lupe nach Rissen und Kurzschlüssen (Ätzfehler, Bohrgrat) untersuchen und Fehler entsprechend beseitigen.

# A2.1

Stecken Sie zunächst noch keine ICs in die Sockel!

## Bestückungsplan Leiterplatte BFZ/MFA 4.4.



Beschriften Sie die Karte mit einem wasserfesten Stift



Programmierbare Serienschnittstelle

Name: \_\_\_\_\_

Datum: \_\_\_\_\_

## Stückliste Leiterplatte

**A2.2**

Pos.	Stckz.	Benennung/Daten	Bemerkung
1	1	Leiterplatte BFZ/MFA 4.4.	
2	1	IC-Fassung 28polig	} siehe Anmerkung
3	1	IC-Fassung 16polig	
4	4	IC-Fassung 14polig	
5	1	Miniatur-Schiebeschalter 4polig	
6	1	Lötbrücke bei "A", hergestellt aus Schaltdraht 0,5 mm CuAg	siehe Stromlaufplan
7	14	Durchkontaktierung, hergestellt aus Schaltdraht 0,5 mm Cu-Ag	nur erforderlich bei nicht galvanisch durchkontaktierter Leiterplatte
8	2	IC-Fassung 14polig, nur bei Bedarf bestückt (lt. Bauteilliste)	siehe Anmerkung

## Anmerkung

Alle ICs werden auf Fassungen gesteckt, die je nach Ausführung der geätzten Leiterplatte unterschiedlicher Bauart sind. Wenn die Leiterplatte galvanisch durchkontaktiert ist, werden gewöhnliche IC-Fassungen verwendet. Bei nicht durchkontaktierten Leiterplatten müssen IC-Fassungen eingesetzt werden, die auch von der Bestückungsseite her verlötbar sind. Hierzu verwenden Sie entweder "Carrier-IC-Fassungen", die aus zusammengesetzten Einzelkontakten bestehen oder die als Meterware erhältlichen Kontaktfederstreifen.

## Bauteilliste Leiterplatte

Kennz.	Benennung/Daten	Bemerkung
R1 ... R4	Widerstand 4,7 k $\Omega$	
C1 ... C3	Tantal-Elko 4,7 $\mu$ F/25 V oder 35 V	Tropfenform
IC1	4-Bit-Vergleicher 74 LS 85	ICs nicht eingesteckt!
IC2	6 Inverter 74 LS 04	
IC3	Programmierbarer Serienschnittstellen-Baustein 8251	
IC4, IC6	4-Bit-Binärzähler 74 LS 93	
IC5	4 NAND je zwei Eingänge 74 LS 00	

Programmierbare Serienschnittstelle

Name: \_\_\_\_\_

Datum: \_\_\_\_\_

### Bauteilliste Leiterplatte (Fortsetzung)

# A2.3

Kennz.	Benennung/Daten	Bemerkung
IC7	Vier Leitungstreiber für V-24-Schnittstellen MC 1488 oder SN75188	siehe Hinweis
IC8	Vier Leitungsempfänger für V-24-Schnittstellen MC 1489 oder SN75189	siehe Hinweis

#### Hinweis

IC7 und IC8 dienen zur TTL/V-24- und V-24/TTL-Pegelwandlung. Sie sind jedoch in vielen Anwendungsfällen nicht erforderlich und werden daher nur bei Bedarf bestückt.

→ **A3**

#### Angaben zur Frontplatte

# A3

Die programmierbare Serienschnittstelle ist an keinen bestimmten Anwendungsfall gebunden, sie kann universell eingesetzt werden. Je nach Verwendungsart ergeben sich hieraus unterschiedliche Frontplattenbestückungen. Daher ist es nicht möglich, in dieser Übung eine Frontplattenzeichnung anzugeben. Im allgemeinen wird aber die vorgesehene Frontplatte mit einer Breite von 25,1 mm richtig bemessen sein.

Die für Ihren Anwendungsfall erforderlichen mechanischen und elektrischen Arbeiten an der Frontplatte müssen nach eigenen Plänen durchgeführt werden. Auf der nächsten Seite stehen daher lediglich Angaben zur richtigen Montage des Einschubs .

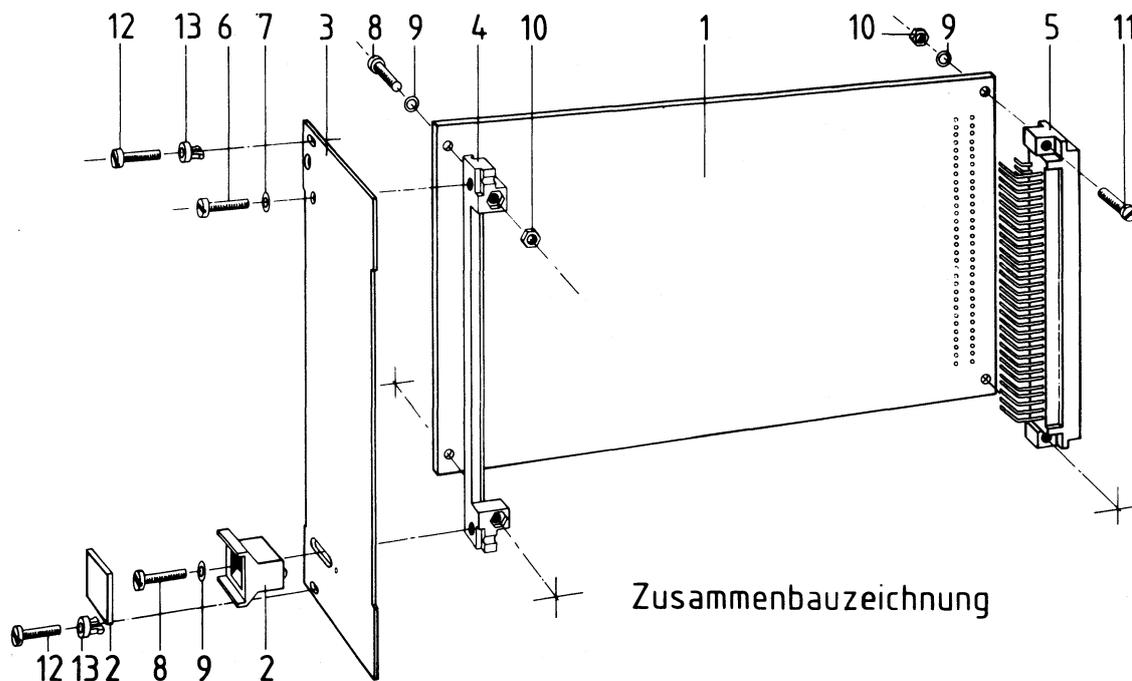
→

Name: \_\_\_\_\_

Programmierbare Serienschnittstelle

Datum: \_\_\_\_\_

Bauen Sie den Einschub nach der folgenden Zeichnung und Stückliste zusammen.

**A3.1**

## Stückliste für den Zusammenbau

Pos.	Stckz.	Benennung/Daten	Bemerkung
1	1	Leiterplatte BFZ/MFA 4.4	bestückt
2	1	Griff komplett	
3	1	Frontplatte	
4	1	Frontverbinder	
5	1	Messerleiste 64polig, DIN 41612	
6	1	Zylinderschraube M2,5x8 DIN 84	
7	1	Federring B2,5 DIN 127	
8	3	Zylinderschraube M2,5x12 DIN 84	
9	5	Federscheibe A2,7 DIN 137	
10	4	Sechskantmutter M2,5 DIN 439	
11	2	Zylinderschraube M2,5x10 DIN 84	
12	2	Zylinderschraube mit Schaft BM2,5x10/5 DIN 84	
13	2	Schraubensicherung, Kunststoff	

→ **A4**

Programmierbare Serienschnittstelle

Name: \_\_\_\_\_

Datum: \_\_\_\_\_

**Sichtkontrolle****A4**

Führen Sie eine Sichtkontrolle des fertigen Einschubs durch. Dazu sollten Sie den Stromlauf- und Bestückungsplan bereitlegen. Beheben Sie erkannte Fehler und Mängel.

**Lötstellen**

Sind auf der mit "L" bezeichneten Seite der Karte (Leiterbahnseite, Lötseite) alle Bauteilanschlüsse sachgemäß angelötet?

Achten Sie bei den Lötstellen besonders auf Kurzschlüsse, die bei der Enge der Leiterbahnen leicht durch das Auftragen einer zu großen Menge von Lötzinn oder durch Lötzinnspritzen und -perlen entstehen können.

Bei galvanisch nicht durchkontaktierten Leiterplatten müssen auch Lötstellen auf der mit "B" bezeichneten Kartenseite (Bauteilseite, Bestückungsseite) überprüft werden. Dort müssen alle Bauteilanschlüsse, an die eine Leiterbahn führt, verlötet sein. Außerdem müssen bei nicht durchkontaktierten Leiterplatten alle im Bestückungsplan mit "x" bezeichneten Bohrungen durch Einsetzen von Drahtstücken durchkontaktiert sein.

**Bestückung**

- Sind alle Widerstände mit ihren Werten richtig eingebaut?
- Sind die Elkos richtig gepolt?
- Sind die ICs bereits eingesteckt? Wenn ja, ziehen Sie alle ICs heraus.
- Auf der Bestückungsseite darf nur die Lötbrücke "A" eingesetzt sein. Die Brücken "B" bis "D" sowie "P1" und "P2" müssen geöffnet sein. Bitte überprüfen Sie dies!

**2** ←

---

 Programmierbare Serienschnittstelle

Name: \_\_\_\_\_

Datum: \_\_\_\_\_

---

 Prüfen der Betriebsspannung für die ICs
**A5.1**

- Baugruppe "Programmierbare Serienschnittstelle" über Adapterkarte am Systembus
- Außer Netzgerät keine anderen Karten eingeschoben
- Betriebsspannung eingeschaltet

Suchen Sie sich aus dem Stromlaufplan die entsprechenden IC-Stifte heraus; tragen Sie IC-Typ, Stift-Nummern und die dort gemessenen Spannungen in die Tabelle ein.

	IC1	IC2	IC3	IC4	IC5	IC6
Typ	74LS85					
$U_B$ -Pin	16					
0V-Pin	8					
$U_B$	5V					

Vorbereitung für die Überprüfung der Funktionsblöcke

- Stellen Sie mit den Schiebeschaltern S1 bis S4 die Basisadresse "F" ein. Hierzu sind alle Schalter in die Stellung "OFF" zu bringen.
- Löten Sie, falls noch nicht geschehen, auf der Bauteilseite der Platine die Brücke "A" ein. Weitere Brücken dürfen nicht vorhanden sein.

Die Baugruppe wird zunächst mit Hilfe des Bus-Signalgebers statisch überprüft (Adreß- und Steuersignale). Die Kontrolle dieser Signale erfolgt mit einem Logiktester.

Anschließend wird der programmierbare Schnittstellenbaustein (IC3) mit Hilfe des Betriebsprogramms MAT 85 auf seine Funktion untersucht.



Name: \_\_\_\_\_

Programmierbare Serienschnittstelle

Datum: \_\_\_\_\_

Prüfen der Bausteinauswahl (Chip-Select) von IC3

## A5.2

Das Chip-Select-Signal (Pin 11 von IC3) führt L-Pegel, wenn der Adreßvergleich IC1 Adressengleichheit meldet. Dies ist bei der vorliegenden Schalterstellung von S1 bis S4 (alle Kontakte geöffnet) immer dann der Fall, wenn folgende Hex-Adresse auf dem 16-Bit-Adreßbus vorliegt:

X X F X

"X" bedeutet, daß an dieser Stelle eine beliebige hexadezimale Ziffer stehen kann. Die zweite Stelle von rechts muß also den Wert "F" haben, während die übrigen drei Stellen beliebig sein können.

Gehen Sie folgendermaßen vor:

- IC1 und IC2 in ihre Sockel stecken
- Bus-Signalgeber (BFZ/MFA 5.1.) und Bus-Signalanzeige (BFZ/MFA 5.2.) in den Baugruppenträger stecken
- Programmierbare Serienschnittstelle über Adapterkarte in den Baugruppenträger stecken
- Betriebsspannung einschalten

Stellen Sie am Bus-Signalgeber die in der folgenden Tabelle angegebenen Adressen ein, und messen Sie jeweils den logischen Pegel an Pin 11 der Fassung von IC3 ( $\overline{CS}$ ).

Adreßwert	$\overline{CS}$	
	Soll	Ist
17F8	L	
021C	H	
00F0	L	



Programmierbare Serienschnittstelle

Name: \_\_\_\_\_

Datum: \_\_\_\_\_

Prüfen des Adreßsignals A0

# A5.3

Überprüfen Sie mit einem Logiktester am Anschlußstift 12 des Sockels für IC3 (C/D) die in der folgenden Tabelle angegebenen Signalzustände bei verschiedenen Adressen.

Adreßwert	Sockel IC3, Pin 12	
	Soll	Ist
XXX0	L	
XXX1	H	
XXX2	L	
XXX3	H	

Prüfen der Steuersignale  $\overline{IOR}$  und  $\overline{IOW}$

Diese Steuersignale werden ebenfalls an den Sockelanschlüssen von IC3 abgegriffen.

Taster	$\overline{IOR}$ bzw. $\overline{RD}$ Sockel IC3, Pin 13		$\overline{IOW}$ bzw. $\overline{WR}$ Sockel IC3, Pin 10	
	Soll	Ist	Soll	Ist
IOR	betätigt	L	H	
	nicht betätigt	H	H	
IOW	betätigt	H	L	
	nicht betätigt	H	H	



Name: \_\_\_\_\_

Programmierbare Serienschnittstelle

Datum: \_\_\_\_\_

## Prüfung des Baudraten-Taktes

**A5.4**

Der programmierbare Serienschnittstellen-Baustein 8251 (IC3) erhält ein aus dem 2-MHz-Systemtakt der CPU abgeleitetes Taktsignal. Hieran sind IC4, IC5 und IC6 der Schnittstellenkarte beteiligt.

Die Höhe des Baudraten-Taktes ist durch die Lötbrücken A bis D in vier Stufen veränderbar, wobei aber immer nur eine einzige Brücke eingelötet sein darf.

In Verbindung mit der Initialisierung durch das Betriebssystem, bei der ein interner Teilerfaktor von 64:1 festgelegt wird, beträgt die Baudrate bei der vorhandenen Brücke "A" 1200 Baud. Die Brücken B, C oder D würden jeweils um den Teiler 2 kleinere Baudraten (600, 300 und 150 Baud) ergeben. Diese Zusammenhänge können Sie im Abschnitt 3.4. der Funktionsbeschreibung nachlesen.

Durch die interne 64:1-Frequenzteilung ergibt sich für 1200 Baud eine Taktfrequenz von 76,8 kHz. Für die anderen Baudraten ist die Taktfrequenz entsprechend geringer.

Zur Prüfung des Baudraten-Taktes gehen Sie bitte folgendermaßen vor:

- IC4, IC5 und IC6 der Schnittstellenkarte zusätzlich einsetzen
- Baugruppe Prozessor 8085 zusätzlich in den Baugruppenträger einstecken
- Betriebsspannung einschalten

Messen Sie nun mit einem Oszilloskopen die Periodendauer der Signale an den in der folgenden Tabelle angegebenen IC-Stiften. Bestimmen Sie daraus anschließend die Frequenzen dieser Signale. Wenn diese den angegebenen Kontrollwerten entsprechen, ist die Takterzeugung für die verschiedenen Baudraten in Ordnung.

Meßort	T	f	f (Kontrollwert)
IC3 , Pin 20			2 MHz
IC6 , Pin 12			ca. 77 kHz
IC6 , Pin 9			ca. 38,5 kHz
IC6 , Pin 8			ca. 19,2 kHz
IC6 , Pin 11			ca. 9,6 kHz
IC3 , Pin 9			ca. 77 kHz
IC3 , Pin 25			ca. 77 kHz



Programmierbare Serienschnittstelle

Name: \_\_\_\_\_

Datum: \_\_\_\_\_

Prüfen des Reset-Signals

## A5.5

Bei nicht betätigter Reset-Taste der CPU-Baugruppe muß am Anschluß 21 des Sockels für IC3 L-Pegel anliegen. Wird die Reset-Taste betätigt, liegt H-Signal vor. Bitte überprüfen Sie dies!

Prüfen des Schnittstellenbausteins 8251 (IC3)

Der programmierbare Schnittstellenbaustein 8251 übernimmt parallele Daten vom Mikroprozessor und gibt sie in serieller Form am Anschluß "TxD" (Transmitter-Data, Sender-Daten) aus.

Zusätzlich kann der Baustein am Anschluß "RxD" (Receiver-Data, Empfänger-Daten) einen seriellen Datenstrom empfangen und ihn in parallele Form für den Mikroprozessor umwandeln.

Zur Prüfung dieser Funktionen wird der vollständige Mikrocomputer einschließlich Betriebssystem MAT 85, Tastatur und Bildschirm benötigt.

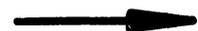
Gehen Sie dabei folgendermaßen vor:

- Anschluß " $\overline{\text{CTS}}$ " mit Hilfe einer Drahtbrücke mit 0 V verbinden (dieses L-Signal an " $\overline{\text{CTS}}$ " gibt den seriellen Datensender frei)
- IC3 (8251) in den Sockel stecken
- Baugruppe 8-K-RAM/EEPROM, bestückt mit MAT 85, einsetzen (Basisadresse 0000)
- Baugruppe 8-K-RAM/EEPROM, bestückt mit mindestens einem 2-K-RAM-Baustein auf Adresse F800 einsetzen (Basisadresse E000)
- Bus-Signalgeber entfernen
- Video-Interface in den Baugruppenträger einsetzen
- ASCII-Tastatur und Monitor an das Video-Interface anschließen
- Betriebsspannung einschalten
- Betriebsprogramm durch Betätigen der SPACE-Taste starten

Auf dem Monitor müssen nun alle Kommandos des Betriebsprogramms erscheinen.

Mit dem Start des Betriebsprogramms wird die programmierbare Serienschnittstelle initialisiert, d.h. in ihrer Betriebsart programmiert.

Innerhalb des Schnittstellen-Bausteins befindet sich ein Sender- und ein Empfängerregister, deren Funktionen anschließend überprüft werden.



Name: \_\_\_\_\_

Programmierbare Serienschnittstelle

Datum: \_\_\_\_\_

## Überprüfung des Senderregisters

**A5.6**

Das Senderregister hat bei der eingestellten Basisadresse "F" die Port-Nr. "FOH", unter der es mit dem Betriebsprogramm-Kommando "OUT" angesprochen werden kann.

- Rufen Sie das Kommando "OUT" auf. Adresse: F0, Daten: 55

Jedesmal, wenn Sie die Leertaste betätigen, wird der Datenwert 55 an das Port mit der Nr. F0 übergeben und vom Schnittstellen-Baustein in serieller Form am Anschluß "TxD" (Pin 19 von IC3) ausgegeben. Beobachten Sie dies mit einem Oszilloskopen oder einem Logiktester. Im Ruhezustand liegt TxD auf H-Pegel. Bei Betätigung der Leertaste entstehen für kurze Zeit wechselnde Ausgangssignale.

Die folgende Aufstellung zeigt die Bildschirmdarstellung bei diesem Versuch. Ihre Eingaben davon sind unterstrichen. Durch die Betätigung der CR-Taste (zum Schluß) wird der Versuch abgebrochen.

```
KMD > OUT
PORT-NR = 00 F0 SP
DATEN   = 00 55 SP
DATEN   = 55 CR
```

Hinweis:

SP = Leertaste betätigenCR = CR-Taste betätigen

Programmierbare Serienschnittstelle

Name: \_\_\_\_\_

Datum: \_\_\_\_\_

## Oberprüfung des Empfängerregisters

# A5.7

Der serielle Empfänger von IC3 kann überprüft werden, indem eine Brücke zwischen dem Senderausgang TxD (IC3, Pin 19) und dem Empfängereingang RxD (IC3, Pin 3) hergestellt wird. Hierdurch werden die gesendeten Daten vom gleichen Baustein wieder empfangen. Daten, die mit dem OUT-Kommando dem Sender übergeben werden, können Sie anschließend mit dem IN-Kommando wieder einlesen. Das Empfängerregister besitzt dabei wie das Senderregister die Port-Nr. "F0". Gehen Sie zur Überprüfung des Empfängerregisters nach der folgenden Aufstellung vor:

```
KMD > OUT  
PORT-NR = 00 F0   
DATEN   = 00 55  (gesendetes Daten-Byte)
```

```
KMD > IN  
PORT-NR = F0   
DATEN   = 55  (empfangenes Daten-Byte)
```

## Abschließende Überprüfung

Mit Hilfe des folgenden Programms wird der serielle Schnittstellenbaustein abschließend überprüft. Hierbei kommen die im Betriebssystem MAT 85 vorhandenen Ein- und Ausgabe-Unterprogramme zum Betrieb eines Kassetten-Interfaces zum Einsatz. An deren Stelle wären auch die im Kapitel 7 der Funktionsbeschreibung angegebenen Sende- und Empfangsprogramme verwendbar.

- Setzen Sie die 8-Bit-Parallel-Eingabe mit der Adresse 01 und die 8-Bit-Parallel-Ausgabe mit der Adresse 02 zusätzlich in den Baugruppenträger ein.
- Geben Sie das folgende Assemblerprogramm ohne die durch Semikolon abgesetzten Kommentare ein.
- Starten Sie das Programm anschließend mit dem Go-Kommando bei Adresse F800.
- Stellen Sie mit den Eingabeschaltern der 8-Bit-Parallel-Eingabe verschiedene Datenwerte ein. Beobachten Sie den Bildschirm und die 8-Bit-Parallel-Ausgabe.



Name: \_\_\_\_\_

Programmierbare Serienschnittstelle

Datum: \_\_\_\_\_

```
KMD> ASSEMBLER
START-ADR =0000 F800
```

**A5.8**

```
F800 DB 01      START: IN 01      ;Datenwert der 8-Bit-Parallel-Eingabe
                                ;in den Akku einlesen
F802 CD 2108    CALL 0821 ;Sende Akkuwert seriell aus (0821 ist die
                                ;Anfangsadresse des Unterprogramms "CASO",
                                ;Kassetten-Out-Routine des Betriebspro-
                                ;gramms MAT 85)
F805 CD EF07    CALL 07EF ;Einlesen eines von der seriellen Schnitt-
                                ;stelle empfangenen Zeichens in den Akku
                                ;(07EF ist die Anfangsadresse des Unter-
                                ;programms "CASI"(Kassetten-In-Routine)
F808 D3 02     OUT 02      ;Empfangenes Zeichen an die 8-Bit-Paral-
                                ;lel-Ausgabe ausgeben
F80A CD 5200    CALL 0052 ;Empfangenes Zeichen auf dem Bildschirm
                                ;anzeigen (0052 ist die Anfangsadresse des
                                ;Unterprogramms "WCHR", Write Character")
F80D C3 00F8    JMP START ;Beginne wieder bei START
F810           END        ;Assembler-Ende
```

Das eingegebene Programm bewirkt, daß die CPU ständig den Datenwert der 8-Bit-Parallel-Eingabe liest. Anschließend werden diese Daten von der seriellen Schnittstelle ausgegeben und durch die Brücke zwischen TxD und RxD sogleich wieder empfangen. Der empfangene Datenwert kommt auf der 8-Bit-Parallel-Ausgabe und auf dem Bildschirm zur Anzeige.

Hierbei ist zu beachten, daß der Bildschirm nur Zeichen mit Werten zwischen 20H und 7EH darstellen kann. Beim Wert 07H ertönt beispielsweise die Hupe. Auch die nicht darstellbaren Zeichen werden aber richtig übertragen. Dies können Sie der Anzeige der 8-Bit-Parallel-Ausgabe entnehmen. Welche Zeichen darstellbar sind, kann einer ASCII-Tabelle entnommen werden.

Lösen Sie nun wieder die Verbindungen zwischen den Anschlüssen "TxD" und "RxD" sowie vom Anschluß "CTS" nach Null Volt.

Damit ist die Übung beendet!

1

2

3

4