

Bild 19: Der Stromlaufplan der 8-Bit-Ausgabe mit Optokopplern und Leistungstreibern.

Einleitung

Die Speicherbausteine sind neben dem Mikroprozessor (CPU) die wichtigsten Bausteine zum Aufbau eines Mikroprozessorsystems. In ihnen sind die Daten und Befehle, die der Mikroprozessor verarbeiten soll, enthalten oder können dort abgelegt werden.

Zum Ausführen eines Programms benötigt der Mikroprozessor unterschiedliche Speichertypen. Daten, die verändert oder vom Anwender eingegeben werden sollen, speichert man in Schreib-Lese-Speichern ab. Solche Speicher nennt man auch RAM. Die Abkürzung steht für »random access memory« und bedeutet: Speicher mit beliebigem Zugriff. Programme, die nicht mehr geändert werden sollen, werden in Nur-Lese-Speichern (ROM) abgespeichert. Hier steht die Abkürzung für »read only memory«, was soviel bedeutet wie: Speicher mit Lese-, aber ohne Schreib-Möglichkeit. Die Programme in diesen Speichern werden vom Hersteller der ROMs im Verlauf der Fertigung in die Speicherzellen geladen. Will man als Anwender solche Programme selbst in Speicher laden, so muß man ROMs verwenden, die sich elektrisch programmieren lassen. Speicher dieser Art nennt man EPROM. Die Abkürzung steht für »erasable programmable read only memory« und bedeutet: löschbarer, aber programmierbarer Festwertspeicher. Die Informationen in einem EPROM sind durch Bestrahlung mit UV-Licht löschar; programmiert werden sie durch elektrische Impulse.

Ein weiterer Unterschied der genannten Speichertypen ist ihr Verhalten nach Abschalten der Betriebsspannung: ROM- und EPROM-Speicher behalten dabei ihren Inhalt, während er bei RAM-Speichern verlorengeht.

Um das MC-Baugruppensystem erweiterbar und flexibel zu machen, werden die Speicherbausteine auf einer eigenen Baugruppe angeordnet. Diese kann entweder mit RAM- oder mit EPROM-(ROM-)Speichern bestückt werden. Die hierzu nötige Umschaltung erfolgt z. B. durch Einlöten einiger Drahtbrücken. Speicher-Erweiterungen sind einfach durch Einsatz weiterer Baugruppen möglich.

Im folgenden wird zunächst erklärt, was beim Aufbau solcher Baugruppen zu beachten ist. Anschließend wird die Funktion der 8-K-RAM-EPROM-Baugruppe beschrieben.

Das Prinzip eines Speichers

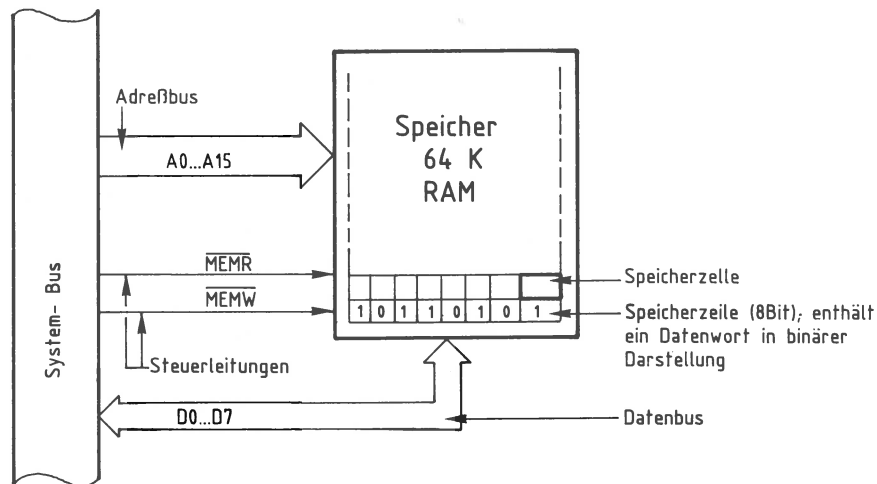


Bild 20: Prinzip eines Speichers.

Alle Informationen im Speicher sind in binärer Form gespeichert. Ein »Datenwort« besteht aus acht Bit und ist in einer Speicherzeile gespeichert, die ihrerseits aus acht Speicherzellen besteht.

Der Transport der Datenwörter in den Speicher hinein oder aus ihm heraus erfolgt über acht Datenleitungen, den Datenbus. Mit Hilfe der Bitkombination auf den 16 Adreßleitungen – dem Adreßbus – wird bestimmt, in welche Speicherzeile ein Datenwort gelangen oder aus welcher Zeile es gelesen werden soll. Die Anzahl der im Speicher ansprechbaren Speicherzeilen wird begrenzt durch die Zahl der zu ihrer Adressierung vorhandenen Adreßleitungen. Mit n Adreßleitungen lassen sich 2^n Speicherzeilen adressieren. Mit den 16 Adreßleitungen eines 8-Bit-Mikroprozessors kann man also $2^{16} = 65.536$ Speicherzeilen ansprechen. Einen Speicher mit dieser Anzahl von Speicherzeilen nennt man 64-K-Speicher. Hier steht K für 1024 ($= 2^{10}$).

Mit den beiden Steuer-Leitungen $\overline{\text{MEMR}}$ und $\overline{\text{MEMW}}$ wird bestimmt, ob ein Datenwort in die adressierte Speicherzeile geschrieben ($\overline{\text{MEMW}} = L$) oder aus ihr gelesen werden soll ($\overline{\text{MEMR}} = L$).

MEMW steht für »memory write«, Speicher beschreiben, und MEMR für »memory read«, Speicher lesen. Die Überstreichung bedeutet, daß diese Signale bei L-Pegel wirksam (aktiv) werden.

Aufbau eines Speichers aus einzelnen Speicherblöcken

Der in Bild 20 dargestellte Speicher hat neben dem Vorteil des einfachen Aufbaus den großen Nachteil, daß er die gemischte Verwendung von RAM- und ROM- oder EPROM-Bausteinen nicht zuläßt, weil er die Höchstzahl von Speicherzeilen besitzt, die in MC-Systemen mit 16 Adreßbits möglich ist. Diesen Nachteil kann man vermeiden, indem man den Speicher aus kleineren »Speicherblöcken« aufbaut. Bild 21 zeigt eine mögliche Lösung, bei der ein 64-K-Speicher aus acht 8-K-Blöcken aufgebaut ist.

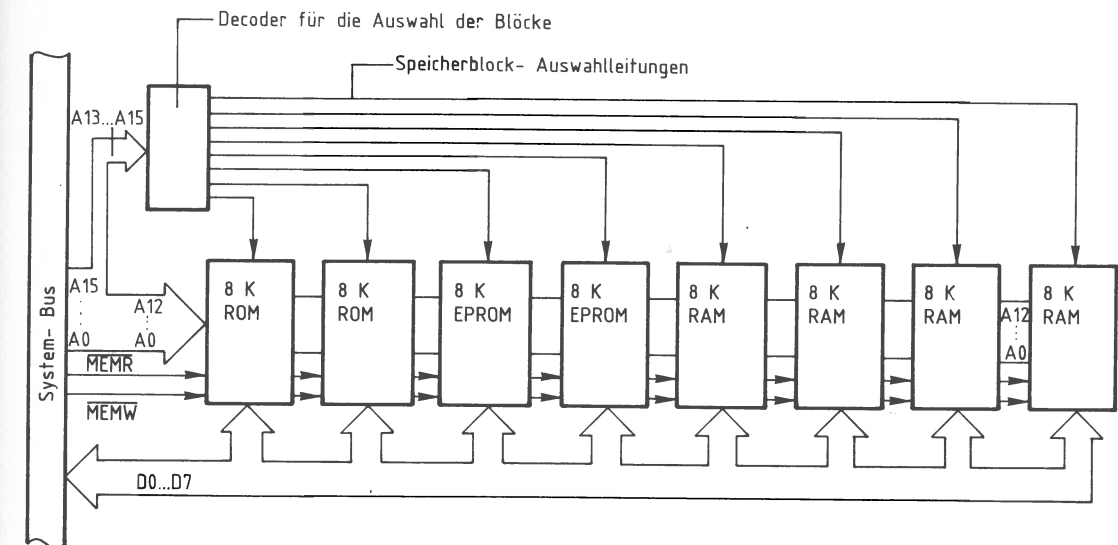


Bild 21: Ein 64-K-Speicher, aufgebaut aus acht 8-K-Blöcken.

Jeder einzelne Block kann hier jetzt aus RAM-, ROM- oder EPROM-Speicherbausteinen bestehen. Außerdem kann man auch mit kleineren Speichersystemen arbeiten, wenn die Aufgabenstellung keinen Speicher mit 64 K Speicherzeilen erfordert.

Da jeder der 8-K-Speicherblöcke aus 2^{13} Speicherzeilen besteht, benötigt man zu deren Adressierung auch nur je 13 Adreßleitungen ($8\text{ K} = 8 \times 2^{10} = 2^{13} = 8192$). Die 13 Adreßleitungen $A0 \dots A12$ führt man zu jedem der 8-K-Blöcke. Eine Decodierschaltung sorgt dafür, daß nicht die Inhalte von mehreren Speicherzeilen gleichzeitig auf den Datenbus geschaltet werden.

Man kennzeichnet dazu die Speicherblöcke durch binär 3stellige Adressen, die auf den Adreßleitungen A13, A14 und A15 ausgesandt werden. Die Decodierschaltung steuert dann entsprechend der 8 möglichen Bitkombinationen ($2^3 = 8$) auf diesen Leitungen jeweils nur einen Speicherblock an. Über die vorhandenen 16 Adreßleitungen kann man auf diese Weise jede Speicherzeile eines 64-K-Speichers, der aus acht 8-K-Blöcken aufgebaut ist, ansprechen. Die beiden Steuerleitungen $\overline{\text{MEMR}}$ und $\overline{\text{MEMW}}$ werden jedem Speicherblock zugeführt. Da das $\overline{\text{MEMW}}$ -Signal auf ROM- und EPROM-Blöcken nicht benötigt wird, kann diese Steuerleitung dann vom Speicherblock getrennt werden.

Die Blockauswahl durch Adreßvergleich

Aus Platzgründen kann man z.B. mit 2-K-Bausteinen die acht 8-K-Blöcke eines Speichers, wie ihn Bild 21 zeigt, nicht auf einer Leiterplatte anordnen. Es stellt sich dann die Frage, wo man den Decoder zur Speicherblockauswahl einbauen soll. Wünscht man gleichartig aufgebaute und untereinander austauschbare Baugruppen, so muß man die Speicherblockauswahl auf jeder Baugruppe vorsehen. Bild 22 zeigt das Blockschaltbild einer Baugruppe, bei der dies durchgeführt ist.

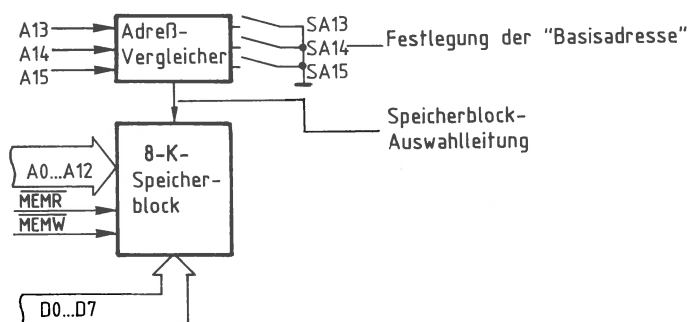


Bild 22: Die Speicherblock-Auswahl mit einem Adreßvergleich.

Ist die Bitkombination auf den Adreßleitungen A13...A15 gleich derjenigen, die mit den Schaltern SA13, SA14 und SA15 eingestellt wurde, so erfolgt die Auswahl des entsprechenden Speicherblocks. Mit den drei Schaltern lassen sich acht verschiedene Speicherblöcke auswählen. Die niedrigste Adresse einer Speicherzeile eines jeden Speicherblocks nennt man »Basisadresse«; sie wird durch die gewählte Schalterstellung-Kombination festgelegt.

Bild 23 zeigt den Aufbau eines 64-K-Speichers aus acht 8-K-Blöcken. Jeder Block ist eine eigene Baugruppe mit eigener Blockauswahl.

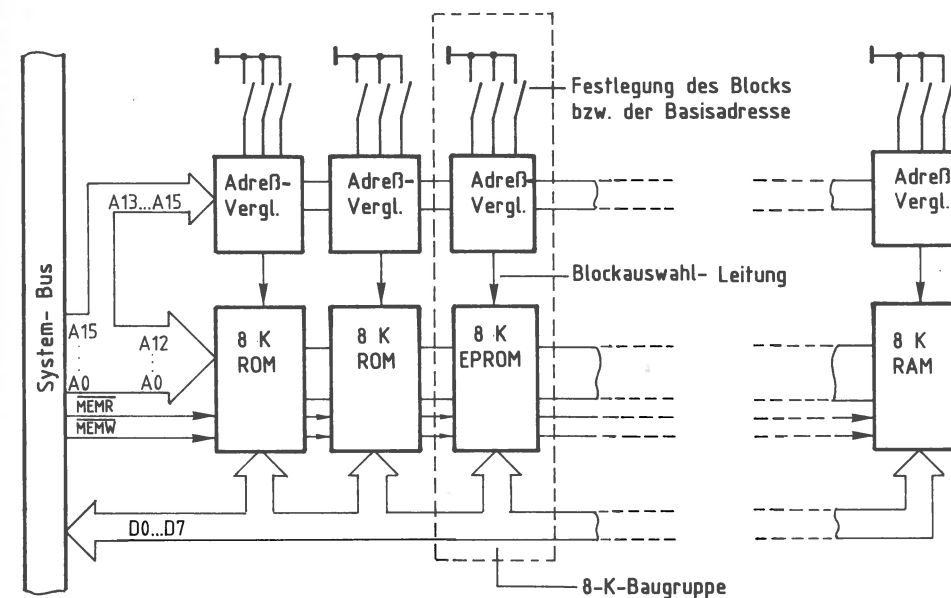


Bild 23: Ein 64-K-Speicher, aufgebaut aus acht 8-K-Speicherbaugruppen mit jeweils eigener Blockauswahl.

Jede dieser Baugruppen ist an alle Bus-Leitungen angeschlossen; die Baugruppen sind deshalb beliebig innerhalb eines Baugruppensystems austauschbar. Mit der Festlegung der Basisadresse durch die Schalterstellung am Adreßvergleich auf den Baugruppen ist der Adreßbereich einer Baugruppe eindeutig festgelegt. Damit keine Überschneidungen bezüglich der Adressen auftreten, dürfen keine gleichen Schalterstellungen auf verschiedenen Baugruppen (oder 8-K-Blöcken) eingestellt werden.

Der Aufbau eines 8-K-Speicherblocks aus 2-K-Speicherbausteinen

Der Aufbau eines 8-K-Speicherblocks ist im wesentlichen bestimmt durch die Wahl der Speicherbausteine. Leitungsführung und weitere Decodierschaltungen hängen z.B. davon ab, ob man den Block aus acht 1-K-Speicherbausteinen oder aus vier 2-K-Speicherbausteinen aufbaut. Weiter sollte man beachten, daß es RAM- und EPROM-Bausteine mit der gleichen Anschlußbelegung gibt. Man braucht dann nur einen Typ von Leiterplatten zu entwerfen, den man wahlweise für verschiedene Aufgaben einsetzen kann.

Bild 24 zeigt das Blockschaltbild einer 8-K-Speicherbaugruppe, die aus vier 2-K-Speicherbausteinen aufgebaut ist. Die Schreib- und Lesesteuerung ist hier noch nicht eingezeichnet.

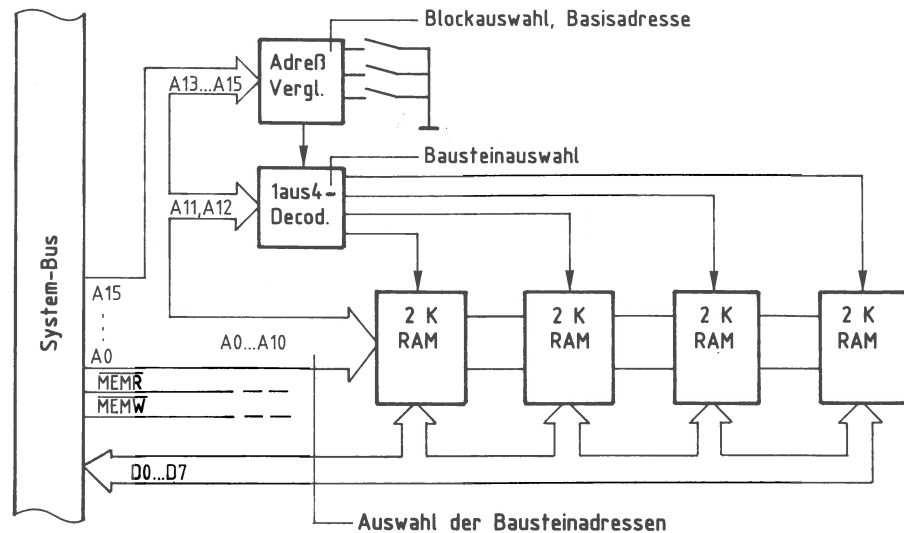


Bild 24: Eine 8-K-Speicherbaugruppe, aufgebaut aus 2-K-Speicherbausteinen (Bestückung mit RAM, ROM oder EPROM möglich).

Mit den 11 Adreßleitungen A0...A10 lassen sich die in jedem Speicherbaustein vorhandenen 2048 (2^{11}) Speicherzeilen adressieren. Für die eindeutige Adressierung der vier 2-K-Speicherbausteine sorgt ein 1-aus-4-Decoder. Er steuert für jede der vier möglichen Bitkombinationen auf den Adreßleitungen A11 und A12 jeweils einen Speicherbaustein an.

Die Adreßleitungen A13...A15 liefern, wie bereits beschrieben, das Blockauswahl-Signal. Der Adreßvergleichergibt den 1-aus-4-Decoder nur dann frei, wenn sich die Gesamtadresse (aus A0...A15) im Bereich der für den Block gültigen 8-K-Speicherzeilen befindet.

Beim Aufbau der Baugruppe aus acht 1-K-Speichern müßte der 1-aus-4-Decoder durch einen 1-aus-8-Decoder ersetzt werden; den Speichern würden dann nur die Adreßleitungen A0...A9 ($2^{10} = 1024$) zugeführt, und der Decoder erhielte noch eine dritte Adreßleitung A10, weil er dann acht Bausteine anzuwählen hätte ($2^3 = 8$).

Die Schaltung der 8-K-RAM/EPROM-Baugruppe

Bild 25 zeigt das Blockschaltbild dieser Baugruppe. Zunächst wird die Funktion erklärt; Schaltungsdetails werden anschließend beschrieben.

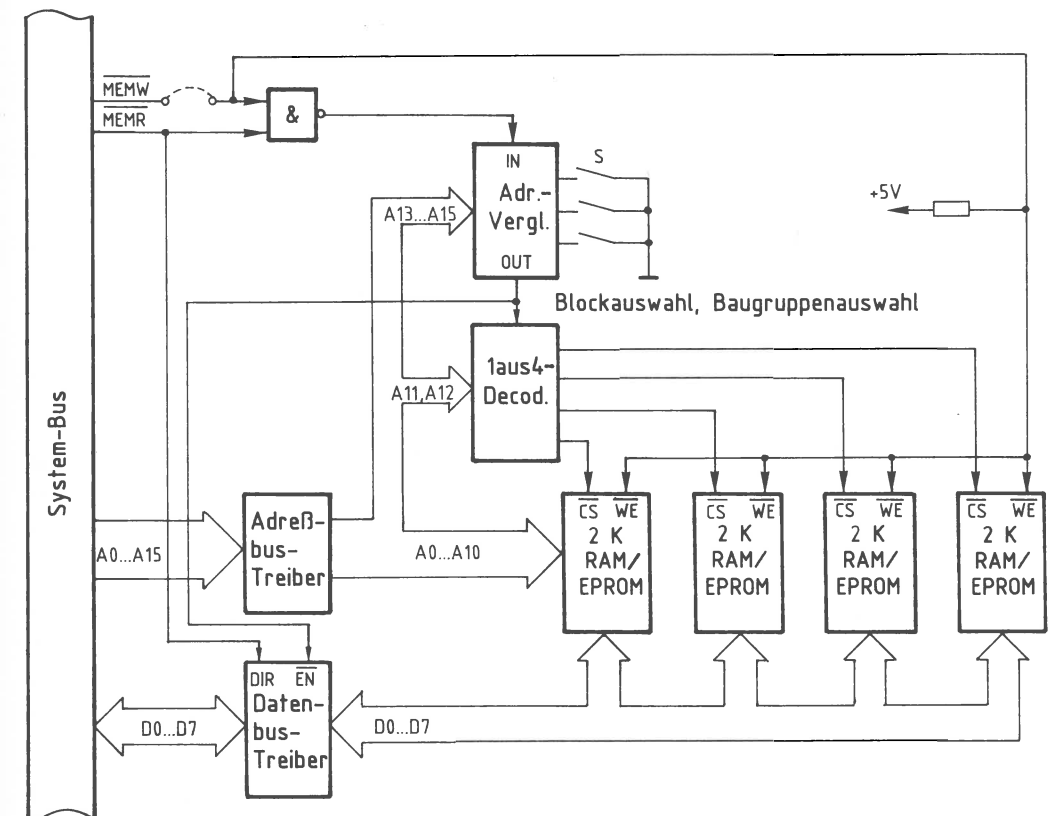


Bild 25: Das Blockschaltbild der 8-K-RAM/EPROM-Baugruppe.

Zwischen dem System-Bus und den internen Busleitungen auf der Baugruppe befinden sich Bus-Treiber zur Entlastung der Ausgänge der CPU (Mikroprozessor). Eine auf den Adreßleitungen A0...A15 anstehende Adresse (Bitkombination) gelangt über den Adreßbus-Treiber auf den internen Bus. Der Adreßvergleichervählt aus dem möglichen 64-K-Speicherbereich zunächst einen 8-K-Block aus. Die Baugruppe wird immer dann angesprochen, wenn

- die Bitkombination auf den Leitungen A13...A15 mit der an den Schaltern S eingestellten übereinstimmt, und
- der Adreßvergleichervüber seinen »IN-Eingang« freigegeben ist.

Diese Freigabe erfolgt, wenn eines der beiden Steuersignale MEMR oder MEMW aktiv ist. Der Ausgang »OUT« des Adreßvergleichers gibt dann den 1-aus-4-Decoder frei. Durch die Bitkombination auf den Adreßleitungen A11 und A12 wählt dieser Decoder einen der vier Speicherbausteine aus und bereitet ihn für den Datenverkehr vor. Über die Adreßleitungen A0...A10 wird schließlich eine Zeile innerhalb des 2-K-Speicherbereiches angewählt.

Ist die Baugruppe mit EPROM- oder RAM-Speicherbausteinen bestückt, so gelangt bei einem MEMR-Signal das Datenwort der adressierten Speicherzeile auf den internen Datenbus und von dort über den Datenbus-Treiber auf den System-Bus.

Ist die Baugruppe mit RAM-Bausteinen bestückt, so hängt der Datentransport davon ab, ob Daten aus dem Speicher gelesen oder in den Speicher geschrieben werden sollen. Die Durchlaßrichtung des Datenbus-Treibers ist aus diesen Gründen umschaltbar; gesteuert wird sie mit dem MEMR-Signal über den DIR-Eingang des Treibers (DIR für direction = Richtung, Umsteuerung).

Bei einem Lesevorgang gelangt das Datenwort der adressierten Speicherzeile auf den System-Bus. Der Datenbus-Treiber ist in Richtung System-Bus leitend.

Bei einem Schreibvorgang ist der Datenbus-Treiber in Richtung Baugruppe leitend. Ein Datenwort, das sich auf den Datenleitungen D0...D7 des System-Bus befindet, gelangt über den Treiber auf den internen Datenbus der Baugruppe und von dort in die adressierte Speicherzeile. Übernommen wird es durch den entsprechenden Pegel auf der MEMW-Leitung, die an alle Speicher zu einem WE-Eingang (write enable = Schreib-Freigabe) geführt ist.

Über einen zweiten Steuereingang, den Eingang EN (enable = freigeben), wird der Datenbus-Treiber vom Adreßvergleicherv in einen hochohmigen Zustand geschaltet, wenn die Baugruppe nicht angewählt ist. Bild 26 zeigt den Stromlaufplan der Baugruppe, der zu allen folgenden Schaltungserklärungen mitbenutzt werden sollte.

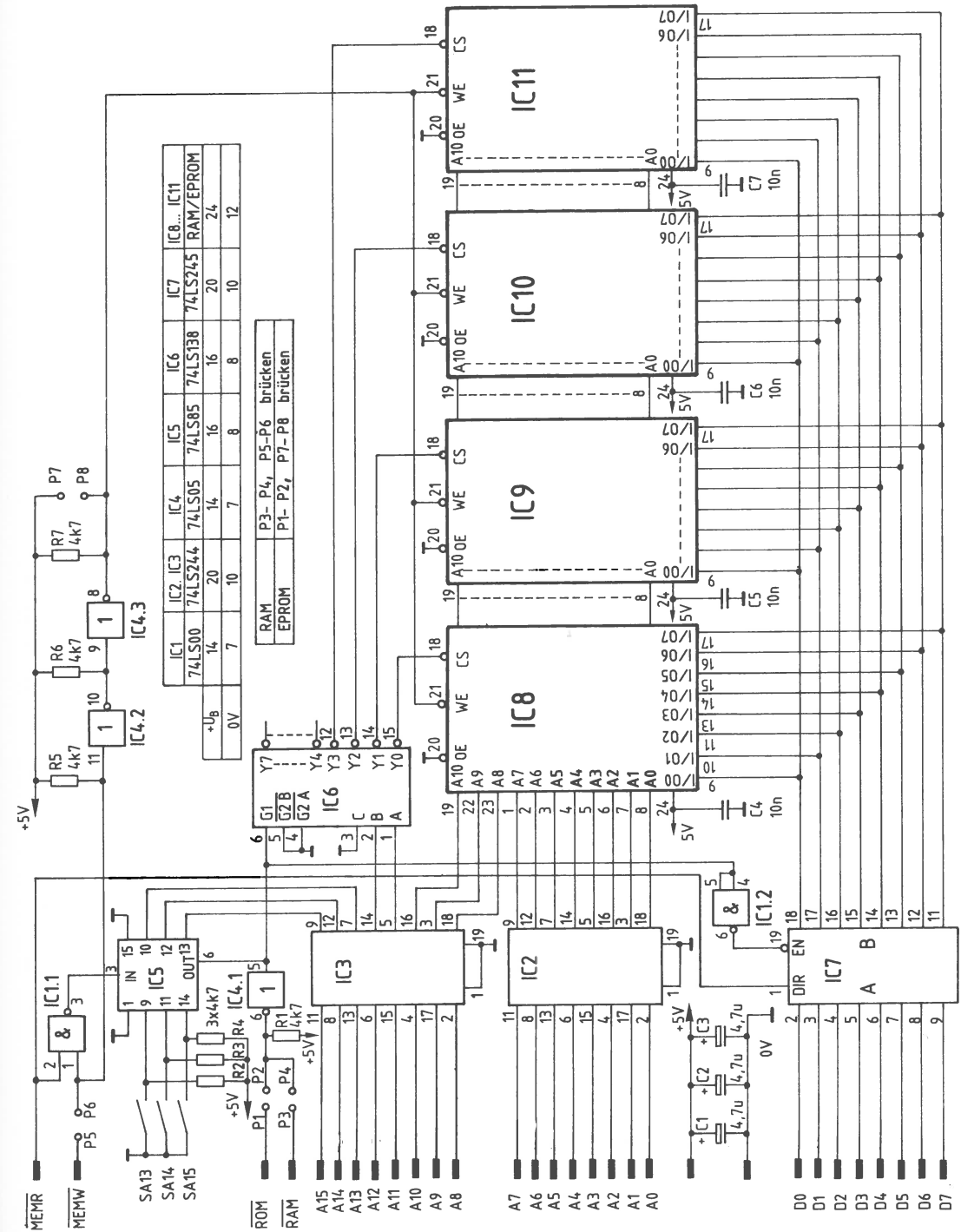
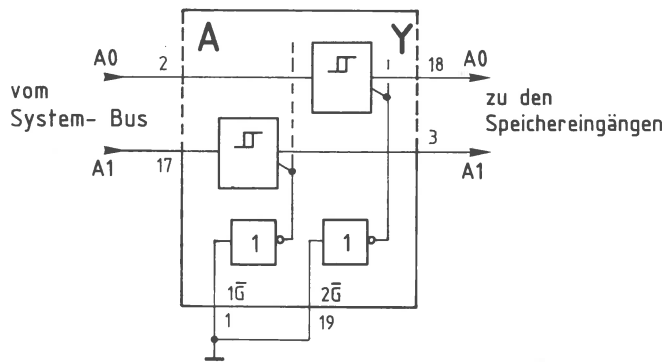


Bild 26: Der Stromlaufplan der 8-K-RAM/EPROM-Baugruppe.

Der Adreßbus-Treiber



Funktionstabelle
74LS244

Eingänge	A	Ausg.	Y
\bar{G}	A	Y	
H	X	Z	
L	L	L	
L	H	H	

X = H oder L
Z = Hochohmig

Bild 27: Innenschaltung (Ausschnitt) und Funktionstabelle des Adreßbus-Treibers.

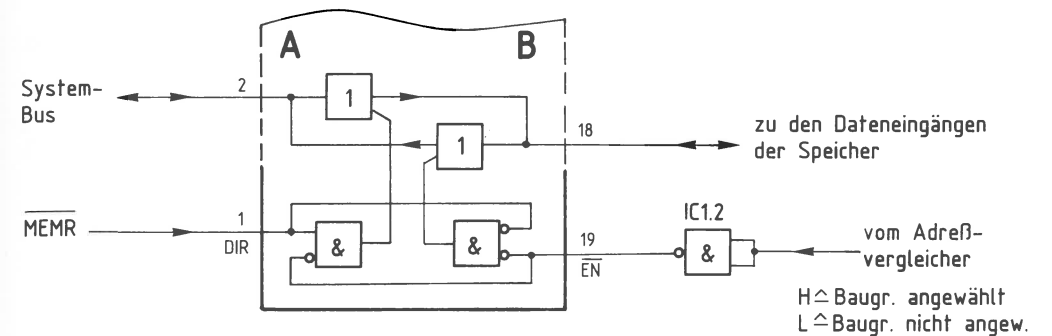
Die internen Treiber (sie sind in einem IC achtmal vorhanden) haben einen Schmitt-Trigger-Eingang. Dadurch wird die Flankensteilheit der Ausgangssignale verbessert.

Die Eingänge der beiden Steuerinverter ($1\bar{G}$ und $2\bar{G}$) sind hier mit Masse verbunden, weil der hochohmige Ausgangszustand bei einem Adreßbus-Treiber nicht benötigt wird. Jeder Signalzustand der System-Bus-Adreßleitungen wird damit direkt über den Treiber auf die Adreßeingänge der Speicher übertragen.

Der Datenbus-Treiber

Die internen Datentreiber werden durch die Pegel an ihren Steuereingängen durchlässig oder hochohmig geschaltet: L-Pegel bringt sie in den hochohmigen, H-Pegel in den leitenden Zustand. Geliefert werden diese Pegel von den beiden UND-Gattern, die ihrerseits die Signale des »Datenrichtung-Eingangs DIR« und des »Datenfreigabe-Eingangs \bar{EN} « miteinander verknüpfen. Der DIR-Eingang ist direkt mit dem Steuerungssignal MEMR verbunden und der \bar{EN} -Eingang mit dem invertierten Signal der Baugruppenauswahl-Leitung. Wird die Baugruppe nicht angewählt, so führt diese Leitung L-Pegel: Der \bar{EN} -Eingang erhält also H-Pegel, und alle Datentreiber sind hochohmig.

Bei einem L-Pegel am \bar{EN} -Eingang wird die Datenflußrichtung vom Pegel des MEMR-Signals bestimmt. Ist es aktiv (L), so können Daten vom Speicher zum System-Bus gelangen, andernfalls vom System-Bus zum internen Bus der Baugruppe. Sie liegen dann an den Daten-Eingängen der Speicher zur Übernahme in die Speicherzeile bereit.



Funktionstabelle 74LS245

\bar{EN}	DIR (MEMR)	Funktion	Wirkung auf der Baugruppe
L	L	Daten von B → A	Lesen
L	H	Daten von A → B	Einschreiben
H	L	Ausgänge hochohmig	Baugruppe nicht angewählt
H	H	Ausgänge hochohmig	Baugruppe nicht angewählt

Bild 28: Innenschaltung (Ausschnitt) und Funktionstabelle des Datenbus-Treibers.

Die Baugruppen-Auswahl

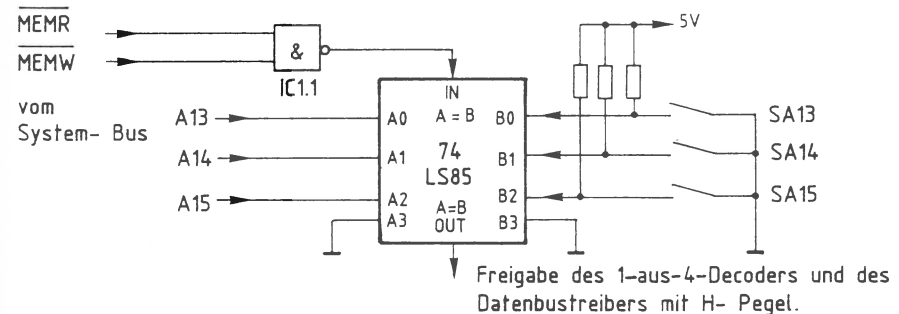


Bild 29: Die Baugruppen-Auswahl.

Die Baugruppe ist angewählt, wenn der Ausgang des 4-Bit-Vergleichers H-Pegel führt. Ein solches Freigabesignal kommt nur zustande, wenn

- die Bitkombination der Adreßleitungen A13...A15 gleich der Bitkombination ist, die mit den Schaltern SA13...SA15 eingestellt wurde. Ein offener Schalter erzeugt H-Pegel am B-Eingang, ein geschlossener dagegen L-Pegel.
- $\overline{\text{MEMR}}$ oder $\overline{\text{MEMW}}$ aktiv ist, d. h. L-Pegel führt. Der IN-Eingang erhält dann H-Pegel.

Die Bitkombination der Adreßleitungen A13...A15, die zur Auswahl der Baugruppe führt, hängt von der Stellung der Schalter ab; daher bestimmt man mit diesen Schaltern auch den Adreßbereich des 8-K-Speichers. Die niedrigste Adresse eines jeden Bereiches ist seine Basis-Adresse. Bild 30 zeigt eine Tabelle, in die alle möglichen Schalterstellungen und die zugehörigen Adreßbereiche eingetragen sind.

Schalterwertigkeit	8	4	2	Hex Zahl	Adreßbereich (H)	
	SA15	SA14	SA13		von	bis
Schalter offen $\hat{=}$ H	L	L	L	0	0000	1FFF
Schalter zu $\hat{=}$ L	L	L	H	2	2000	3FFF
	L	H	L	4	4000	5FFF
	L	H	H	6	6000	7FFF
	H	L	L	8	8000	9FFF
	H	L	H	A	A000	BFFF
	H	H	L	C	C000	DFFF
	H	H	H	E	E000	FFFF

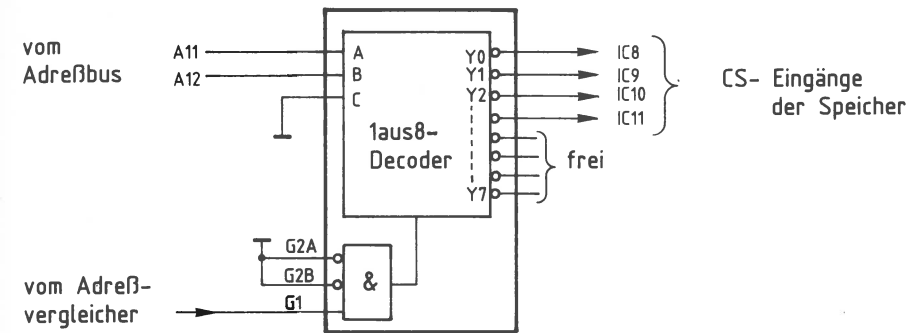
Summe der Wertigkeiten für H-Pegel \rightarrow Basis-Adressen

Bild 30: Die Adreßbereichs-Tabelle.

Die Basis-Adresse läßt sich leicht bestimmen, indem man die Wertigkeiten derjenigen Schalter addiert, die H-Pegel liefern (offen sind). An die hexadezimale Summe hängt man dann noch drei Nullen an.

Die höchste Adresse eines 8-K-Adreßbereiches erhält man durch Addition von 1FFF zur Basis-Adresse.

Baustein-Auswahl



Funktionstabelle 74LS138(Ausschnitt)

Eingänge				Ausgänge				
G1	G2 *	C	B	A	Y0	Y1	Y2	Y3
L	X	X	X	X	H	H	H	H
H	L	L	L	L	L	H	H	H
H	L	L	L	H	H	L	H	H
H	L	L	H	L	H	H	L	H
H	L	L	H	H	H	H	H	L

* $G2 = G2A \wedge G2B$
X $\hat{=}$ H oder L

Bild 31: Der Schaltungsteil für die Baustein-Auswahl.

Da auf der Speicherbaugruppe nur vier 2-K-Speicherbausteine vorhanden sind, werden nicht alle 8 Ausgänge und entsprechend auch nicht alle drei Eingänge des ICs 74138 benutzt. Der Funktionstabelle ist zu entnehmen, daß Eingang C auf L-Potential gelegt werden muß. Die verbleibenden beiden Eingänge A und B ermöglichen eine Unterscheidung von vier verschiedenen Bitkombinationen auf den Adreßleitungen A11 und A12. Mit den entsprechenden L-Pegeln auf den Ausgängen Y0 bis Y3 wird jeweils ein 2-K-Speicherbaustein angesprochen.

Über die Steuereingänge G1, $\overline{G2A}$ und $\overline{G2B}$ kann der 1-aus-8-Decoder gesperrt werden. $\overline{G2A}$ und $\overline{G2B}$ sind auf L-Pegel gelegt und damit wirkungslos; über G1 wird der Decoder immer dann mit H-Pegel freigegeben, wenn die Baugruppe angesprochen wird.

Mit Hilfe der vier möglichen Bitkombinationen auf den Adreßleitungen A11 und A12 läßt sich der Adreßbereich der Speicherbausteine ermitteln. In Bild 32 sind diese Adreßbereiche für alle vier Speicher zusammengestellt.

A15 8	A14 4	A13 2	A12	A11	A10 — A0	Adreßbereich	IC- Nr.
für alle 4 Bitkombinationen gleiche Pegel (8-K-Bereich)			L	L	alle L alle H	(x) 000 — (x) 7FF	IC8
			L	H	"	(x) 800 — (x) FFF	IC9
			H	L	"	(x+1) 000 — (x+1) 7FF	IC10
			H	H	"	(x+1) 800 — (x+1) FFF	IC11

diese Bitkombination wird jeweils durch die Stellung von SA13- SA15 bestimmt.	alle vier möglichen Bitkombin.	hiermit werden 2048 Speicherzeilen adressiert, niedrigste Adr: alle L höchste Adr: alle H
---	--------------------------------	---

Bild 32: Tabelle zur Bestimmung des Adreßbereichs der vier 2-K-Speicherbausteine.

Für den Buchstaben X ist jeweils die hexadezimale Summe der Schalterwertigkeiten (SA13...SA15) für diejenigen Schalter, die H-Pegel liefern, einzusetzen. Siehe hierzu auch Bild 30.

Beispiel:

Auf einer Baugruppe sind alle Schalter offen, liefern also H-Pegel an den Adreßvergleichern.

$$X = 8 + 4 + 2 = E \text{ (hexadezimal)}$$

Baustein-Adreßbereich:

IC8 : E000	E7FF	} 8 K
IC9 : E800	FFFF	
IC10: F000	F7FF	
IC11: F800	FFFF	

} 2 K

RAM-EPROM-Umschaltung

Siehe hierzu Bild 26. Wenn die Baugruppe mit EPROM-Speichern bestückt wird, müssen die Brücken P1 – P2 und P7 – P8 geschlossen werden:

- Über die Verbindung P1 – P2 wird L-Pegel auf die Busleitung \overline{ROM} geschaltet, sobald die Baugruppe angesprochen wird. Das Signal \overline{ROM} kann auch dazu benutzt werden, diesen Zustand in einem MC-Modell sichtbar zu machen.
- Die Verbindung P7 – P8 bringt +5 V an die EPROM-Stifte 21. Diese Spannung fordert der EPROM-Hersteller an diesem Anschluß; ein H-Pegel genügt nicht. Es ist darauf zu achten, daß die Brücke P5 – P6 bei EPROM-Betrieb auf keinen Fall geschlossen sein darf, weil sonst bei einem Schreibsignal (\overline{MEMW}) über P7 – P8 und IC4.3 ein Kurzschluß erzeugt wird.

Wenn die Baugruppe mit RAM-Speichern bestückt wird, sind die Brücken P3 – P4 und P5 – P6 zu schließen:

- Die Verbindung P3 – P4 schaltet L-Pegel auf die Busleitung \overline{RAM} , sobald die Baugruppe angewählt wird. Mit diesem Pegel kann der Zustand »Baugruppe RAM angewählt« in einem MC-Modell angezeigt werden.
- Die Verbindung P5 – P6 führt das Steuersignal \overline{MEMW} (Speicher einschreiben) auf die ICs 1.1 und 4.2.

Mit einem L-Pegel an diesem Steuersignal wird über IC4.2 und IC4.3 der Schreibvorgang in den RAM-Speichern ausgelöst.

Blockaufbau eines RAM-Bausteins

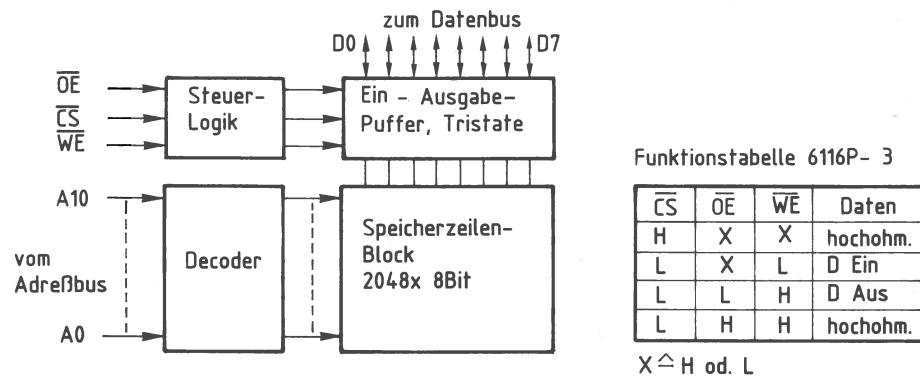


Bild 33: Blockaufbau und Funktionstabelle des RAM-ICs vom Typ 6116P-3.

Da der Steuereingang \overline{OE} (Ausgangs-Freigabe) auf L-Potential liegt (siehe Bild 26), erfolgt die Steuerung des Datenverkehrs vom und zum Speicher nur über die Steuerleitungen \overline{CS} (Baustein angewählt) und \overline{WE} (Schreib-Freigabe).

Wenn die Baugruppe nicht angewählt ist, führt \overline{CS} H-Pegel, und die Ein/Ausgabepuffer im RAM sind hochohmig. Bei angewählter Baugruppe und angesprochenem RAM führt der \overline{CS} -Eingang L-Pegel. Der Datenverkehr hängt nun vom Pegel auf der \overline{WE} -Leitung ab. Mit einem L-Pegel auf diesem Eingang werden Daten in den Speicher geschrieben; mit einem H-Pegel gelangen Daten aus dem Speicher auf den Datenbus.

Der Decoder im RAM erzeugt aus der Bitkombination der Adreßleitungen A0...A10 ein Signal zur Freigabe der adressierten Speicherzeilen innerhalb des Speicherzeilen-Blocks.

Blockaufbau eines EPROM-Bausteins

Der EPROM-Baustein 2716 umfaßt 2 K Byte und ist anschußkompatibel zum oben gezeigten RAM-Baustein 6116P-3, bis auf den Steueranschluß \overline{WE} .

Da ein EPROM nicht beschrieben werden muß, fehlt dieser Steuereingang \overline{WE} . Der Anschlußstift muß im Betrieb auf +5 V gelegt werden. Will man das EPROM programmieren, dient dieser Anschluß als Eingang für eine Programmierspannung. Die Steuerung des Datenverkehrs kann der Funktionstabelle aus Bild 34 entnommen werden.

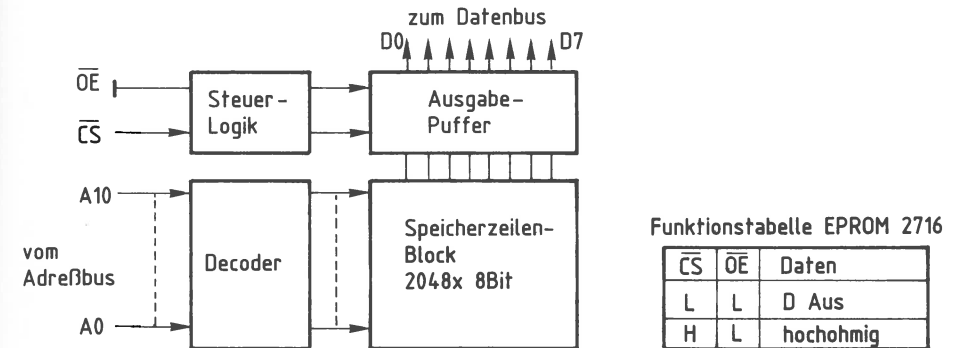


Bild 34: Blockaufbau und Funktionstabelle des EPROMs 2716.

Um die Anzahl der Speicherbaugruppen in einem Mikrocomputer-System möglichst klein zu halten, werden besonders für Anwendungen mit umfangreichen Programmen Speicherbaugruppen mit höherer Speicherkapazität benötigt. Die in diesem Abschnitt beschriebene 16-K-RAM/EPROM-Speicherbaugruppe kann mit maximal 8 Speicherbausteinen zu je 2 K Byte Speicherkapazität bestückt werden. Die Bausteine können sowohl RAM- als auch EPROM-Speicher sein. Eine gemischte Bestückung ist ebenfalls möglich. Zusätzlich ist die Baugruppe mit einem 2-K-Urladerspeicher (s.u.) bestückbar.

Schaltung und Funktionsbeschreibung

Bild 35 zeigt den Stromlaufplan der Baugruppe. Sie sollten diesen Plan bei allen folgenden Erklärungen mitbenutzen.

Einige Hinweise zur Urlader-Einrichtung (siehe Bild 41):

Sie wird immer dann erforderlich, wenn der Systempeicher des Mikrocomputers ab der Adresse 0000 mit Schreib-Lese-Speicher ausgerüstet werden soll. Da der Mikroprozessor nach einem System-Start oder einem Reset den ersten auszuführenden Befehl unter der Adresse 0000 erwartet, muß zunächst ab dieser Adresse ein ROM eingeblendet werden. Dieses ROM bezeichnet man als Urlader-ROM, weil darin üblicherweise ein Programm abgelegt wird, welches das eigentliche Verarbeitungsprogramm in den Systempeicher des Mikrocomputers laden soll, z.B. von einem Massenspeicher (Floppy Disk). Nach Beendigung dieses Ladevorgangs wird der Prozessor durch einen Sprungbefehl veranlaßt, zum geladenen Verarbeitungsprogramm zu verzweigen. Nach Ausführung des Sprungbefehls wird das Urlader-ROM abgeschaltet.

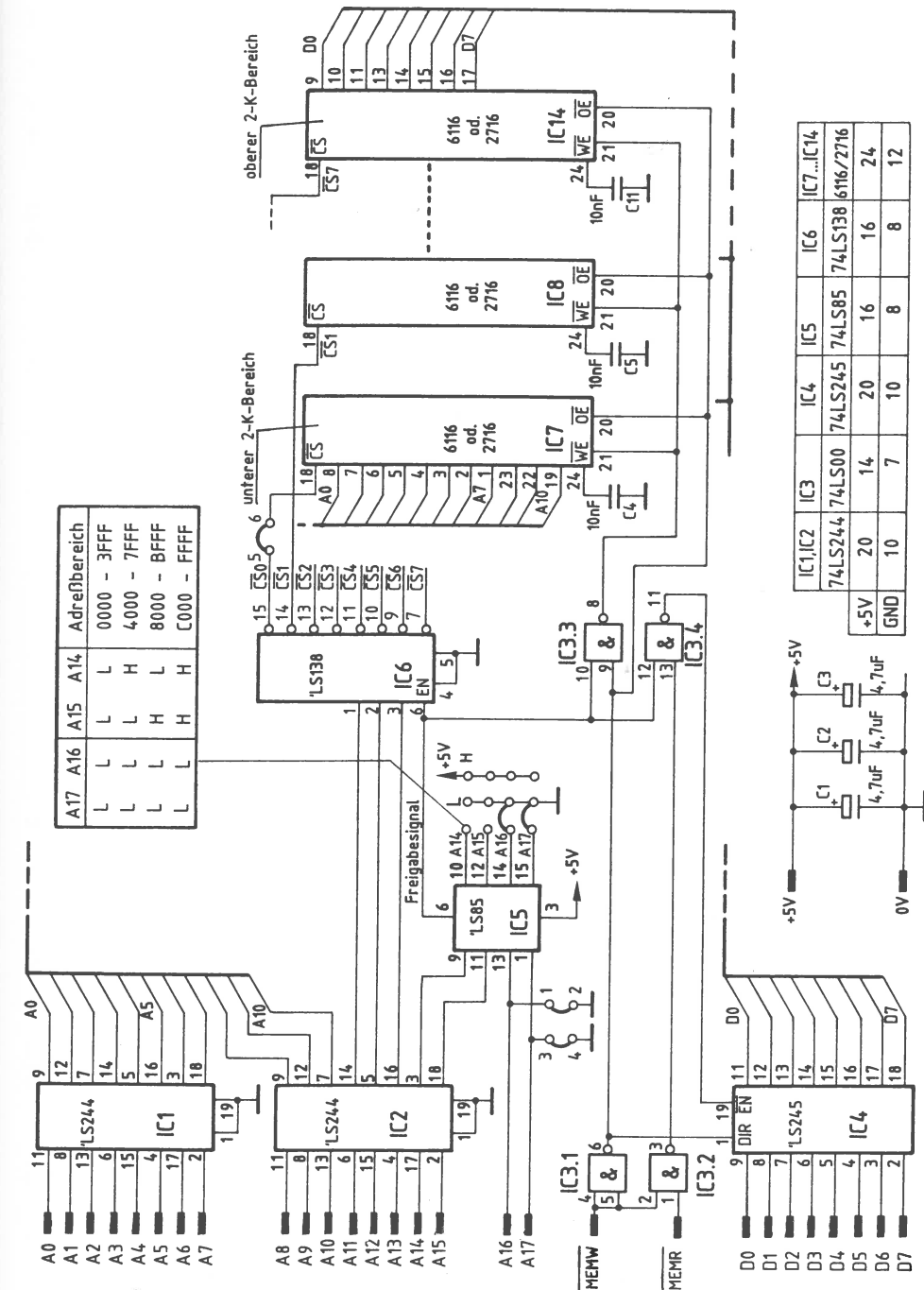


Bild 35: Der Stromlaufplan der 16-K-RAM/EPROM-Baugruppe.

Baugruppen-Auswahl

Bei dieser Speicherbaugruppe wurde eine Volldecodierung angewendet, bei der alle 16 Adreßleitungen an der Decodierung der Baugruppe bzw. der Speicherbausteine beteiligt sind. Die zusätzlichen Anschlüsse für A16 und A17 sind für spätere Anwendungen vorgesehen.

Die Baugruppenauswahl erfolgt über die Adreßleitungen A14 und A15, mit denen sich vier Baugruppen zu je 16 K Byte Speicherkapazität adressieren lassen. Bild 36 zeigt den 4-Bit-Komparator 74LS85, der zur Baugruppenauswahl dient.

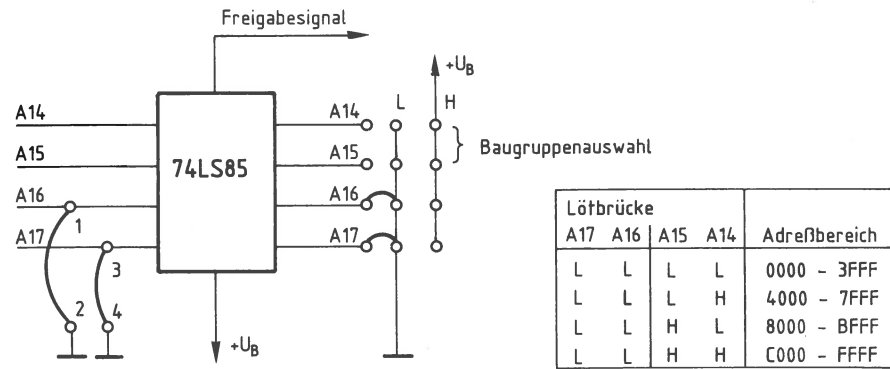


Bild 36: Die Auswahl von 16-K-Speicherbaugruppen.

Mit Hilfe der Lötbrücken A14 und A15 läßt sich der Adreßbereich einstellen, in dem die Speicherkarte arbeiten soll.

Baustein-Auswahl

Der 1-aus-8-Decoder 74LS138 (Bild 35) dient zur Auswahl der Speicherbausteine. Er decodiert die Adreßsignale A11... A13. Sein Enable-Eingang (EN) wird vom Freigabesignal des 4-Bit-Komparators 74LS85 aktiviert.

Sobald der Mikrocomputer eine Adresse auf den Adreßbus gibt, die im Adreßbereich der Speicherbaugruppe liegt, steht das \overline{CS} -Signal unmittelbar am ausgewählten Speicherbaustein an.

Schreib-Lese-Steuerung

Mit Hilfe der Speicher-Steuereingänge \overline{CS} , \overline{WE} und \overline{OE} (siehe Bild 35) werden die Speicher gelesen (EPROM) bzw. gelesen oder beschrieben (RAM) oder auch gesperrt. Die hierzu an den Steuereingängen erforderlichen Pegel können Sie Bild 37 entnehmen. Von den fünf dargestellten Signalkombinationen kommen im hier betrachteten System nur die Kombinationen 2, 3 und 5 vor.

Kombi. Nr.	\overline{CS} (18)	\overline{OE} (20)	\overline{WE} (21) ²	Funktion RAM	Funktion EPROM
1	L	L	L	WRITE	Baustein gesperrt) ¹
2	L	L	H	READ	READ
3	L	H	L	WRITE	Baustein gesperrt) ¹
4	L	H	H	Baustein gesperrt) ¹	Baustein gesperrt) ¹
5	H	X	X	Baustein gesperrt) ¹	Baustein gesperrt) ¹

¹ Datenausgänge der Speicherbausteine hochohmig

² \overline{WE} - RAM

\overline{VPP} - EPROM

Bild 37: Funktion der Steuereingänge der Speicherbausteine

Die Bedeutung der Anschlußbezeichnungen:

\overline{CS} : Chip Select = Bausteinauswahl, low-aktiver Steuereingang. Ein H-Signal an diesem Eingang bewirkt, daß die Datenanschlüsse des Speicherbausteins hochohmig werden.

\overline{OE} : Output Enable = Datenausgangs-Freigabe, low-aktiver Steuereingang. Ein H-Signal an diesem Eingang verhindert ein Lesen der gespeicherten Daten.

\overline{WE} : Write Enable = Schreibfreigabe, low-aktiver Steuereingang.

Die Steuerung des Schreibvorgangs

Bild 38 zeigt den Schaltungsteil, der für die Steuerung des Schreibvorgangs sorgt. Zum Einschreiben von Daten in die Speicherbausteine ist entsprechend Bild 37 die Signalkombination Nr. 3 erforderlich. Das \overline{CS} -Signal liefert der Adreßdecoder.

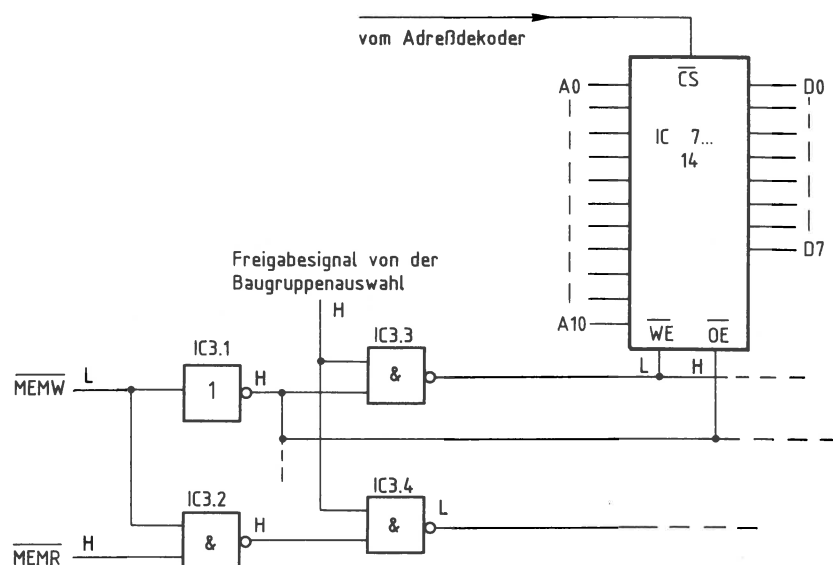


Bild 38: Die Steuerung des Schreibvorgangs.

Führt \overline{MEMW} L-Pegel, so tritt nach dem Inverter IC3.1 ein H-Pegel auf. Dieser H-Pegel gelangt an die \overline{OE} -Eingänge (Output Enable) der Speicherbausteine, wodurch ihre Datenanschlüsse intern auf »Einschreiben in den Speicher« geschaltet werden. Nach außen hin wirken sie dadurch hochohmig. Die UND-Verknüpfung des invertierten \overline{MEMW} -Signals mit dem Freigabesignal der Baugruppenauswahl durch IC3.3 erzeugt einen L-Pegel an den \overline{WE} -Eingängen (Write Enable) der Speicherbausteine. L-Pegel an diesem Eingang eines RAM-Bausteins ermöglicht das Einschreiben von Daten in den Speicher.

Die Steuerung des Lesevorgangs

Soll der Inhalt einer Speicherzeile gelesen werden, so müssen die Pegel der drei Steuereingänge der Signalkombination Nr. 2 ($\overline{CS} = L$, $\overline{OE} = L$, $\overline{WE} = H$) entsprechen; siehe Bild 37. Dieser Signalzustand ist in Bild 39 eingetragen.

Das \overline{CS} -Signal wird vom Adreßdecoder erzeugt. Führt zusätzlich das Steuersignal \overline{MEMR} L-Pegel, so hat \overline{MEMW} einen H-Pegel, weil der Zustand $\overline{MEMW} = \overline{MEMR} = L$ bei normalem Betrieb nicht vorkommt.

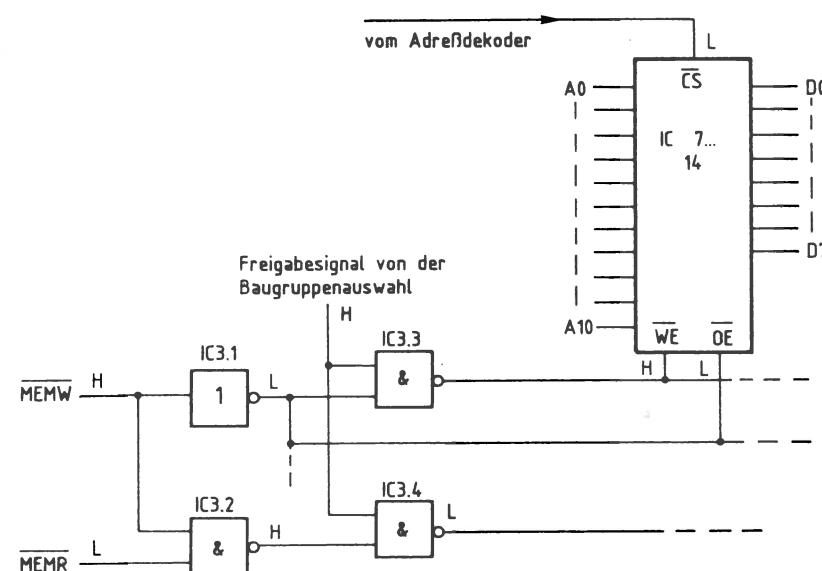


Bild 39: Die Steuerung des Lesevorgangs.

Die Steuerung der Datenflußrichtung

Der Datenbustreiber 74LS245 (Bild 40) besitzt die beiden Steuereingänge DIR und \overline{EN} . Ein H-Pegel am \overline{EN} -Eingang (Enable = ermöglichen) schaltet die Datenleitungen auf beiden Seiten des Treiberbausteines in den hochohmigen Zustand (Tristate). Ein L-Pegel gibt den Datenfluß in einer der beiden möglichen Richtungen frei. Diese Datenflußrichtung wird mit dem Steuersignal \overline{MEMW} über den Steuereingang DIR (Direction = Richtung) bestimmt. Bei einem Schreibvorgang ($\overline{MEMW} = L$) liegt am DIR-Eingang ein H-Pegel an, und die Daten gelangen vom System-Bus in den Speicher. Bei einem Lesevorgang liegt am DIR-Eingang L-Pegel an, und die Daten gelangen vom Speicher zum System-Bus.

- Die Freigabe des Datentransportes erfolgt allerdings nur dann, wenn
1. die Baugruppe freigegeben ist, d.h. eine für die Baugruppe gültige Adresse auf dem Adreßbus ansteht, und
 2. entweder das Steuersignal $\overline{\text{MEMW}}$ oder $\overline{\text{MEMR}}$ einen L-Pegel führt.

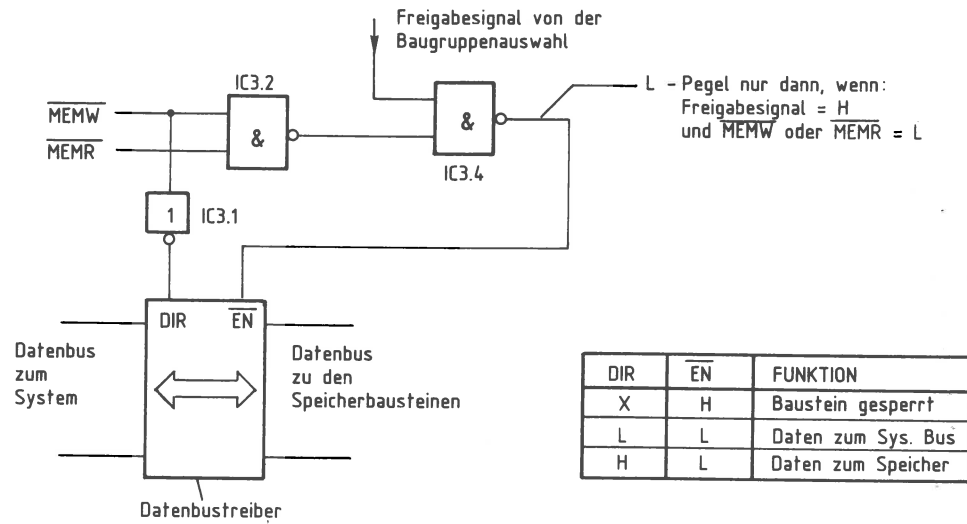


Bild 40: Die Steuerung der Datenflußrichtung.

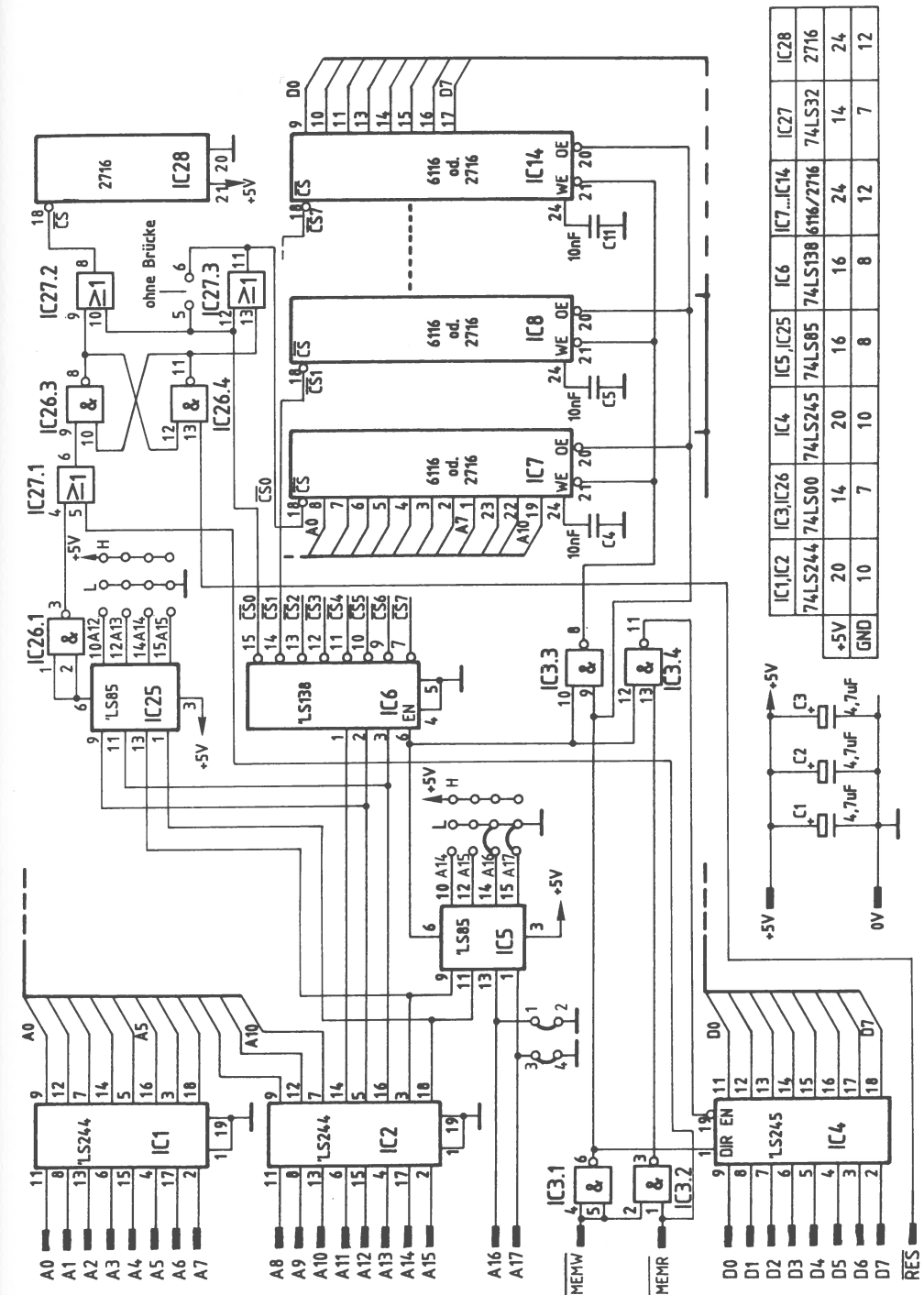


Bild 41: Der Stromlaufplan der 16-K-RAM/EPROM-Baugruppe mit Umlader-Einrichtung.

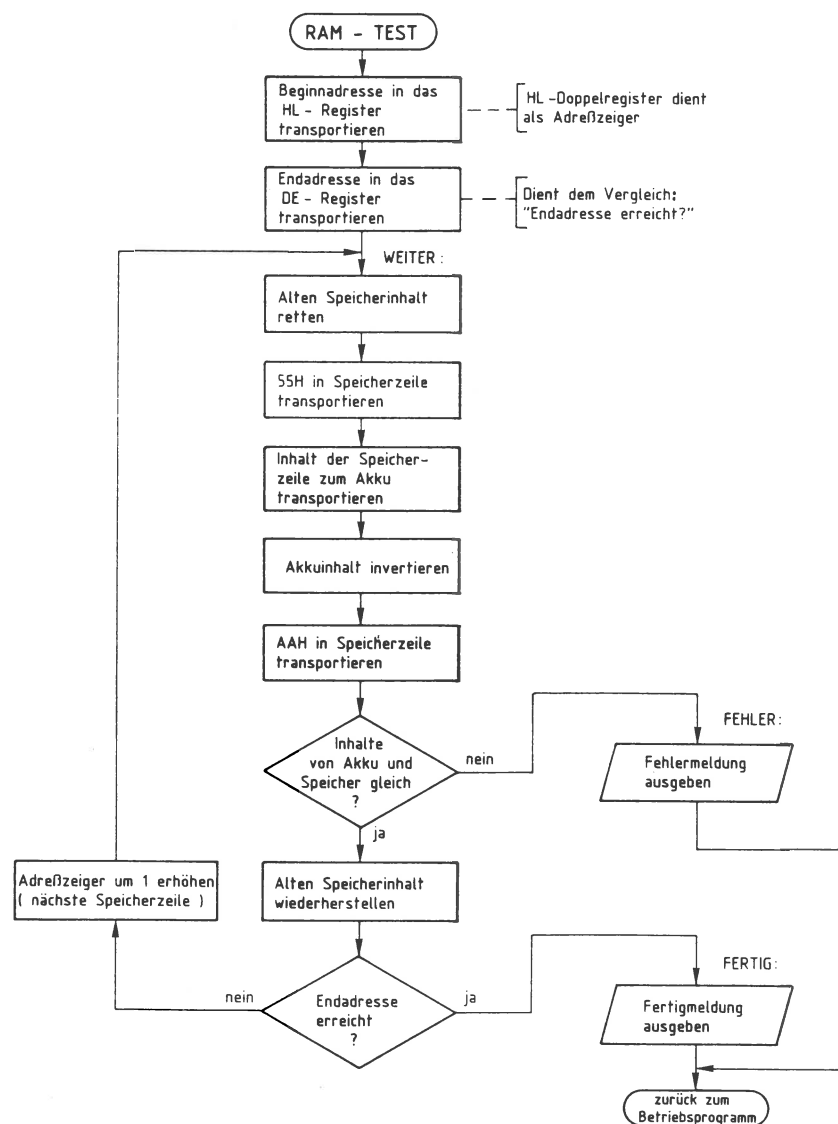


Bild 42: Prinzip des Flußdiagramms für ein Speichertest-Programm.

Die 64-K-RAM-Baugruppe ist für den Betrieb des im Vorwort vorgestellten MFA-Mikrocomputers unter dem Betriebssystem CP/M vorgesehen. Die Baugruppe enthält acht 8-KByte-RAM-Bausteine und ein EPROM mit wahlweise 2, 4, 8, 16 oder 32 KByte Speicherkapazität.

Unter CP/M wird das EPROM nach dem Laden des Betriebssystems abgeschaltet, so daß anschließend der ganze 64-K-RAM-Bereich zur Verfügung steht. Für andere Anwendungen ist es möglich, RAM und EPROM gemeinsam zu benutzen, wobei der nutzbare RAM-Bereich um die Kapazität des EPROMs verringert wird.

Nähere Einzelheiten zum CP/M-Betrieb des MFA-Mikrocomputers können hier nicht ausgeführt werden; es wird nur die 64-K-Baugruppe mit Schaltung und Anwendungsprinzip vorgestellt.