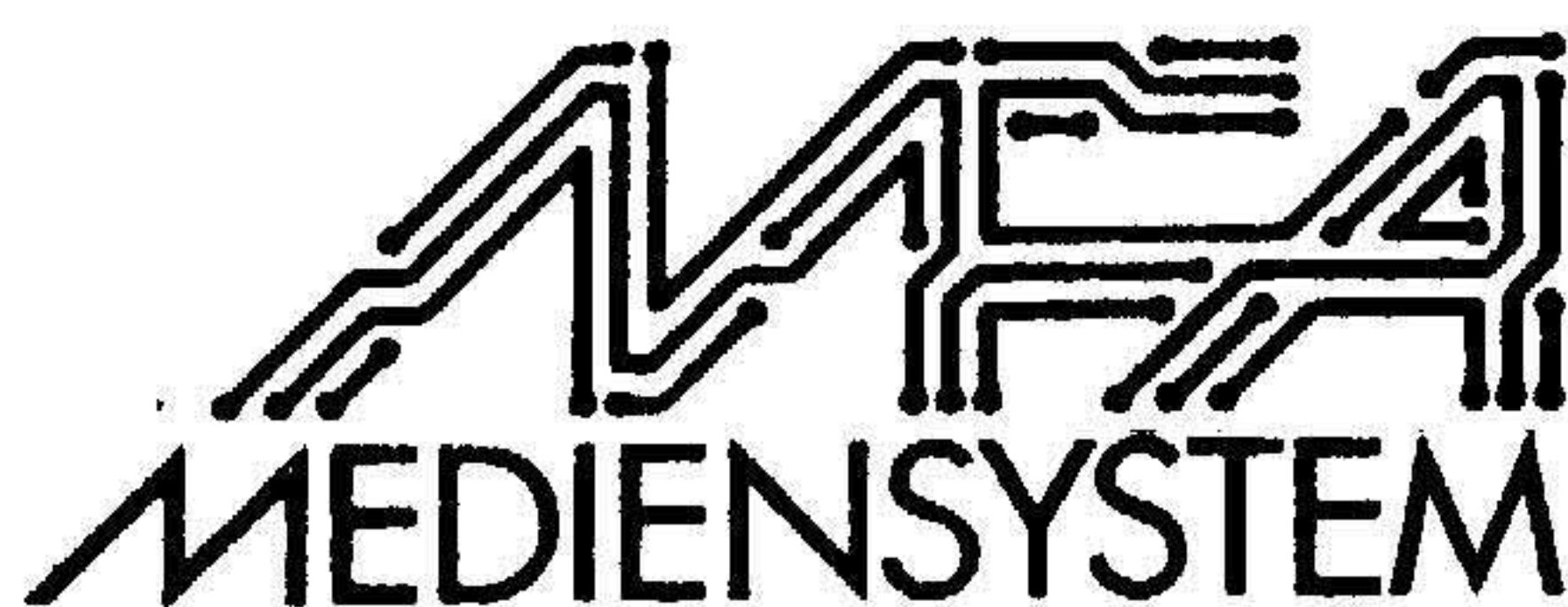

MFA-MEDIENSYSTEM

Mikrocomputer- Technik

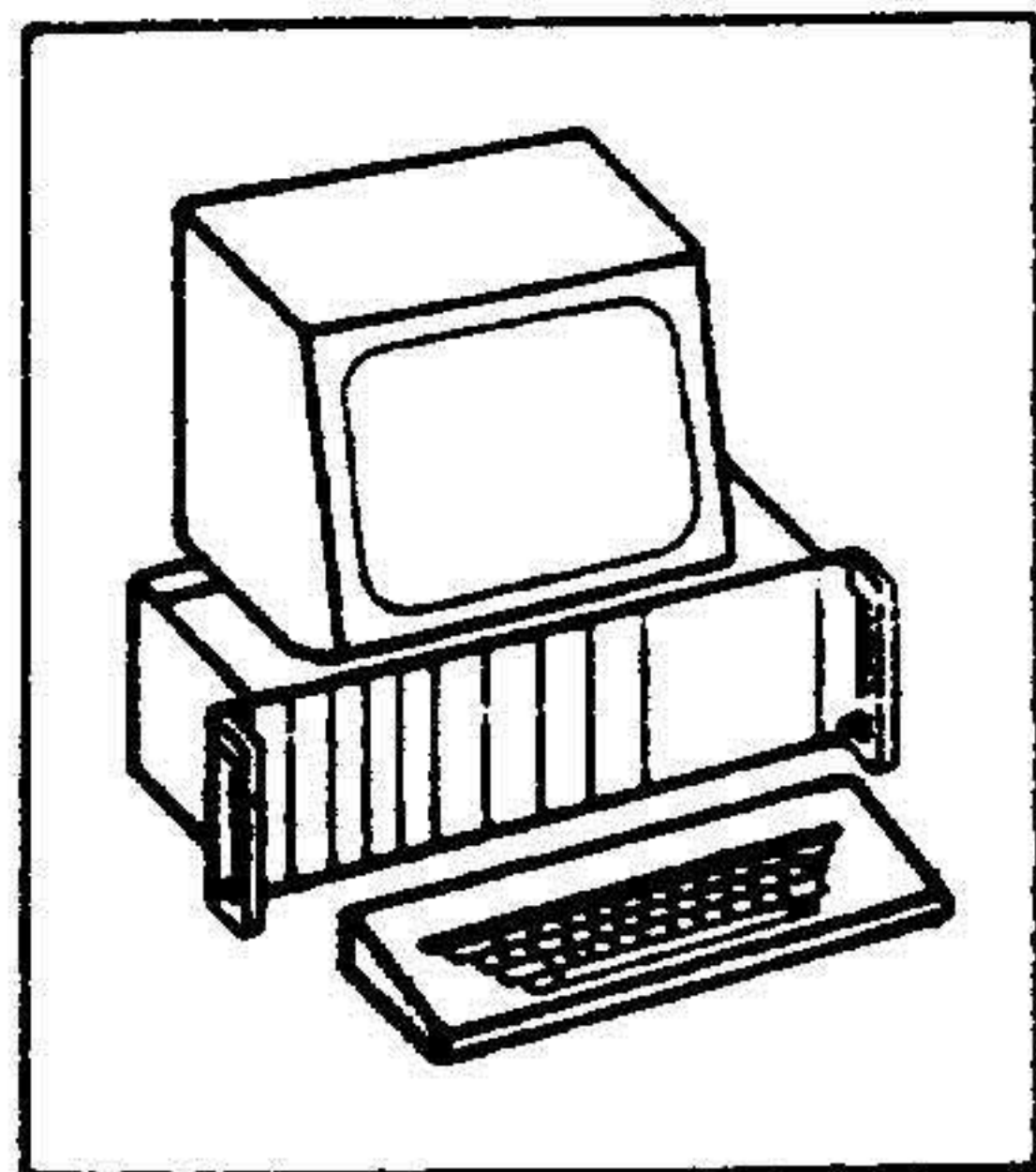
Fachpraktische Übungen
Herausgegeben vom BFZ Essen



INHALTSVERZEICHNIS HARDWARE

Inhalt	BFZ/MFA	Seite
Baugruppenträger mit Busverdrahtung	0.1.	1 - 3
Bus-Abschluß	0.2.	1 - 3
Trafo-Einschub	1.1.	1 - 2
Spannungsregelung	1.2.	1 - 3
8-Bit-Parallel-Ausgabe	4.1.	1 - 13
8-Bit-Parallel-Eingabe	4.2.	1 - 14
8-K-RAM/EPROM	3.1.	1 - 21
16-K-RAM/EPROM	3.2.	1 - 14
64-kByte-Ram	3.3.	1 - 15
Bus-Signalgeber	5.1.	1 - 15
Bus-Signalanzeige	5.2.	1 - 17
Prozessor 8085	2.1.	3 - 48
Inbetriebnahme 8085-System	6.1.	1 - 26
Testprogramme		1 - 14
Fehlersuchhilfen		1 - 10

FACHPRAKTISCHE ÜBUNG MIKROCOMPUTER-TECHNIK



16-K-RAM/EPROM

BFZ/MFA 3.2.



Diese Übung ist Bestandteil eines Mediensystems, das im Rahmen eines vom Bundesminister für Bildung und Wissenschaft, vom Bundesminister für Forschung und Technologie sowie der Bundesanstalt für Arbeit geförderten Modellversuches zum Einsatz der "Mikrocomputer-Technik in der Facharbeiterausbildung" vom BFZ-Essen e.V. entwickelt wurde.

Funktionsbeschreibung

BFZ/MFA 3.2. - 1

16-K-RAM/EPROM

1. Einleitung

Um die Anzahl der Speicherbaugruppen in einem Mikrocomputer-System möglichst klein zu halten, werden besonders für Anwendungen mit umfangreichen Programmen Speicherbaugruppen mit höherer Speicherkapazität benötigt. Die in dieser Übung beschriebene 16-K-RAM/EPROM-Speicherbaugruppe kann mit maximal 8 Speicherbausteinen zu je 2K-Byte Speicherkapazität bestückt werden. Die Bausteine können sowohl RAM- als auch EPROM-Speicher sein. Eine gemischte Bestückung ist ebenfalls möglich. Zusätzlich ist die Baugruppe mit einem 2-K-Urladerspeicher bestückbar, mit dessen Hilfe sich das Betriebssystem für den Mikrocomputer von einem Massenspeicher (Floppy-Disk) in den RAM-Speicher laden läßt.

1.1. Hinweise zur Urladereinrichtung

Die Urlader-Einrichtung ist eine Erweiterung der 16-K-RAM/EPROM-Baugruppe und auf dem Layout der Leiterplatte bereits vorbereitet. Bild 1 zeigt den Stromlaufplan der Baugruppe ohne, Bild 7 mit Urladereinrichtung.

Die Urlader-Einrichtung wird immer dann erforderlich, wenn der Systemspeicher des Mikrocomputers ab der Adresse 0000 mit Schreib-Lese-Speicher ausgerüstet werden soll. Da der Mikroprozessor nach einem System-Start oder einem RESET unter der Adresse 0000 den ersten auszuführenden Befehl erwartet, muß zunächst ab dieser Adresse ein ROM eingeblendet werden. Dieses ROM bezeichnet man als Urlader-ROM, weil darin üblicherweise ein Programm abgelegt wird, welches das eigentliche Verarbeitungsprogramm, z.B. von einem Massenspeicher (Floppy Disk), in den Systemspeicher des Mikrocomputers laden soll. Nach Beendigung dieses Ladevorgangs wird der Prozessor durch einen Sprungbefehl veranlaßt, zum geladenen Verarbeitungsprogramm zu verzweigen. Nach Ausführung des Sprungbefehls wird das Urlader-ROM abgeschaltet.

Eine detaillierte Beschreibung der Urladereinrichtung mit Anwendungsbeispielen erfolgt

2. Stromlaufplan

Bild 1 zeigt den Stromlaufplan der Baugruppe. Sie sollten diesen Plan bei allen folgenden Erklärungen mitbenutzen.

16-K-RAM/EPROM

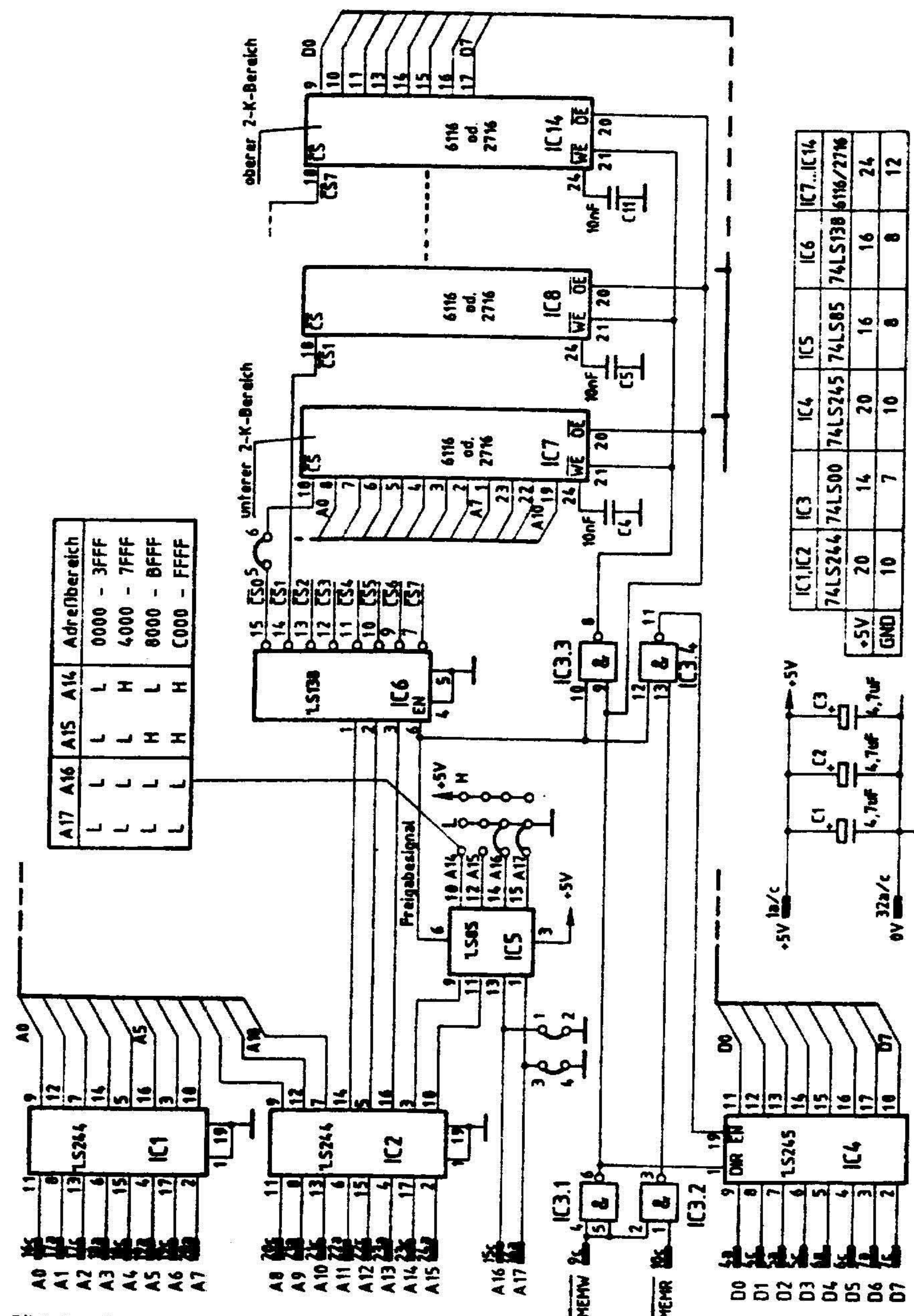


Bild 1: Stromlaufplan 16-K-RAM/EPROM

16-K-RAM/EPROM

3. Funktionsbeschreibung

Die folgende Funktionsbeschreibung beschränkt sich auf die Verwendung der Speicherbaugruppe ohne Urladerspeicher.

3.1. Baugruppenauswahl

Bei dieser Speicherbaugruppe wurde eine Volldecodierung angewendet, bei der alle 16 Adreßleitungen an der Decodierung der Baugruppe bzw. der Speicherbausteine beteiligt sind. Die zusätzlichen Anschlüsse für A16 und A17 sind für spätere Anwendungen vorgesehen.

Die Baugruppenauswahl erfolgt über die Adreßleitungen A14 und A15, mit denen sich 4 Baugruppen zu je 16K-Byte Speicherkapazität adressieren lassen. Bild 2 zeigt den 4-Bit-Komparator 74 LS 85, der dieser Baugruppenauswahl dient.

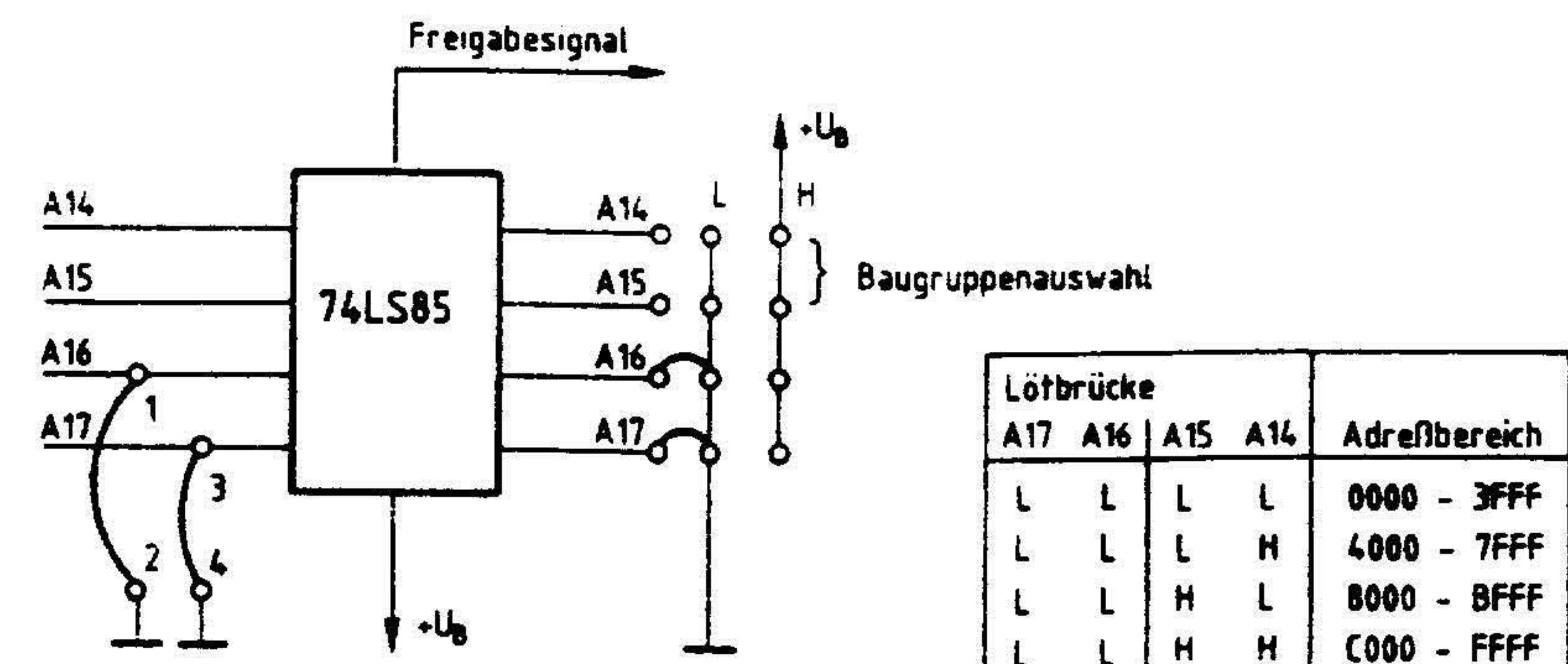


Bild 2: Die Auswahl von 16K-Speicherbaugruppen

Mit Hilfe der entsprechend bezeichneten Lotbrücken A14 und A15 läßt sich der Adreßbereich einstellen, in dem die Speicherkarte arbeiten soll.

16-K-RAM/EPROM

3.3.2. Die Steuerung des Lesevorgangs

Soll der Inhalt einer Speicherzeile gelesen werden, so müssen die Pegel der drei Steuereingänge lt. Bild 3 der Signalkombination Nr. 2 ($\overline{CS} = L$, $\overline{OE} = L$, $\overline{WE} = H$) entsprechen. Dieser Signalzustand ist in Bild 5 eingetragen.

Das $\overline{\text{CS}}$ -Signal wird vom Adreßdecoder erzeugt. Führt zusätzlich das Steuersignal $\overline{\text{MEMR}}$ L-Pegel, so hat $\overline{\text{MEMW}}$ einen H-Pegel, weil der Zustand $\overline{\text{MEMW}} = \overline{\text{MEMR}} = \text{L}$ bei normalem Betrieb nicht vorkommt.

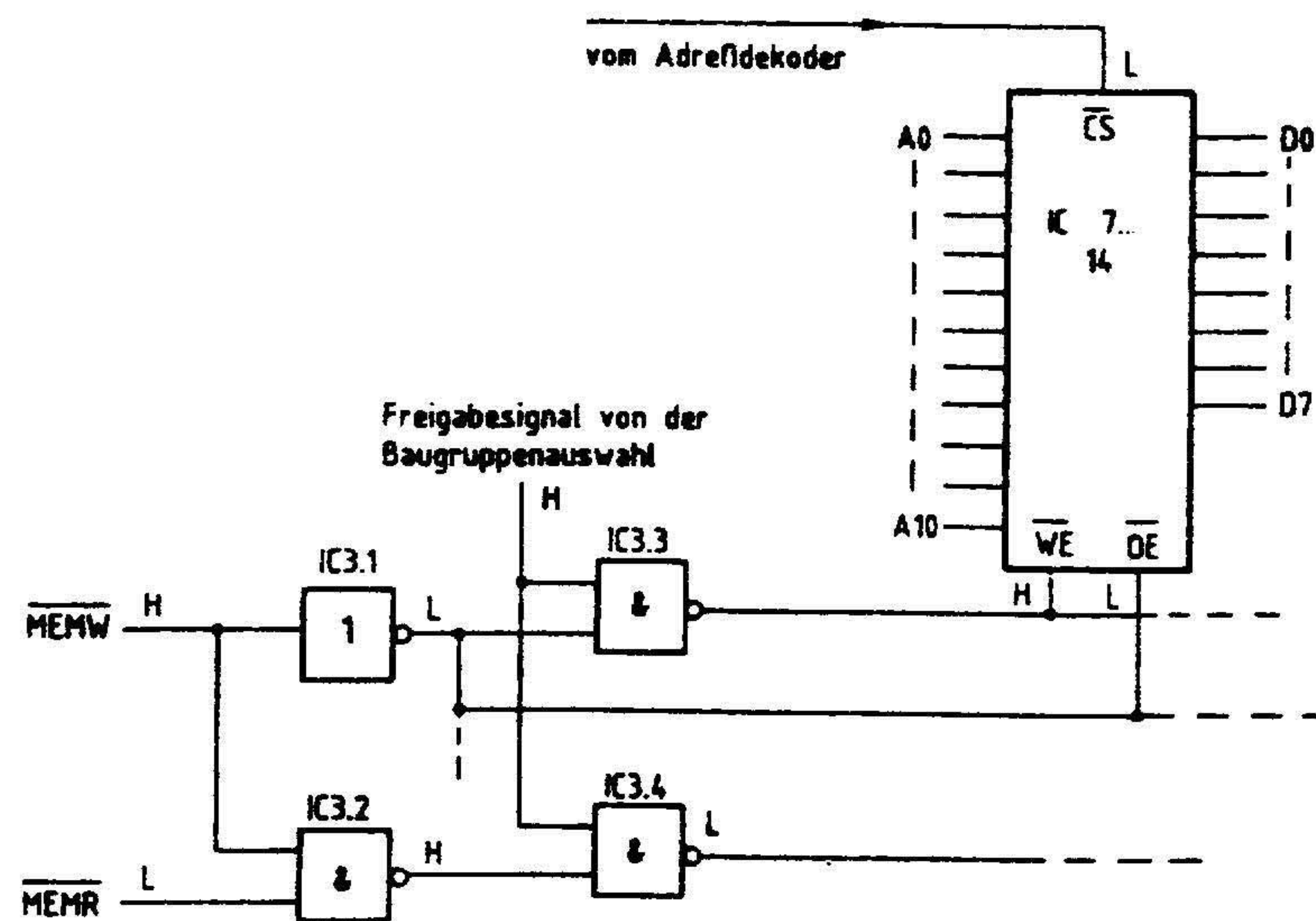


Bild 5: Die Steuerung des Lesevorgangs

3.4. Die Steuerung der Datenflußrichtung

Der Datenbustreiber 74 LS 245 (Bild 6) besitzt die beiden Steuereingänge DIR und \overline{EN} . Ein H-Pegel am \overline{EN} -Eingang (Enable = ermöglichen) schaltet die Datenleitungen auf beiden Seiten des Treiberbausteines in den hochohmigen Zustand (Tristate). Ein L-Pegel gibt den Datenfluß in einer der beiden möglichen Richtungen frei. Diese Datenflußrichtung wird mit dem Steuersignal \overline{MEMW} über den Steuereingang DIR (Direction = Richtung) bestimmt. Bei einem Schreibvorgang ($\overline{MEMW} = L$) liegt am DIR-Eingang ein H-Pegel an und die Daten gelangen vom System-Bus in den Speicher. Bei einem Lesevorgang liegt am DIR-Eingang L-Pegel an, und die Daten gelangen vom Speicher zum System-Bus.

16-K-RAM/EPROM

Die Freigabe des Datentransportes erfolgt allerdings nur dann, wenn...

1. die Baugruppe freigegeben ist, d.h. eine für die Baugruppe gültige Adresse auf dem Adreßbus ansteht und
2. entweder das Steuersignal MEMW oder MEMR L-Pegel führt.

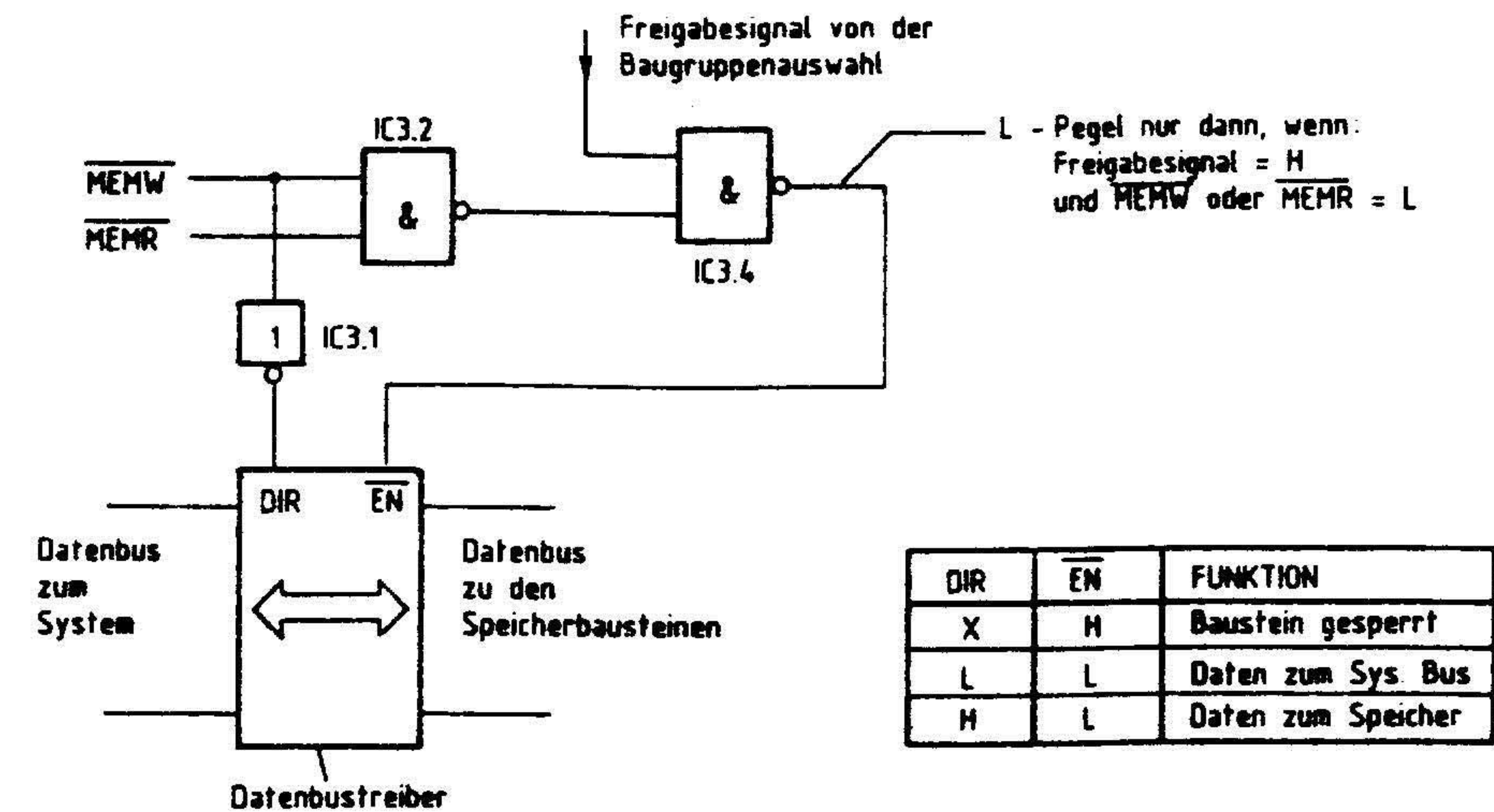
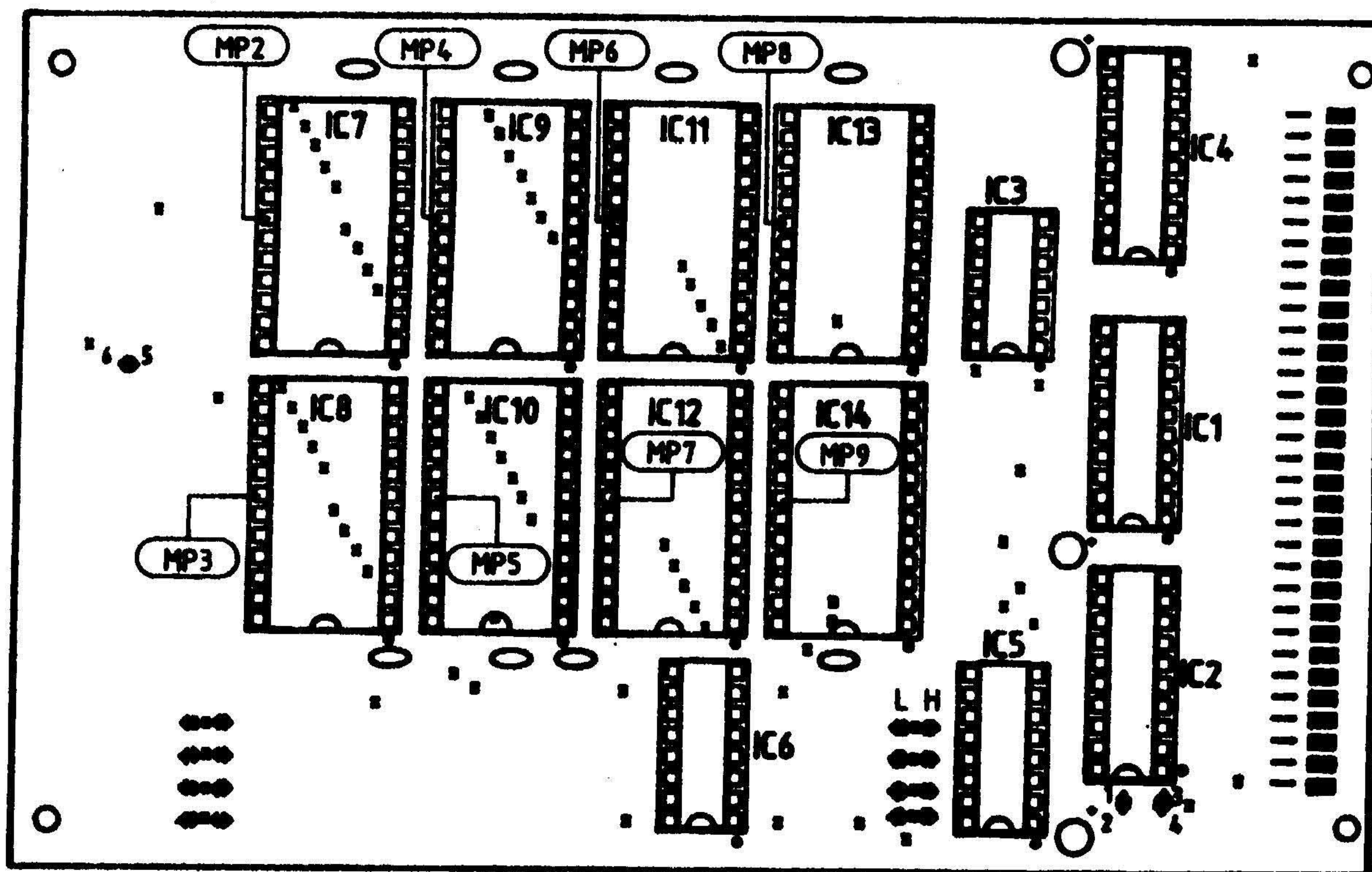


Bild 6: Die Steuerung der Datenflußrichtung

Prüfen der Bausteinauswahl

Oberprüfen Sie den Signalzustand an den Chip-Select-Eingängen der Speicherbausteine (Meßpunkte MP2 bis MP9 bzw. Stift 18 der entsprechenden Speicher-ICs).



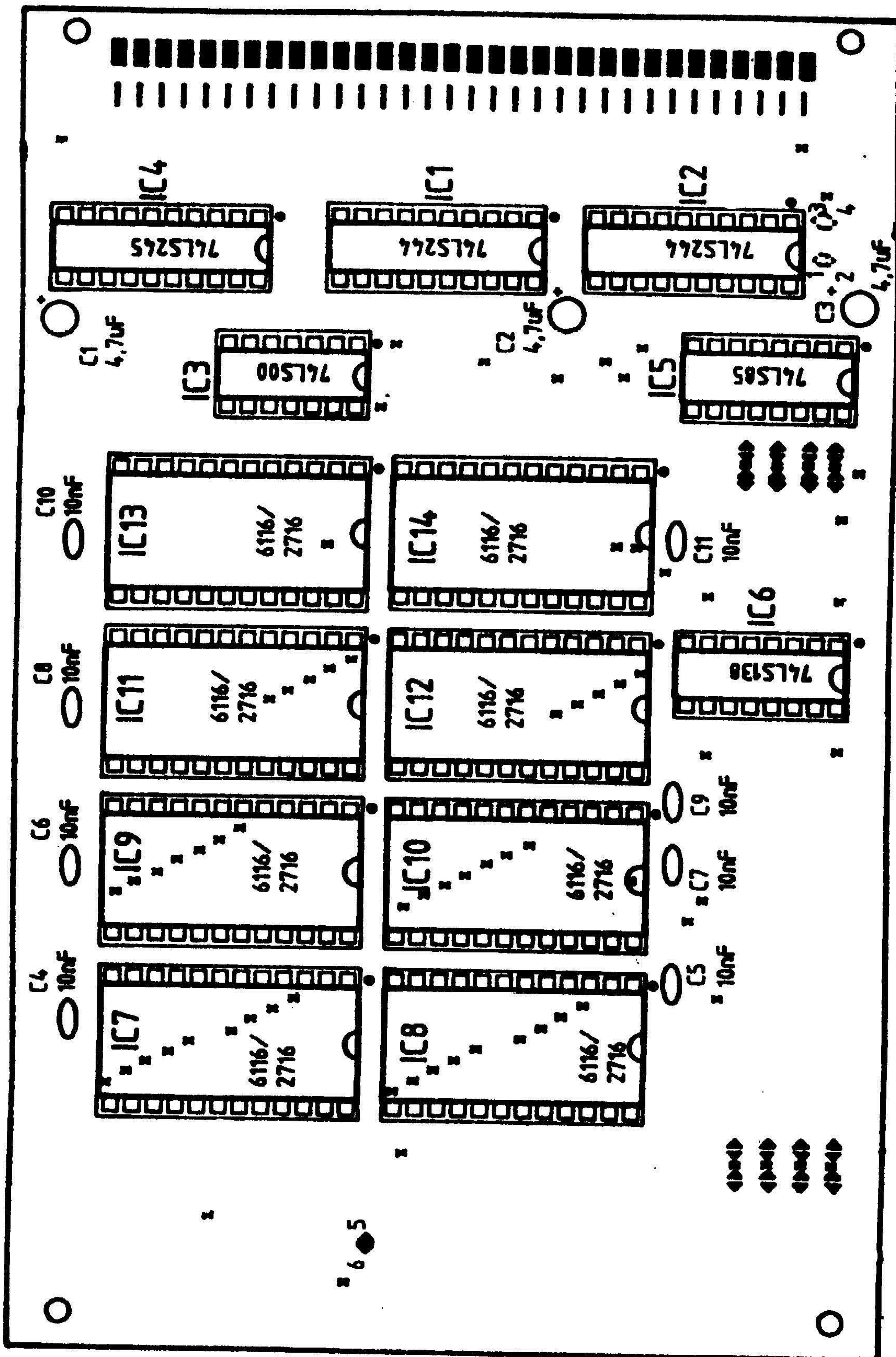
8-K-Speicher- Baustein	eingest. Adresse (Hexadezimal) im Bereich von bis	MP 2		MP 3		MP 4		MP 5		MP 6		MP 7		MP 8		MP 9	
		Soll	Ist	Soll	Ist	Soll	Ist	Soll	Ist	Soll	Ist	Soll	Ist	Soll	Ist	Soll	Ist
IC 7	4000 . . . 47FF	L		H		H		H		H		H		H		H	
IC 8	4800 . . . 4FFF	H		L		H		H		H		H		H		H	
IC 9	5000 . . . 57FF	H		H		L		H		H		H		H		H	
IC10	5800 . . . 5FFF	H		H		H		L		H		H		H		H	
IC11	6000 . . . 67FF	H		H		H		H		L		H		H		H	
IC12	6800 . . . 6FFF	H		H		H		H		H		L		H		H	
IC13	7000 . . . 77FF	H		H		H		H		H		H		L		H	
IC14	7800 . . . 7FFF	H		H		H		H		H		H		H		L	



Arbeitsmittel

Arbeitsblatt
16-K-RAM/EPROM

8



Arbeitsmittel

Funktionsbeschreibung
16-K-RAM/EPROM

9

Oberprüfen des Speicher-Steuersignals \overline{WE} (Write Enable)

Oberprüfen Sie für einige Adressen innerhalb bzw. außerhalb des "gültigen" Speicherbereiches die Pegel an den jeweiligen \overline{WE} -Anschlußstiften (Siehe A 5.4) der Speicherbausteine IC7 bis IC14.

Adresse	Taster MEMW	IC7 (21)		IC8 (21)		IC9 (21)		IC10 (21)		IC11 (21)		IC12 (21)		IC13 (21)		IC14 (21)	
		Soll	Ist	Soll	Ist	Soll	Ist	Soll	Ist	Soll	Ist	Soll	Ist	Soll	Ist	Soll	Ist
4000 . . .	betätigt	L		L		L		L		L		L		L		L	
7FFF	nicht betätigt	H		H		H		H		H		H		H		H	
außerhalb des gült. Bereiches	X	H		H		H		H		H		H		H		H	
	X																

X: Der Pegel an Pin 21 hängt nicht von MEMW ab

Oberprüfen der Steuerung der Datenflußrichtung DIR (Direction)

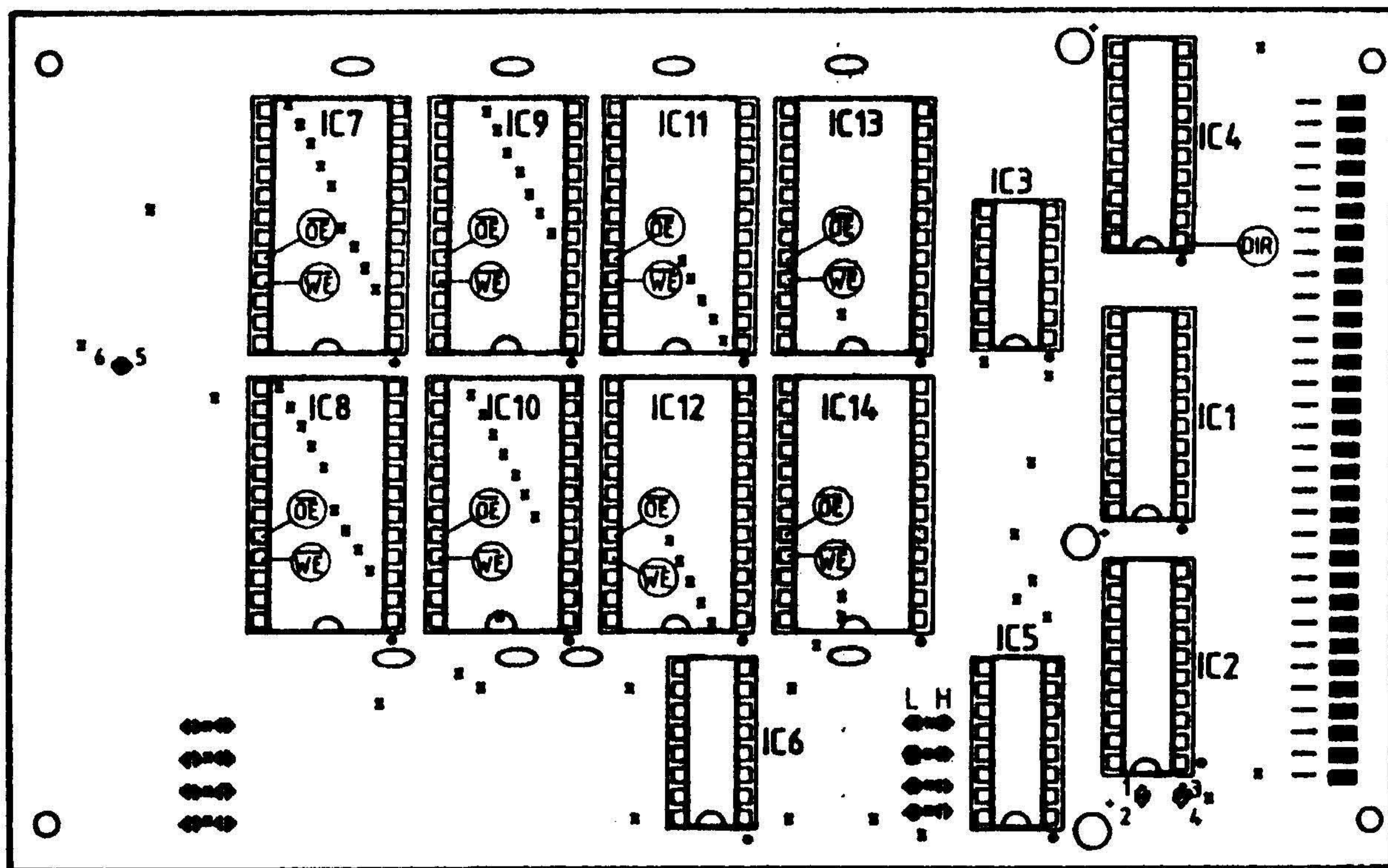
Die Richtung des Datenflusses wird nur durch das Steuersignal \overline{MEMW} bestimmt. Oberprüfen Sie entsprechend der folgenden Tabelle den Pegel des DIR-Signals (Siehe A 5.4).

Taster MEMW	Taster MEMR	IC4 (1)		Bemerkung
		Soll	Ist	
nicht betätigt	nicht betätigt	L		Datentransport vom Speicher zum Systembus möglich
nicht betätigt	betätigt	L		Datentransport vom Speicher zum Systembus möglich
betätigt	nicht betätigt	H		Datentransport vom Systembus zum Speicher möglich
betätigt	betätigt	H		nicht erlaubt (weil bei MC-Betrieb dieser Zustand nicht auftreten kann). Es wäre auch hier ein Datentransport zum Speicher möglich.



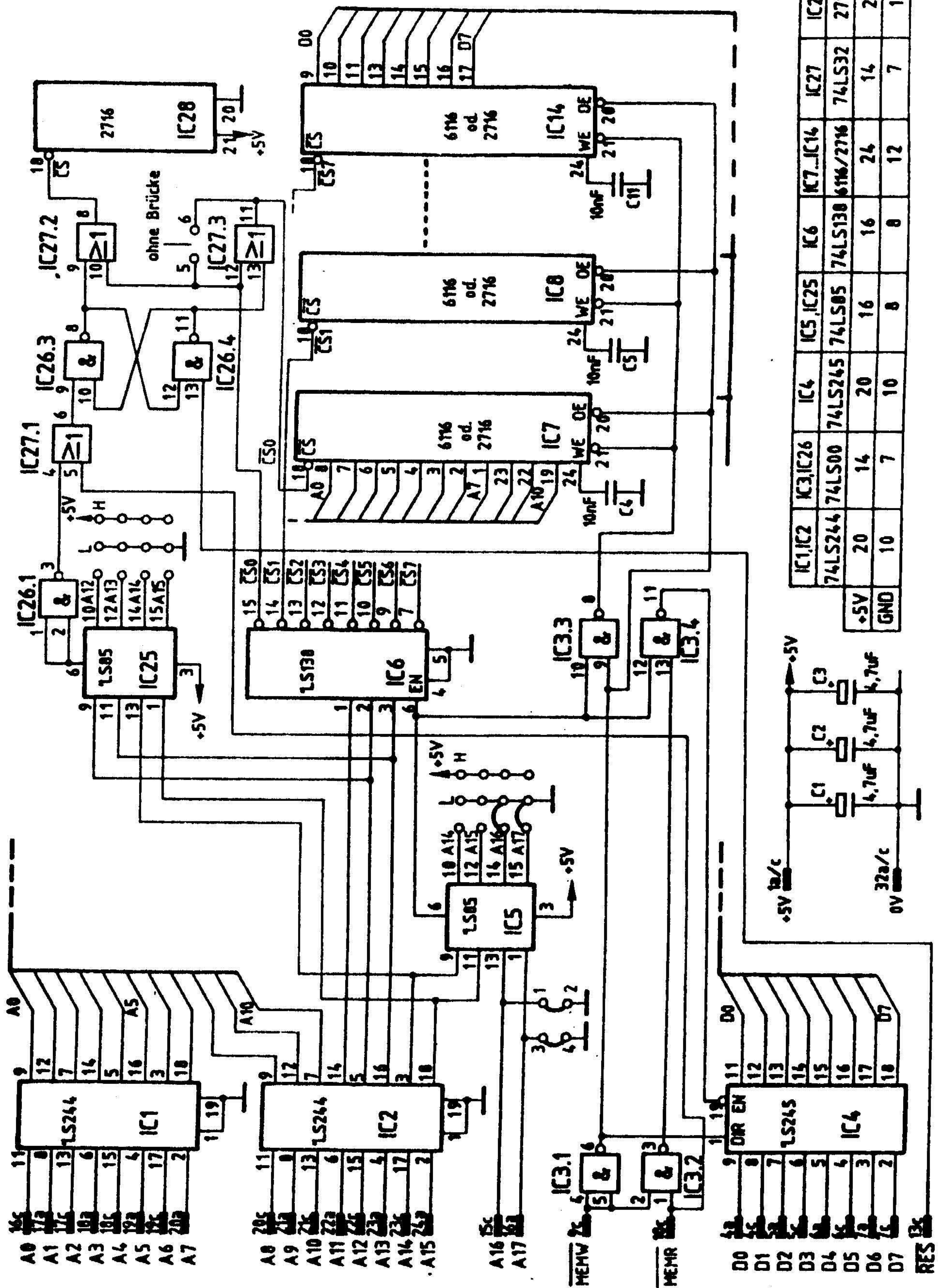
Überprüfen des Speicher-Steuersignals \overline{OE} (Output Enable)

Der Pegel dieses Signals hängt nur vom Pegel des Steuersignals \overline{MEMW} ab. Überprüfen Sie das \overline{OE} -Signal an dem jeweiligen Anschlußpin der Speicherbausteine.



Taster MEMW	IC7 (20)		IC8 (20)		IC9 (20)		IC10 (20)		IC11 (20)		IC12 (20)		IC13 (20)		IC14 (20)	
	Soll	Ist	Soll	Ist	Soll	Ist	Soll	Ist	Soll	Ist	Soll	Ist	Soll	Ist	Soll	Ist
betätigt	H		H		H		H		H		H		H		H	
nicht betätigt	L		L		L		L		L		L		L		L	





IC1, IC2	IC3, IC26	IC4	IC5, IC25	IC6	IC7, IC14	IC27	IC28
74LS244	74LS00	74LS245	74LS05	74LS138	6116/2716	74LS32	2716
20	14	20	16	16	24	14	24
+5V	10	7	8	8	12	7	12
GND							

Stromlaufplan der 16-K-RAM/EPROM-Baugruppe mit Urlader-Einrichtung



Arbeitsmittel

Funktionsbeschreibung
16-K-RAM/EPROM

12

Oberprüfung des Freigabesignals \overline{EN} (Enable) des Datenbustreibers

Die Freigabe des Datenbustreibers hängt vom Signalzustand auf dem Adreßbus und vom Pegel eines der beiden Steuersignale \overline{MEMR} bzw. \overline{MEMW} ab.

Adresse	Taster MEMW	Taster MEMR	IC4 (19)		Bemerkung
			Soll	Ist	
4000 . . .	n. bet.	n. bet.	H		kein Datentransport möglich, Daten-Anschlüsse hochohmig
7FFF	n. bet.	bet.	L		Datentransport vom Speicher zum Systembus
	bet.	n. bet.	L		Datentransport vom Systembus zum Speicher
außerhalb des o.g. Bereiches	X	X	H		kein Datentransport möglich, Daten-Anschlüsse hochohmig

Oberprüfung der Schreib-/Lese-Funktion

Um die beiden Operationen "Speicherinhalt lesen" und "Daten in eine Speicherzeile einschreiben" mit Hilfe von Bus-Signalgeber und Bus-Signalanzeige für einige Speicherzeilen testen zu können, sollten RAMs als Speicherbausteine bestückt sein.

Schreiben Sie entsprechend der folgenden Tabelle in einige Speicherzeilen jedes Speicherbausteines den Datenwert 55H ein. Kontrollieren Sie anschließend, ob der Inhalt dieser Speicherzeilen diesen Wert angenommen hat.

Wiederholen Sie danach das Einschreiben und Auslesen mit dem Datenwert AAH.

Speicheradresse	Inhalt vor dem Einschreiben von 55	Inhalt nach dem Einschreiben von 55	Inhalt nach dem Einschreiben von AA
4000 . . . 47FF 4800 . . . 4FFF 5000 . . . 57FF 5800 . . . 5FFF			
6000 . . . 67FF 6800 . . . 6FFF 7000 . . . 77FF 7800 . . . 7FFF			



Arbeitsmittel

Arbeitsblatt

16-K-RAM/EPROM

13

1. Voraussetzung

Der Adreßvergleich 1, IC 5 muß auf Baugruppe 0 (1) eingestellt sein.

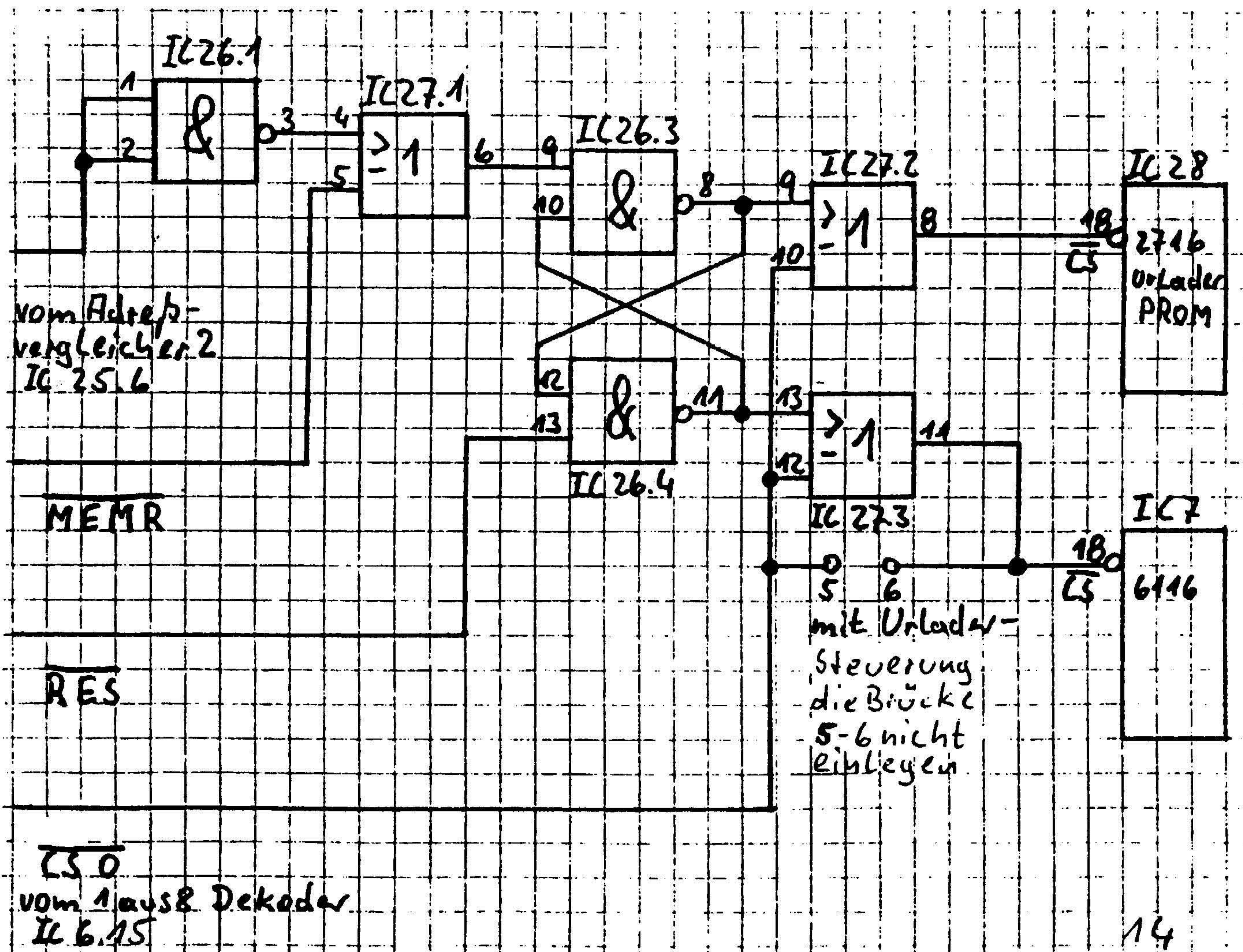
Der Adreßvergleich 2, IC 25 muß auf eine Adresse eingestellt sein, die durch die CPU nach dem Laden des Betriebsprogramms in einen anderen Bereich (z.B. E000-FFFFH) ausgegeben wird.

2. Ablauf

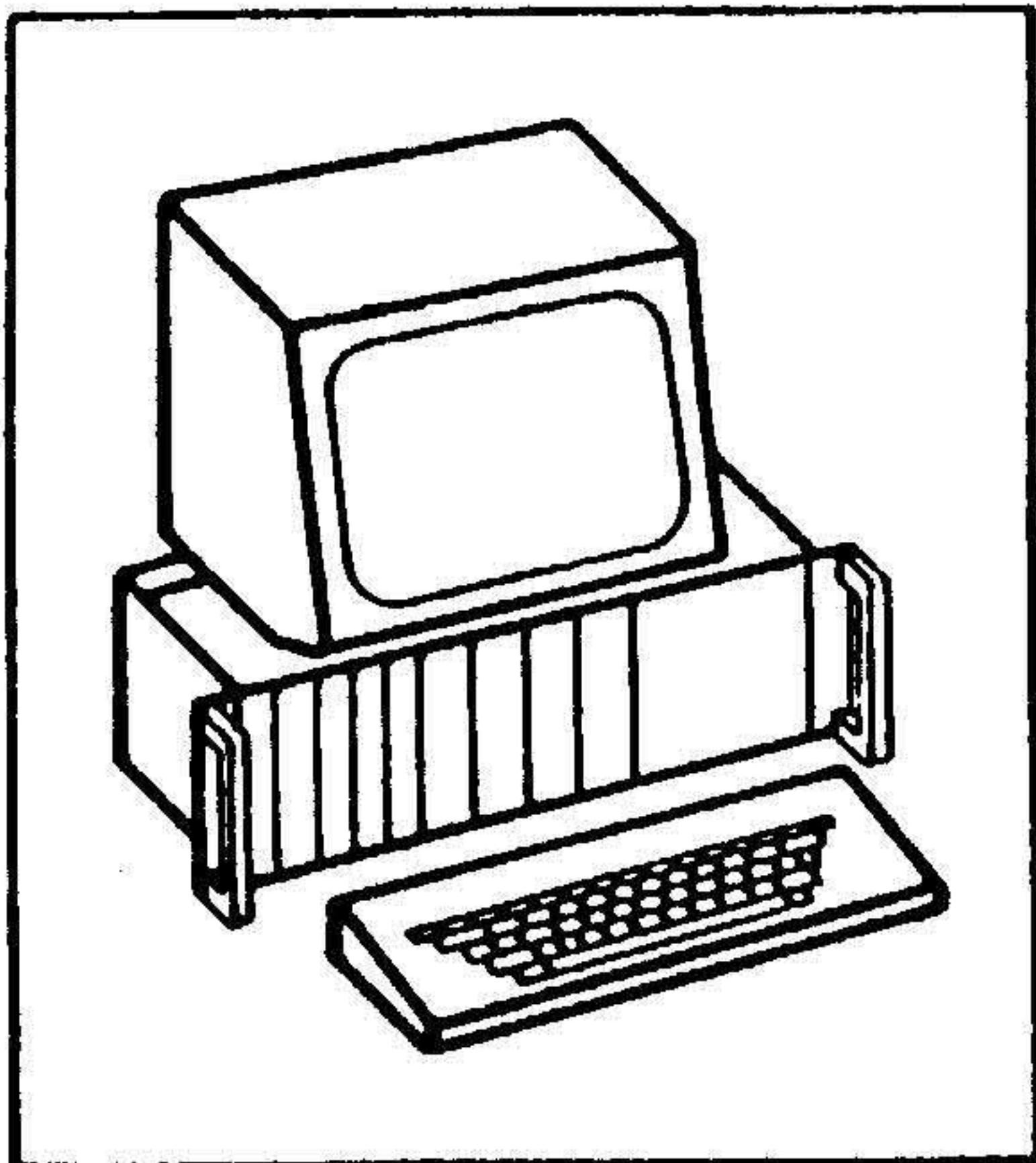
Die CPU gibt bei jedem Einschalten bzw. bei jedem Reset L-Signal auf die Leitung RES und anschließend die Adresse 0000H aus. Durch das L-Signal auf der Leitung RES wird das FF IC 26.3/4 an Pin 11 auf H-Signal gesetzt. Es hält sich in dieser Stellung, da IC 25 ein L-Signal ausgibt, daß durch Invertierung (IC 26.1) und dem ODER Gatter IC 27.1 mit dem Rückgeführten H-Signal ein L-Signal an IC 26.3 Pin 8 erzeugt. Durch die nachfolgenden ODER Gatter IC 27.2 und IC 27.3 wird das CS L-Signal jetzt dem EPROM zugeführt. Das RAM ist gesperrt. Die CPU kann jetzt das Programm abarbeiten (Laufwerk anwählen, Betriebsprogramm laden u.s.w.) das in dem EPROM steht.

Zum Rücksetzen muß die CPU MEMR L-Signal und die an IC 25 eingestellte Adresse ausgeben. Durch das Rücksetzen wird das URLADER EPROM abgeschaltet und der RAM-Platz kann benutzt werden.

Außzug der Urladersteuerung



MFA-MEDIENSYSTEM MIKROCOMPUTER-TECHNIK



64-KByte-RAM

BFZ/MFA 3.3.



Diese Unterlage ist eine vom BFZ-Essen erstellte Ergänzung zum MFA-Mediensystem. Das Mediensystem wurde im Rahmen eines vom Bundesminister für Bildung und Wissenschaft, vom Bundesminister für Forschung und Technologie sowie der Bundesanstalt für Arbeit geförderten Modellversuchs zum Einsatz der "Mikrocomputer-Technik in der Facharbeiterausbildung" vom BFZ-Essen e.V. entwickelt und erprobt.

Inhaltsverzeichnis

Inhalt	Seite
Hinweise	1
Blockschaltbild	2
Funktionsbeschreibung	3
Stromlaufplan	7
Bestückung Leiterplatte	8
Bereitstellungsliste zur Inbetriebnahme	10
Inbetriebnahme	11
Bereitstellungsliste	16
Bohrplan Leiterplatte	18
Layout Bestückungsseite	19
Beschriftung Frontplatte	20
Zusammenbau Baugruppe	21

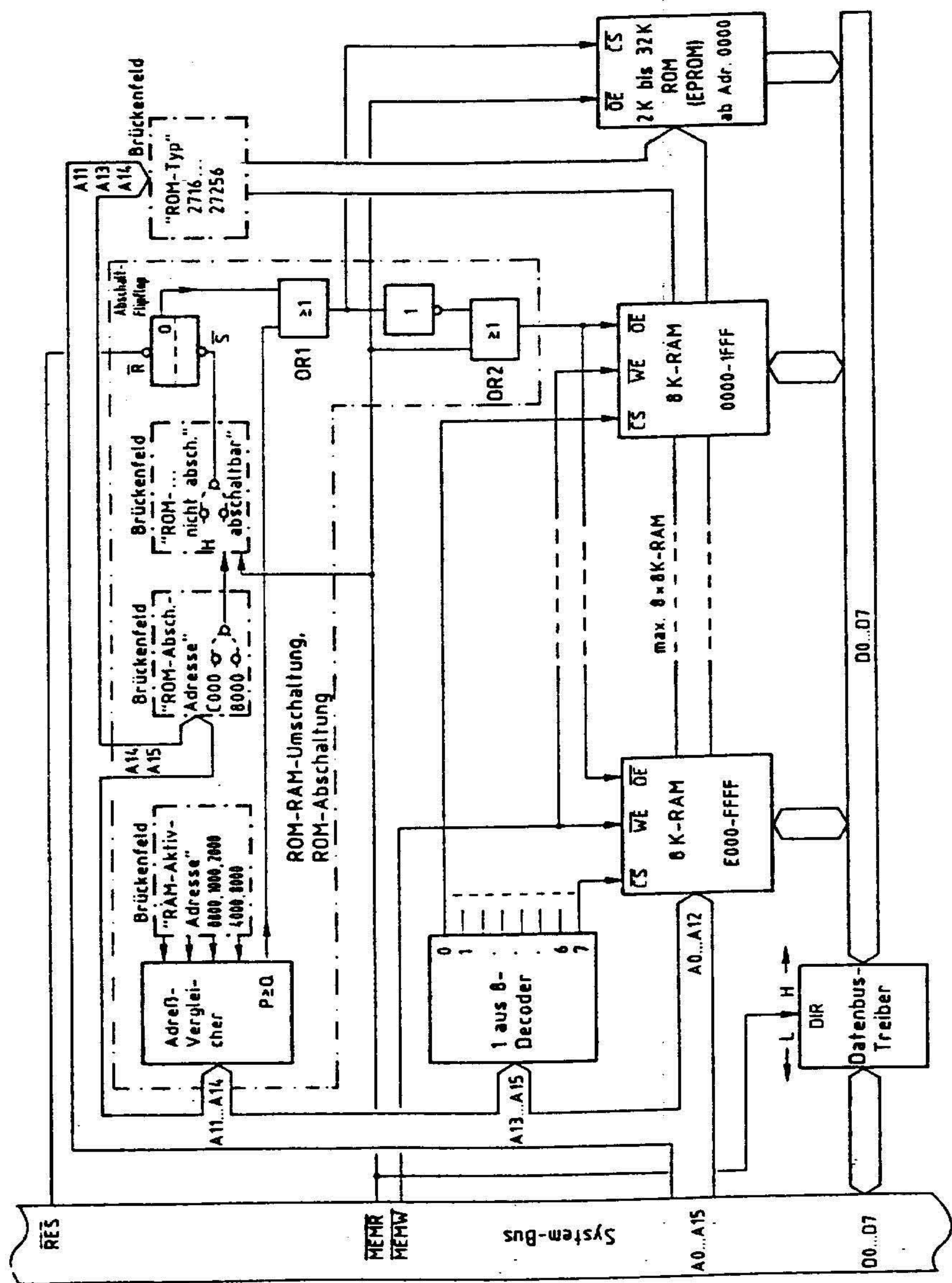
Hinweise

Die 64-KByte-RAM-Baugruppe ist für den Betrieb des BFZ/MFA-Mikrocomputers unter dem Betriebssystem "CP/M" vorgesehen. Die Baugruppe enthält acht 8-KByte-RAM-Bausteine und ein EPROM mit wahlweise 2-, 4-, 8-, 16- oder 32-KByte-Speicherkapazität.

Unter "CP/M" wird das EPROM nach dem Laden des Betriebssystems abgeschaltet, so daß anschließend der ganze 64-KByte-RAM-Bereich zur Verfügung steht. Für andere Anwendungen ist es möglich, RAM und EPROM gemeinsam zu benutzen, wobei der nutzbare RAM-Bereich um die Kapazität des EPROMs verringert wird.

Einzelheiten zum Betrieb des BFZ/MFA-Mikrocomputers in Verbindung mit dem Betriebssystem "CP/M" sind in der Übung "CP/M-Ausbaustufe des BFZ/MFA-Mikrocomputers" BFZ/MFA 7.3. beschrieben.

Blockschaltbild



Funktionsbeschreibung

Die Funktionsbeschreibung bezieht sich auf das Blockschaltbild der Baugruppe. Schaltungseinzelheiten sind dem Stromlaufplan zu entnehmen.

Die 64-KByte-RAM-Baugruppe kann wahlweise in der Betriebsart "ROM/RAM-Betrieb, ROM nicht abschaltbar" oder "ROM/RAM-Betrieb mit abschaltbarem ROM" eingesetzt werden. Die Einrichtung der Baugruppe für die gewünschte Betriebsart erfolgt durch Lötbrücken auf mehreren Brückenfeldern. Alle hierzu erforderlichen Angaben (technische Merkmale, typische Speicheraufteilungen) befinden sich am Ende der Funktionsbeschreibung.

Datenbus-Treiber, 1 aus 8-Decoder und Speicher

Der Daten-Bus der Baugruppe ist über einen Datenbus-Treiber mit dem System-Bus verbunden. Die Arbeitsrichtung des Datenbus-Treibers wird mit dem Signal $\overline{\text{MEMR}}$ gesteuert.

Mit den Adreßleitungen A0 bis A12 werden die einzelnen Speicherzeilen der RAM-Bausteine und des EPROMs adressiert. Je nach verwendetem EPROM (2716...27256) werden die Adreßleitungen A11, A13 und A14 im Brückenfeld "ROM-Typ" an die unterschiedlichen Anschlußbelegungen der EPROMs angepaßt.

Die Adreßleitungen A13 bis A15 führen auf einen 1 aus 8-Decoder, der jeweils einen der 8-KByte-RAM-Bausteine über dessen $\overline{\text{CS}}$ -Anschluß freigibt.

Die $\overline{\text{OE}}$ -Anschlüsse aller RAM-Bausteine sind zusammengeführt. Daten des RAM-Speichers können nur dann gelesen werden, wenn die $\overline{\text{OE}}$ -Anschlüsse L-Pegel erhalten. Die Schreib-Lese-Umschaltung der RAM-Bausteine erfolgt über $\overline{\text{MEMW}}$.

ROM-RAM-Umschaltung

Zur ROM-RAM-Umschaltung gehören der Adreßvergleich mit dem Brückenfeld "RAM-Aktiv-Adresse", die ODER-Verknüpfung "OR1", der Inverter und die ODER-Verknüpfung "OR2".

Beim Einschalten des Mikrocomputers (oder bei Betätigung der RESET-Taste) wird das Abschalt-Flipflop über das Signal $\overline{\text{RES}}$ zurückgesetzt, so daß der Ausgang Q an die ODER-Verknüpfung OR1 L-Pegel abgibt.

Funktionsbeschreibung

Der zweite Eingang von OR1 erhält nach dem Einschalten vom Ausgang $P \geq Q$ des Adreßvergleichers ebenfalls L-Pegel, da die vom Prozessor ausgegebene Adresse 0000 stets kleiner als die mit dem Brückenfeld "RAM-Aktiv-Adresse" einstellbare Vergleichsadresse ist. Die ODER-Verknüpfung OR1 gibt daher zunächst L-Pegel ab. Hiermit wird der $\overline{\text{CS}}$ -Anschluß des EPROMs angesteuert und das EPROM aktiviert.

Bei aktivem EPROM muß der RAM-Speicher abgeschaltet sein. Die RAM-Abschaltung erfolgt durch H-Pegel an den $\overline{\text{OE}}$ -Anschlüssen der RAM-Bausteine. Dieser H-Pegel stammt von der ODER-Verknüpfung OR2 und wird durch Invertierung des Ausgangssignals von OR1 ($\overline{\text{CS}}$ -Signal für das EPROM) gebildet.

Durch das beschriebene Verfahren wird nach dem Einschalten bzw. RESET stets zunächst das EPROM aktiviert und der RAM-Speicher abgeschaltet.

Mit dem Brückenfeld "RAM-Aktiv-Adresse" wird eingestellt, ab welcher Speicheradresse statt des EPROMs der RAM-Speicher aktiv sein soll. Einstellbar sind die Adreßwerte 0800, 1000, 2000, 4000 und 8000. Der einzustellende Wert richtet sich nach dem EPROM-Typ.

Sobald der Prozessor eine Adresse ausgibt, die gleich oder größer der eingestellten RAM-Aktiv-Adresse ist, führt der Adreßvergleich am Ausgang $P \geq Q$ H-Pegel und schaltet über OR1 das EPROM ab.

Zum Lesen von Daten aus dem Speicher steuert der Prozessor die $\overline{\text{MEMR}}$ -Leitung auf L-Pegel. Da das EPROM z.Zt. nicht aktiviert ist, führen jetzt beide Eingänge von OR2 L-Pegel, wodurch die $\overline{\text{OE}}$ -Anschlüsse der RAM-Bausteine L-Pegel erhalten und der RAM-Speicher zum Lesen von Daten freigegeben ist.

Zum Einschreiben von Daten in den RAM-Speicher ist L-Pegel an den $\overline{\text{OE}}$ -Anschlüssen nicht erforderlich.

Arbeitet der Prozessor wieder unterhalb der RAM-Aktiv-Adresse, nimmt der Ausgang $P \geq Q$ des Adreßvergleichers wieder L-Pegel an. Hierdurch wird wieder vom RAM auf das EPROM umgeschaltet. Das Abschalt-Flipflop ist an dieser Umschaltung nicht beteiligt.

Funktionsbeschreibung

ROM-Abschaltung

Beim Einschalten des Mikrocomputers ist zunächst immer das EPROM aktiviert. Für bestimmte Anwendungsfälle der Speicherbaugruppe wie z.B. das Arbeiten unter dem Betriebssystem "CP/M" muß der Speicher bereits ab der Adresse 0000 mit RAM beginnen. Da "CP/M" nicht in EPROMs gespeichert wird, sondern auf einer Diskette, muß das EPROM ein Programm enthalten, mit dessen Hilfe "CP/M" von der Diskette in den RAM-Speicher geladen wird. Nach diesem als "BOOTEN" bezeichneten Ladevorgang wird das EPROM nicht mehr benötigt und muß abgeschaltet werden.

Die Abschaltung des EPROMs erfolgt durch das Abschalt-Flipflop in Verbindung mit den Brückenfeldern "ROM nicht abschaltbar/abschaltbar" und "ROM-Abschalt-Adresse".

Bedingungen für das Abschalten des EPROMs:

- Brückenfeld "ROM nicht abschaltbar/abschaltbar" in Stellung "abschaltbar"
- Speicher-Lesezugriff des Prozessors auf die mit dem Brückenfeld "ROM-Abschalt-Adresse" eingestellte oder eine höhere Adresse

Nur wenn beide Bedingungen gemeinsam erfüllt sind, wird das Abschalt-Flipflop gesetzt und hierdurch das EPROM dauerhaft abgeschaltet. Anschließend kann auf das EPROM nicht mehr zugegriffen werden. Dieser Zustand bleibt bis zum nächsten RESET erhalten.

Zusammenfassung

Auf der nächsten Seite sind die Betriebsarten der 64-KByte-RAM-Baugruppe zusammengefaßt dargestellt und Beispiele für einige mögliche Speicheraufteilungen angegeben.

Funktionsbeschreibung

ROM/RAM-Betrieb, ROM nicht abschaltbar

Merkmale:

- ROM ab Adresse 0000, bestehend aus einem EPROM mit 2-, 4-, 8-, 16- oder 32-KByte Kapazität
- RAM ab Adresse 0000, bestehend aus acht 8-KByte-Bausteinen, jedoch nicht ab Adr. 0000, sondern erst oberhalb der EPROM-Endadresse nutzbar
- Ausblendung desjenigen RAM-Bereichs, der bereits durch das eingesetzte EPROM belegt ist
- Bei 2- oder 4-KByte-EPROMs ist der überschüssige RAM-Speicher von 6- bzw. 4 KByte nutzbar
- Bei Verwendung von 8-, 16- oder 32-KByte-EPROM können 1, 2 oder 4 RAM-Bausteine entfallen

Einstellung dieser Betriebsart:

- Mit Brückenfeld "ROM-Typ" eingesetztes EPROM angeben
- Brücke "ROM nicht abschaltbar" schließen
- Brückenfeld "ROM-Abschaltadresse" beliebig, da EPROM nicht abgeschaltet wird
- "RAM-Aktiv-Adresse" je nach eingesetztem EPROM-Typ einstellen (2716 auf 0800, 2732 auf 1000, 2764 auf 2000, 27128 auf 4000, 27256 auf 8000)

ROM/RAM-Betrieb mit abschaltbarem ROM

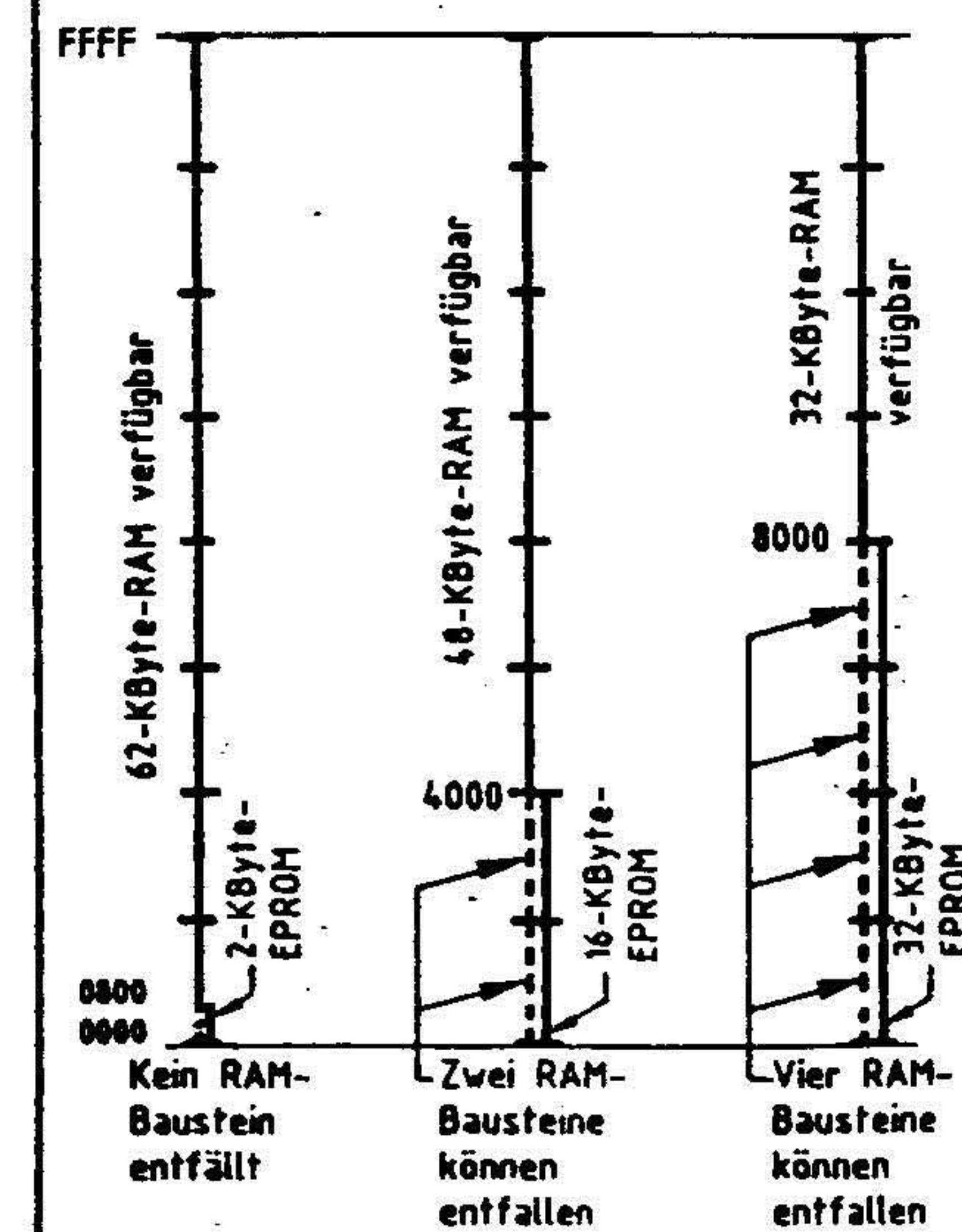
Merkmale:

- Zunächst ROM (2- bis 32-KByte-EPROM) ab Adresse 0000 eingeschaltet
- 64-KByte-RAM ab Adresse 0000, jedoch Ausblendung desjenigen RAM-Bereichs, der durch das eingesetzte EPROM belegt ist; RAM-Speicher zunächst nur oberhalb der EPROM-Endadresse nutzbar
- Dauerhaftes Abschalten des EPROMs und Einschalten des gesamten RAM-Speichers durch Lesezugriff auf eine Speicheradresse ab 8000 bzw. C000 (einstellbare "ROM-Abschaltadresse")
- Wiedereinschalten des EPROMs nur durch RESET oder Kaltstart

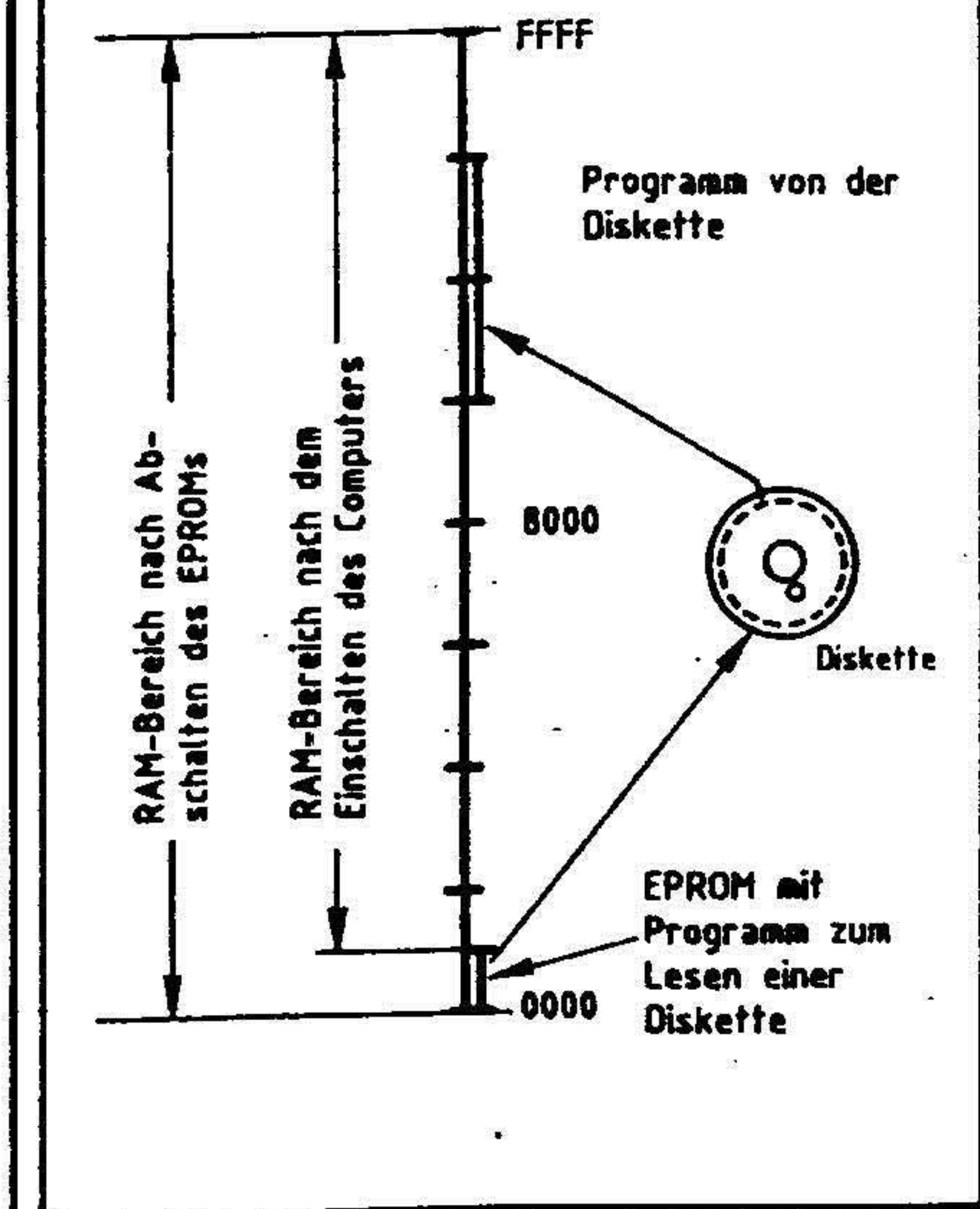
Einstellung dieser Betriebsart:

- Brücke "ROM abschaltbar" schließen
- Im Brückenfeld "ROM-Typ" eingesetztes EPROM angeben
- "RAM-Aktiv-Adresse" je nach eingesetztem EPROM einstellen
- Brückenfeld "ROM-Abschaltadresse" auf 8000 oder C000 einstellen

Speicheraufteilung: (Beispiele)



Speicheraufteilung: (Beispiele)



1a/c
32a/c
13c

5V
0V
RES

IC1-IC8
TYP
5V
0V

IC9
74LS245

IC10
74LS138

IC11
74LS85

IC12
74LS00

IC13
74LS32

IC14
2716-256

IC15
2716-256

IC16
2716-256

IC17
2716-256

IC18
2716-256

IC19
2716-256

IC20
2716-256

IC21
2716-256

IC22
2716-256

IC23
2716-256

IC24
2716-256

IC25
2716-256

IC26
2716-256

IC27
2716-256

IC28
2716-256

IC29
2716-256

IC30
2716-256

IC31
2716-256

IC32
2716-256

IC33
2716-256

IC34
2716-256

IC35
2716-256

IC36
2716-256

IC37
2716-256

IC38
2716-256

IC39
2716-256

IC40
2716-256

IC41
2716-256

IC42
2716-256

IC43
2716-256

IC44
2716-256

IC45
2716-256

IC46
2716-256

IC47
2716-256

IC48
2716-256

IC49
2716-256

IC50
2716-256

IC51
2716-256

IC52
2716-256

IC53
2716-256

IC54
2716-256

IC55
2716-256

IC56
2716-256

IC57
2716-256

IC58
2716-256

IC59
2716-256

IC60
2716-256

IC61
2716-256

IC62
2716-256

IC63
2716-256

IC64
2716-256

IC65
2716-256

IC66
2716-256

IC67
2716-256

IC68
2716-256

IC69
2716-256

IC70
2716-256

IC71
2716-256

IC72
2716-256

IC73
2716-256

IC74
2716-256

IC75
2716-256

IC76
2716-256

IC77
2716-256

IC78
2716-256

IC79
2716-256

IC80
2716-256

IC81
2716-256

IC82
2716-256

IC83
2716-256

IC84
2716-256

IC85
2716-256

IC86
2716-256

IC87
2716-256

IC88
2716-256

IC89
2716-256

IC90
2716-256

IC91
2716-256

IC92
2716-256

IC93
2716-256

IC94
2716-256

IC95
2716-256

IC96
2716-256

IC97
2716-256

IC98
2716-256

IC99
2716-256

IC100
2716-256

IC101
2716-256

IC102
2716-256

IC103
2716-256

IC104
2716-256

IC105
2716-256

IC106
2716-256

IC107
2716-256

IC108
2716-256

IC109
2716-256

IC110
2716-256

IC111
2716-256

IC112
2716-256

IC113
2716-256

IC114
2716-256

IC115
2716-256

IC116
2716-256

IC117
2716-256

IC118
2716-256

IC119
2716-256

IC120
2716-256

IC121
2716-256

IC122
2716-256

IC123
2716-256

IC124
2716-256

IC125
2716-256

IC126
2716-256

IC127
2716-256

IC128
2716-256

IC129
2716-256

IC130
2716-256

IC131
2716-256

IC132
2716-256

IC133
2716-256

IC134
2716-256

IC135
2716-256

IC136
2716-256

IC137
2716-256

IC138
2716-256

IC139
2716-256

IC140
2716-256

IC141
2716-256

IC142
2716-256

IC143
2716-256

IC144
2716-256

IC145
2716-256

IC146
2716-256

IC147
2716-256

IC148
2716-256

IC149
2716-256

IC150
2716-256

IC151
2716-256

IC152
2716-256

IC153
2716-256

IC154
2716-256

IC155
2716-256

IC156
2716-256

IC157
2716-256

IC158
2716-256

IC159
2716-256

IC160
2716-256

IC161
2716-256

IC162
2716-256

IC163
2716-256

IC164
2716-256

IC165
2716-256

IC166
2716-256

IC167
2716-256

IC168
2716-256

IC169
2716-256

IC170
2716-256

IC171
2716-256

IC172
2716-256

IC173
2716-256

IC174
2716-256

IC175
2716-256

IC176
2716-256

IC177
2716-256

IC178
2716-256

IC179
2716-256

IC180
2716-256

IC181
2716-256

IC182
2716-256

IC183
2716-256

IC184
2716-256

IC185
2716-256

IC186
2716-256

IC187
2716-256

IC188
2716-256

IC189
2716-256

IC190
2716-256

IC191
2716-256

IC192
2716-256

IC193
2716-256

IC194
2716-256

IC195
2716-256

IC196
2716-256

IC197
2716-256

IC198
2716-256

IC199
2716-256

IC200
2716-256

IC201
2716-256

IC202
2716-256

IC203
2716-256

IC204
2716-256

IC205
2716-256

IC206
2716-256

IC207
2716-256

IC208
2716-256

IC209
2716-256

IC210
2716-256

IC211
2716-256

IC212
2716-256

IC213
2716-256

IC214
2716-256

IC215
2716-256

IC216
2716-256

IC217
2716-256

IC218
2716-256

IC219
2716-256

IC220
2716-256

IC221
2716-256

IC222
2716-256

IC223
2716-256

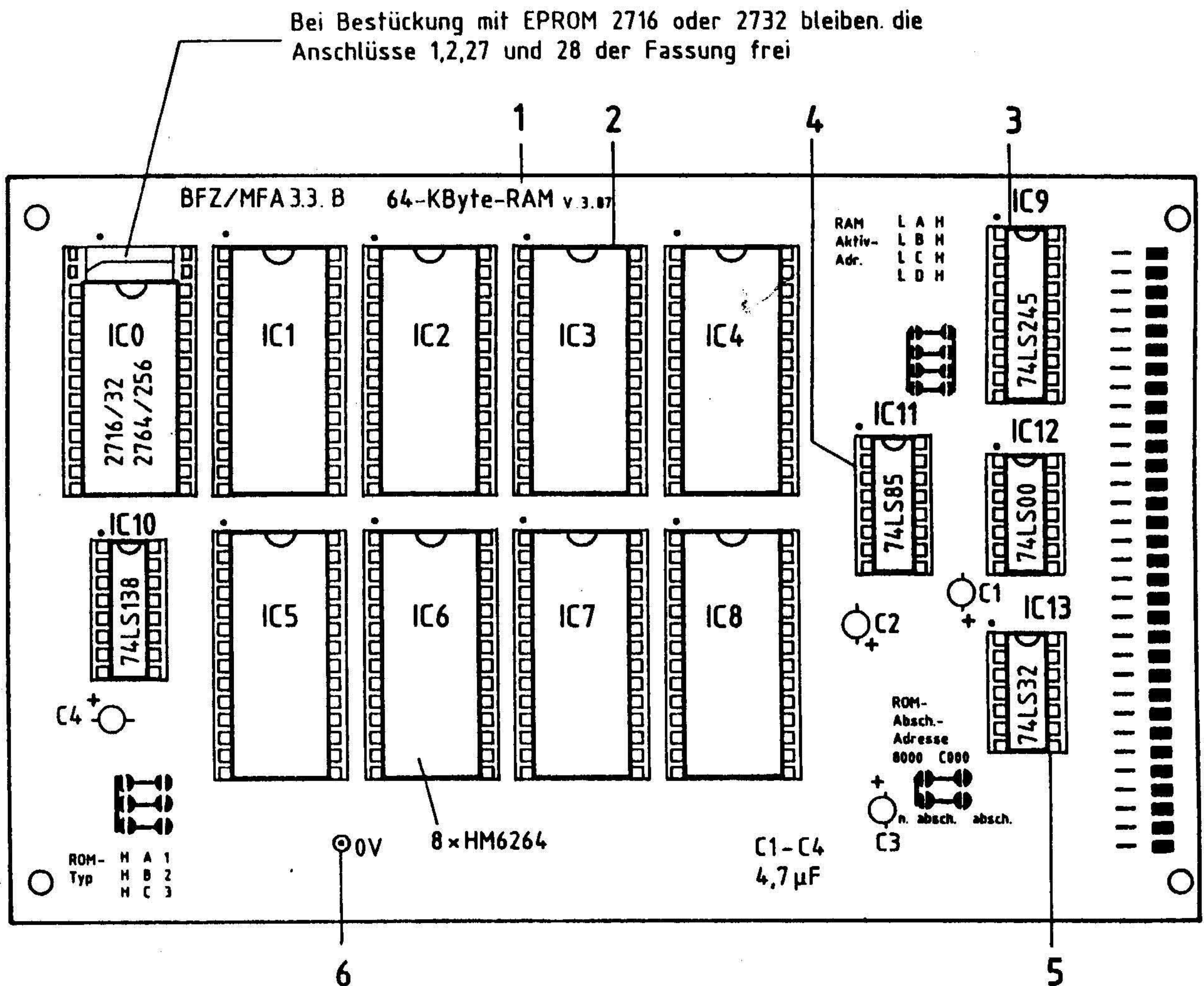
IC224
2716-256

IC225
2716-256

IC226
2716-256

IC2

Bestückung Leiterplatte



Stückliste Leiterplatte BFZ/MFA 3.3.

Pos.	Stckz.	Benennung/Daten	Bemerkung
1	1	Leiterplatte BFZ/MFA 3.3.	
2	9	IC-Fassung 28polig	
3	1	IC-Fassung 20polig	
4	2	IC-Fassung 16polig	
5	2	IC-Fassung 14polig	
6	1	Lötstift/-nagel für 1,3 mm Loch-Ø	Meßstift für Masse (0 V)

Bestückung Leiterplatte

Bauteilliste Leiterplatte BFZ/MFA 3.3.

Kennz.	Benennung/Daten	Bemerkung
C1...C4	Tantal-Elko 4,7 µF/35 V	Tri-State
IC1...IC8	RAM-Baustein 8K x 8 Bit	
IC9	Acht Bus-Transceiver 74 LS 245	
IC10	3-Bit-Binärdekoder 74 LS 138	
IC11	4-Bit-Vergleicher 74 LS 85	
IC12	Vier NAND-Gatter 74 LS 00	
IC13	Vier ODER-Gatter 74 LS 32	

Bereitstellungsliste zur Inbetriebnahme

Zur Inbetriebnahme bzw. Prüfung der Baugruppe "64-KByte-RAM" wird folgendes Material benötigt:

Stckz.	Benennung/Daten	Bemerkung
1	Baugruppenträger mit Busverdrahtung BFZ/MFA 0.1.	Alle Baugruppen komplett aufgebaut und geprüft
1	Bus-Abschluß BFZ/MFA 0.2.	
1	Trafo-Einschub BFZ/MFA 1.1.	
1	Spannungsregelung BFZ/MFA 1.2.	
1	Prozessor 8085 BFZ/MFA 2.1.	
1	8-Bit-Parallel-Ausgabe BFZ/MFA 4.1.	
1	Bus-Signalgeber BFZ/MFA 5.1.	
1	Bus-Signalanzeige BFZ/MFA 5.2.	
1	Prüf-EPROM BFZ/MFA 3.3.P1	
		wird während der Inbetriebnahme programmiert

Zur Programmierung eines Prüf-EPROMs wird zusätzlich folgendes Material benötigt:

Stckz.	Benennung/Daten	Bemerkung
1	8-K-RAM/EPROM BFZ/MFA 3.1., eingerichtet als EPROM-Baugruppe	bestückt mit MAT 85
1	8-K-RAM/EPROM BFZ/MFA 3.1., eingerichtet als RAM-Baugruppe	bestückt mit mind. zwei Stück 2-K-RAM-Bausteinen ab Adresse F800 und E000
1	EPROM-Programmierer BFZ/MFA 4.3.a	
1	ASCII-Tastatur BFZ/MFA 8.1.	
1	Video-Interface BFZ/MFA 8.2.	
1	Datensichtgerät	auf 27 V einstellbar, 1 A
1	Gleichspannungsnetzgerät	
1	EPROM 2K x 8 Bit, max. 350 ns, INTEL-kompatibel, z.B. 2716	unprogrammiert

Inbetriebnahme

1. Sichtkontrolle

Die Sichtkontrolle wird anhand von Stromlauf- und Bestckungsplan sowie Stück- und Bauteilliste durchgeführt.

- Sind alle Lötstellen ordnungsgemäß verlötet?
- Sind die Kondensatoren richtig gepolt?
- Sind alle ICs richtig eingesteckt?
- Sind alle Schrauben festgezogen?

2. Prüfen der Funktion

Folgende Lötbrücken müssen geschlossen sein: Im Brückenfeld...

- "RAM-Aktiv-Adr.": A-L, B-L, C-L, D-L
- "ROM-Absch.-Adr.": 8000
- "ROM n. absch. - absch.": absch.
- "ROM-Typ": A-H, B-H

2.1. Statische Überprüfung der 64-KByte-RAM-Baugruppe

Die statische Überprüfung erfolgt mit Hilfe eines TTL-Testers oder Vielfach-Meßinstrumentes. Zur Erzeugung und Anzeige der erforderlichen Adreß-, Daten- und Steuersignale dienen Bus-Signalgeber und Bus-Signalanzeige.

- Bestückung des Baugruppenträgers:
- Bus-Signalgeber
 - Bus-Signalanzeige
 - 64-KByte-RAM (über Adapterkarte)

Inbetriebnahme

2.1.1. \overline{CS} der RAMs

- Bus-Signalgeber-Schalter "ON/OFF" in Stellung "ON"
- Adreßeinstellung lt. Tabelle und Überprüfung der \overline{CS} -Signale jeweils an Pin 20 von IC1 bis IC8

ADDRESS (eingest.)	Pegel an den \overline{CS} -Anschlüssen (Pin 20) von ...							
	IC1	IC2	IC3	IC4	IC5	IC6	IC7	IC8
0000	L	H	H	H	H	H	H	H
2000	H	L	H	H	H	H	H	H
4000	H	H	L	H	H	H	H	H
6000	H	H	H	L	H	H	H	H
8000	H	H	H	H	L	H	H	H
A000	H	H	H	H	H	L	H	H
C000	H	H	H	H	H	H	L	H
E000	H	H	H	H	H	H	H	L

2.1.2. Datenflußrichtung, \overline{OE} des EPROMs, \overline{WE} der RAMs

- Bei betätigter MEMR-Taste muß an Pin 1 von IC9 und an Pin 22 von IC0 L-Pegel auftreten.
- Bei betätigter MEMW-Taste muß jeweils an Pin 27 von IC1 bis IC8 L-Pegel auftreten.

Inbetriebnahme

2.1.3. EPROM-Abschalt-Logik

- CPU-Baugruppe zusätzlich im Baugruppenträger
- Bus-Signalgeber-Schalter "ON/OFF" in Stellung "ON"
- Einmal Taste "RESET" betätigt
- Messung der Pegel lt. Tabelle (Reihenfolge einhalten!)

ADRESS (eingest.)	Taste MEMR	IC 12.3 Pin 8	IC 13.2 Pin 6	IC 0 Pin 20	IC 1 Pin 22	IC 5 Pin 22	Bemerkung
0000	n.b.	L	L	L	H	H	EPROM aktiv
0000	bet.	L	L	L	H	H	
7FFF	n.b.	L	H	H	H	H	
7FFF	bet.	L	H	H	L	L	EPROM n.abgesch.
8000	n.b.	L	H	H	H	H	
8000	bet.	H	H	H	L	L	EPROM abgesch.
0000	n.b.	H	L	H	H	H	
0000	bet.	H	L	H	L	L	RAM aktiv

n.b. = nicht betätigt

bet. = betätigt

2.2. Dynamische Prüfung der 64-KByte-RAM-Baugruppe

Die dynamische Prüfung erfolgt mit Hilfe eines Programms, das alle 65536 Speicherstellen der 64-KByte-RAM-Baugruppe testet. In den nächsten Arbeitsschritten wird die Erstellung eines 2-KByte-EPROMs beschrieben, welches das RAM-Testprogramm enthält.

Inbetriebnahme

2.2.1. Schritte zur Programmierung eines Prüf-EPROMs

Bestückung des Baugruppenträgers: - CPU 8085

- Video-Interface mit Tastatur und Datensichtgerät
- 8-K-RAM/EPROM, bestückt mit MAT 85
- 8-K-RAM/EPROM, bestückt mit mind. 4-K-RAM ab Adresse E000 und F800
- EPROM-Programmierer (mit 27 V versorgt)

- Eingabe des folgenden RAM-Prüfprogramms mit dem Kommando "MEMORY" ab Adresse E000:

```

E000 31 FF FF F3 21 00 20 36
E008 00 23 7C FE FF C2 07 00
E010 16 3F 06 55 21 00 20 78
E018 77 2F 47 23 7D FE FF C2
E020 17 00 7C BA C2 17 00 21
E028 00 20 06 55 78 BE C2 57
E030 00 2F 47 23 7D FE FF C2
E038 2C 00 7C BA C2 2C 00 7A
E040 C6 20 57 23 AF BE C2 57
E048 00 7D FE FF C2 43 00 7C
E050 BA C2 43 00 C3 5C 00 2B
E058 3E 76 77 E9 21 6F 00 11
E060 00 20 06 76 7E 12 23 13
E068 05 C2 64 00 C3 00 20 16
E070 5F 21 00 40 2B 23 06 55
E078 78 77 2F 47 23 7D FE FF
E080 C2 09 20 7C BA C2 09 20
E088 23 7C D6 20 67 06 55 78
E090 BE C2 5E 20 2F 47 23 7D
E098 FE FF C2 20 20 7C BA C2
EOA0 20 20 FE 1F CA 63 20 7A
EOA8 C6 20 57 FE FF CA 06 20
EOB0 FE 1F CA 06 20 23 AF BE
EOB8 C2 5E 20 7D FE FF C2 46
EOC0 20 7C BA C2 46 20 7C D6
EOC8 20 67 C3 06 20 2B 3E 76
E0D0 77 E9 06 55 D3 00 11 FF
E0D8 4F 1B 7B B2 C2 6A 20 78
E0E0 2F 47 C3 65 20 00 00 00

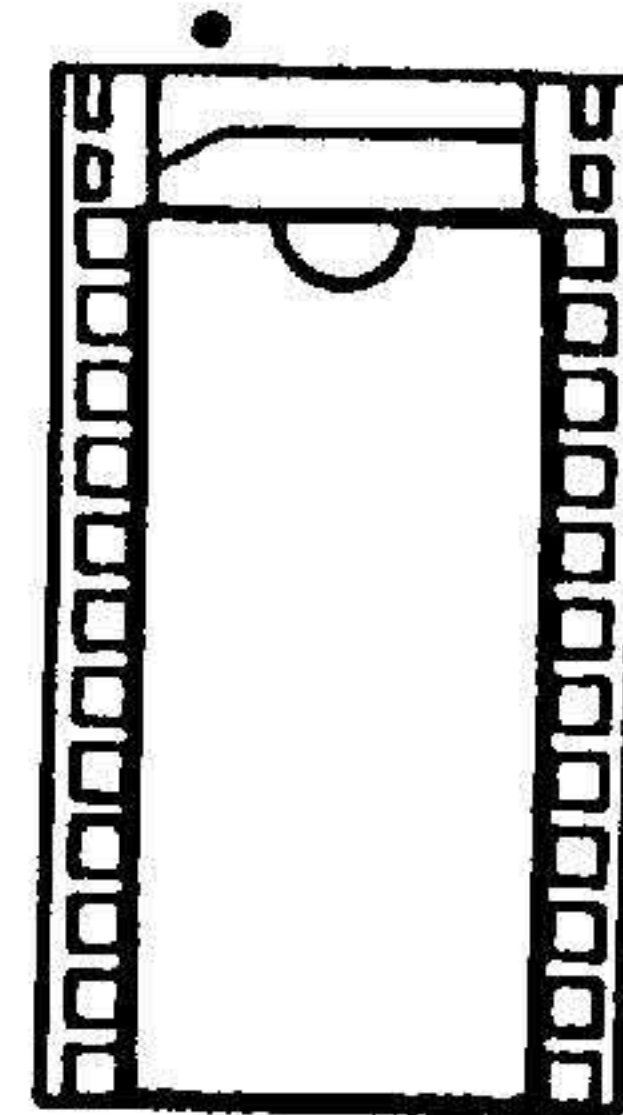
```

- Kontrolle des eingegebenen RAM-Prüfprogramms mit dem Kommando "PRINT"
- Programmierung des EPROMs 2716 (Adresse 1E06 aufrufen, Start-Adr. E000)

Inbetriebnahme

2.2.2. Dynamische Prüfung der 64-KByte-RAM-Baugruppe

- Prüf-EPROM wie dargestellt in den Sockel für IC0 der 64-KByte-RAM-Baugruppe gesteckt



- Bestückung des Baugruppenträgers: CPU 8085
64-KByte-RAM
Bus-Signalanzeige
8-Bit-Parallel-Ausgabe (Port-Adr. 00)
- Schalter "ON/OFF" der Bus-Signalanzeige in Stellung "OFF"
- Schalter "HLT/RUN" der Bus-Signalanzeige in Stellung "RUN"
- Netzteil eingeschaltet

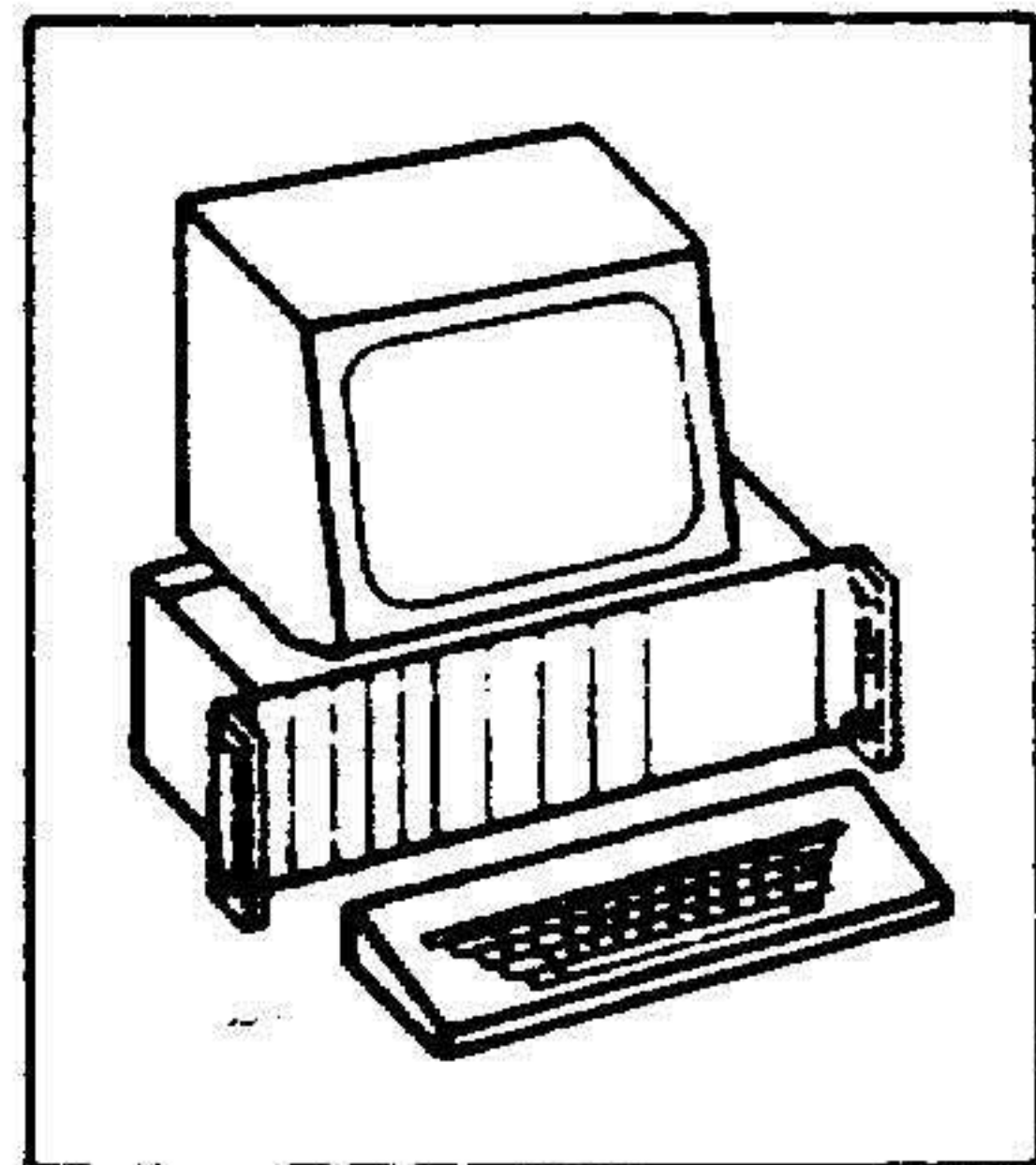
Beginnen nach kurzer Zeit die Leuchtdioden der 8-Bit-Parallel-Ausgabe zu blinken, so ist die 64-KByte-RAM-Baugruppe in Ordnung. Die Betriebsspannung kann dann abgeschaltet, die RAM-Baugruppe gezogen und das Prüf-EPROM entfernt werden.

Ist dies jedoch nicht der Fall, so ist die 64-KByte-RAM-Baugruppe defekt. Erscheint auf der Bus-Signalanzeige eine stabile Anzeige (z.B. ADDRESS: 6000, DATA: FF), gibt die Adresse die letzte regulär arbeitende Speicherstelle (gezählt ab 0000) an.

Nach der Reparatur der Baugruppe ist oben beschriebene Inbetriebnahme zu wiederholen.

Damit ist die Inbetriebnahme beendet.

FACHPRAKTISCHE ÜBUNG MIKROCOMPUTER-TECHNIK



8-Bit-Parallel-Ausgabe

BFZ/MFA 4.1.

Funktionsbeschreibung

BFZ / MFA 4.1. - 1

8-Bit-Parallel-Ausgabe

1. Einführung

Ein Mikrocomputer benötigt neben der Zentraleinheit (CPU) und den verschiedenen Speicherbaugruppen Ein- und Ausgabeeinheiten, über die der Austausch von Daten zwischen dem Prozessor und Geräten außerhalb des Mikrocomputer-Systems stattfindet. Die zu verarbeitenden Daten können dabei entweder seriell oder parallel übertragen werden.

Bei der seriellen Datenübertragung werden die Bit's eines Datenwortes zeitlich nacheinander über eine Informationsleitung übertragen. Zur Übertragung jedes einzelnen Bits wird eine bestimmte Zeit, die Taktzeit T benötigt. Bei 8-Bit-Mikroprozessoren haben die Datenworte eine Länge von 8 Bit, so daß ein Datenwort innerhalb von acht Takten übertragen werden kann.

Bei der parallelen Datenübertragung wird das gesamte Datenwort während eines Taktes über acht Informationsleitungen übertragen. Innerhalb von einer Taktzeit lassen sich daher acht Datenworte transportieren, die parallele Datenübertragung ist also schneller.

Bild 1 zeigt das Prinzip der beiden Übertragungsverfahren.

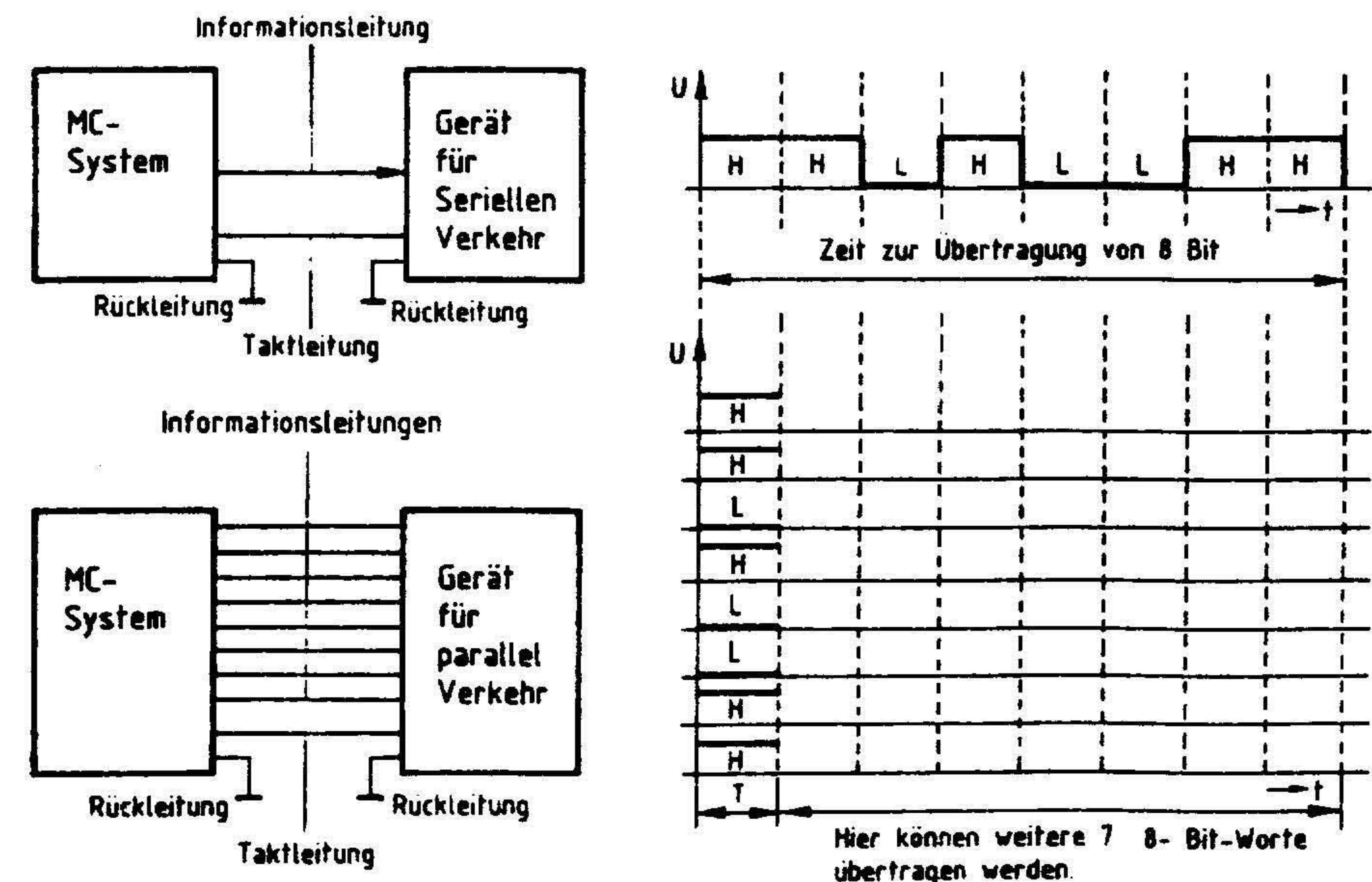


Bild 1: Prinzip der seriellen und parallelen Datenübertragung



Diese Übung ist Bestandteil eines Mediensystems, das im Rahmen eines vom Bundesminister für Bildung und Wissenschaft, vom Bundesminister für Forschung und Technologie sowie der Bundesanstalt für Arbeit geförderten Modellversuches zum Einsatz der "Mikrocomputer-Technik in der Facharbeiterausbildung" vom BFZ-Essen e.V. entwickelt wurde.

8-Bit-Parallel-Ausgabe

2. Blockschaltbild der 8-Bit-Parallel-Ausgabe-Baugruppe

Bild 2 zeigt das Blockschaltbild dieser Baugruppe. Sie besteht aus den Schaltungsteilen "Adreßvergleich", "Ausgabespeicher" und "Ausgabepuffer mit Anzeige".

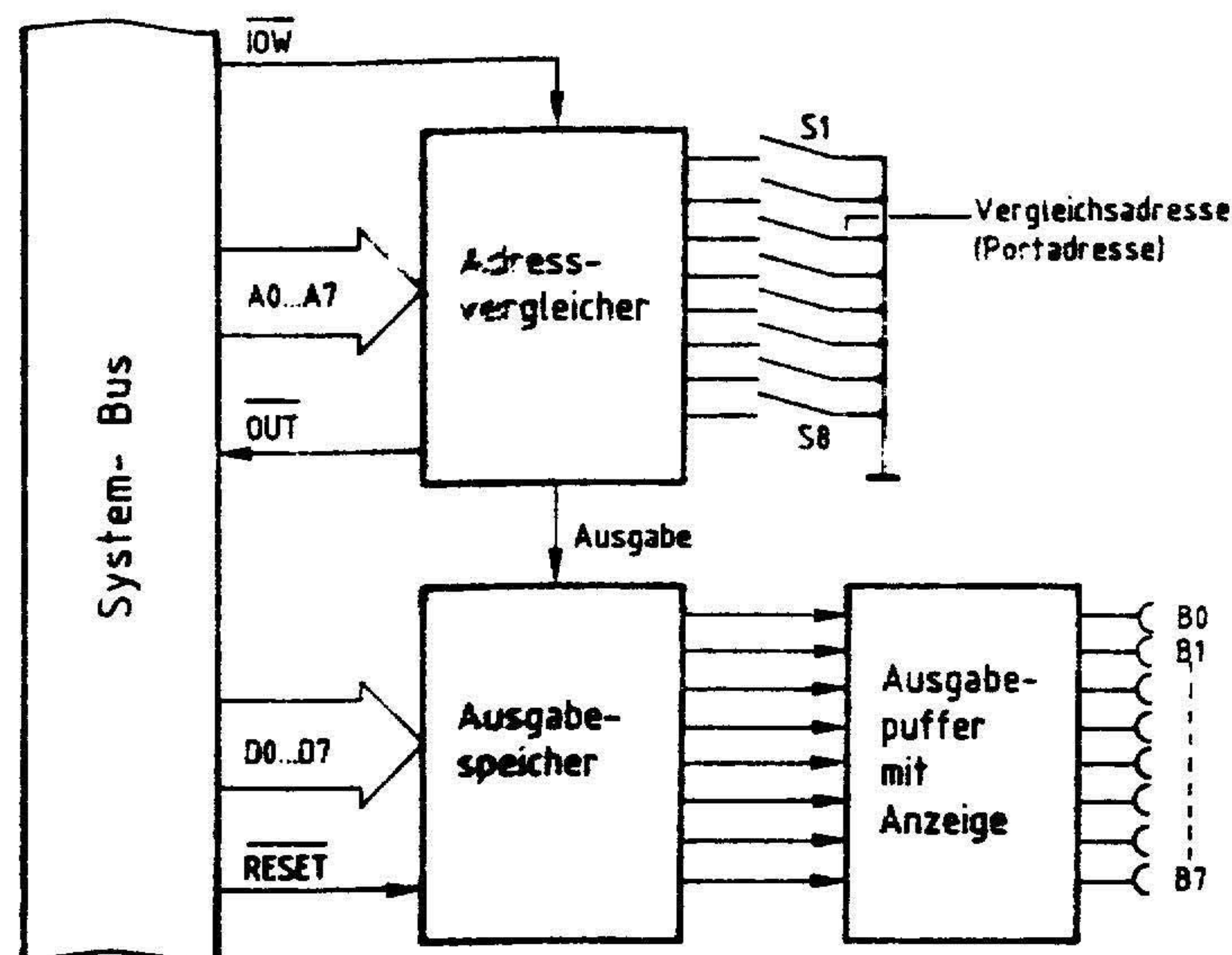


Bild 2: Blockschaltbild der Baugruppe
8- Bit- Parallel- Ausgabe.

Ein Datenwort, das über die Buchsen B0 - B7 ausgegeben werden soll, schaltet der Mikrocomputer auf die Datenleitungen D0 - D7, es steht am Eingang des Ausgabespeichers zur Verfügung.

Wenn das Signal "Ausgabe" erfolgt, übernimmt der Ausgabespeicher dieses Datenwort und sendet es gleichzeitig über den Ausgabepuffer zu den Ausgangsbuchsen.

Das Signal "Ausgabe" liefert der Adreßvergleich, der folgende Aufgabe und Wirkung hat:

In einem Mikrocomputer-System sind häufig mehrere Ausgabebaugruppen vorhanden, über die verschiedene Anlagenteile und Geräte mit Daten versorgt werden müssen. Damit jeder Anlagenteil nur die Daten erhält, die er zu seinem Betrieb braucht,

8-Bit-Parallel-Ausgabe

werden die Ausgabespeicher der Reihe nach mit den entsprechenden Daten geladen. Erst wenn der Datenverkehr mit einer Ausgabebaugruppe beendet ist, wird die folgende bedient.

Zur Steuerung des Datentransports verwendet der Mikroprozessor das Signal \overline{IOW} (IN/OUT-Write = Eingabe/Ausgabe-schreiben) und die acht Adreßleitungen A0 bis A7. Der Adreßvergleich steuert mit Hilfe dieser Signale den Ausgabespeicher. Das Signal "Ausgabe" kommt nur dann zustande, wenn:

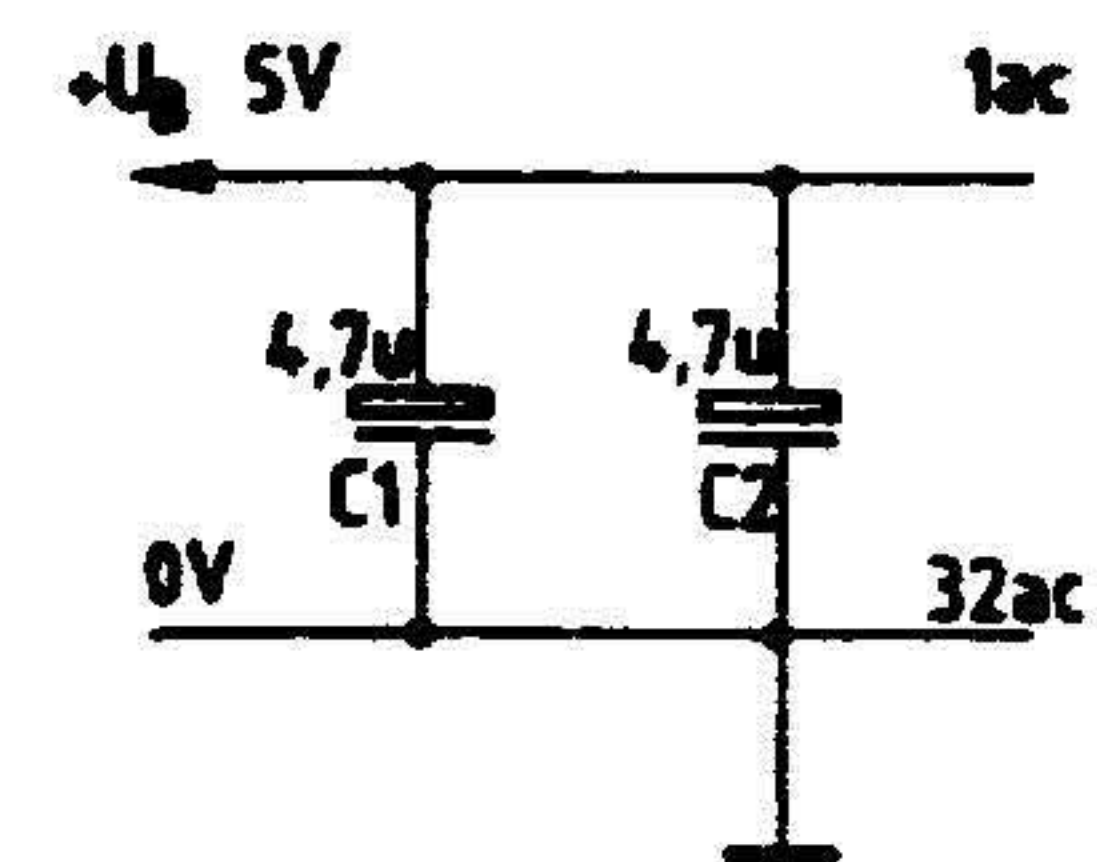
- das Steuersignal \overline{IOW} L-Pegel führt, der Prozessor also Daten ausgeben will und
- die Bitkombination der Adreßleitungen A0 bis A7 mit der durch die Schalter S1 bis S8 eingestellten Bitkombination übereinstimmt, wenn also die Baugruppe adressiert ist.

Mit den acht Schaltern lassen sich $2^8 = 256$ verschiedene Bitkombinationen oder Adressen einstellen. Diese Adressen nennt man auch "Port-Adressen" (port = Tor). Beim Einsatz mehrerer Ausgabebaugruppen müssen die Portadressen alle verschieden sein.

Mit dem Pegel auf der Leitung \overline{OUT} kann in einem Mikrocomputer-Demonstrationsmodell angezeigt werden, daß eine Ausgabebaugruppe angesprochen ist.

Bild 3 zeigt den Stromlaufplan der Baugruppe.

Sie sollten ihn zu allen folgenden Erläuterungen und zur Inbetriebnahme der Baugruppe mitbenutzen.



	IC3,4	IC5	IC1,6	IC2,7
	74LS05	74LS273	74LS04	7406
+U _B	16	20	14	14
0V	8	10	7	7

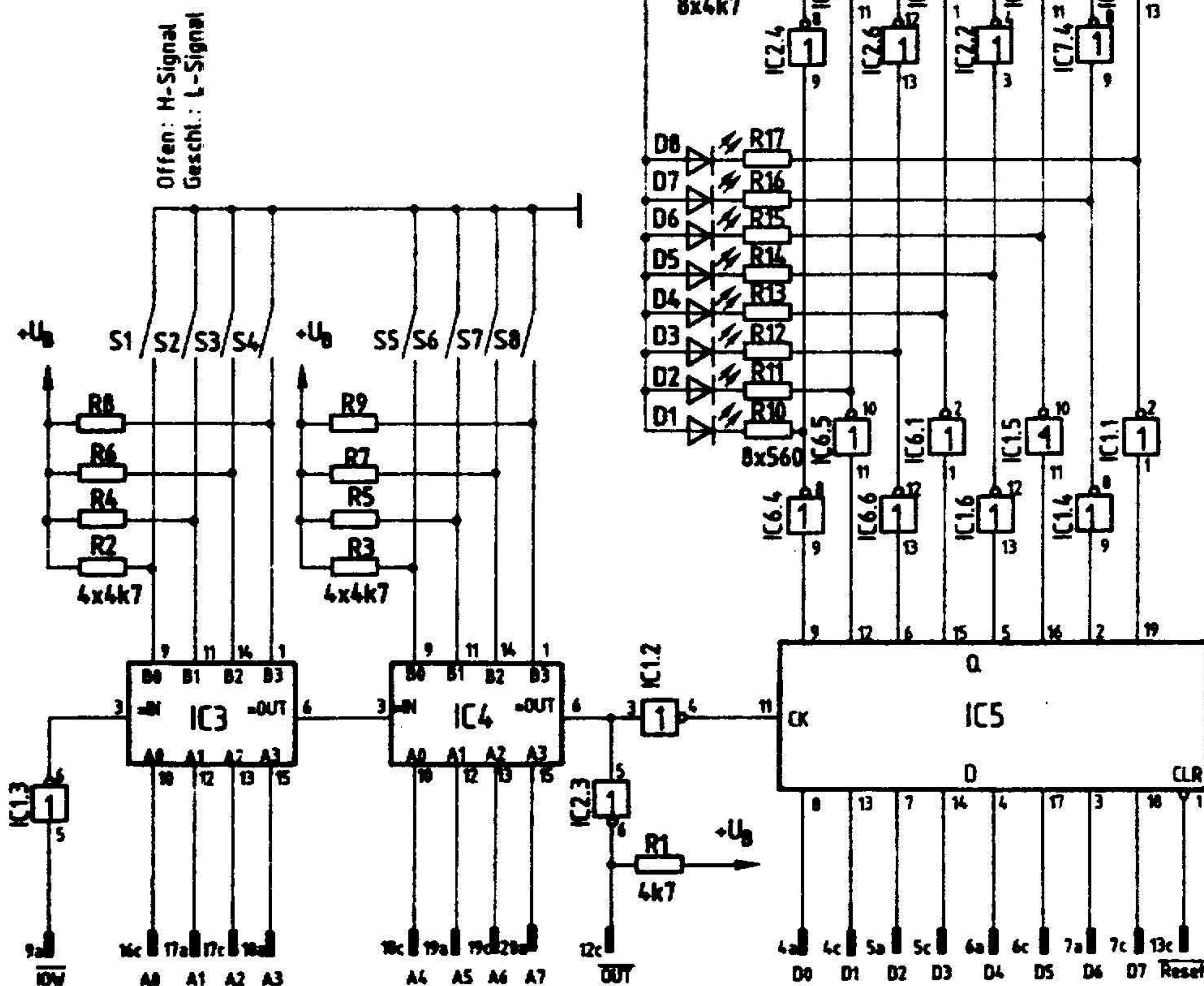


Bild 3: Stromlaufplan "8-Bit-Parallel-Ausgabe"

2.1. Der Adreßvergleich

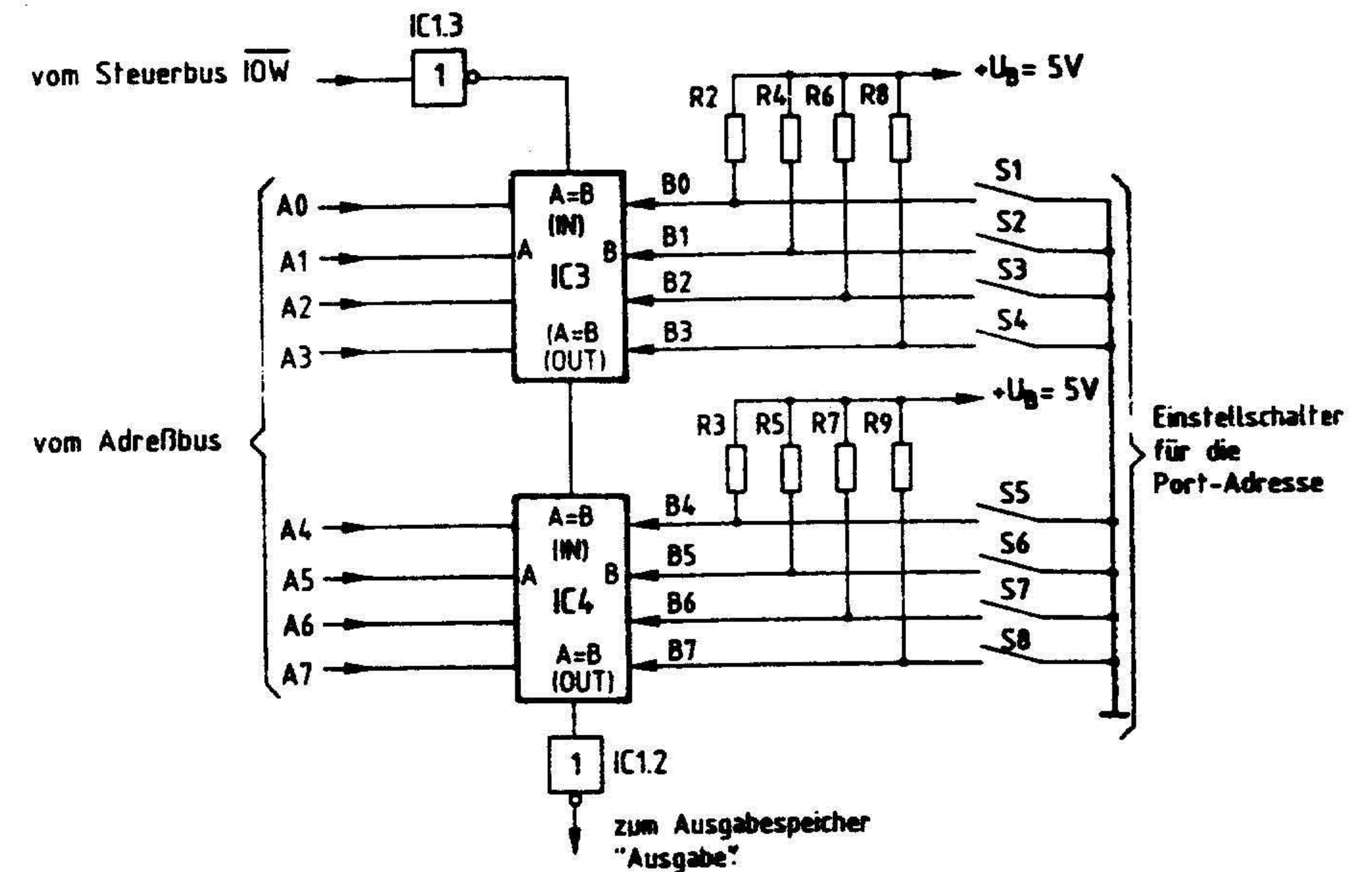


Bild 4: Stromlaufplan Adreßvergleich

Der jeweilige Ausgang der beiden hintereinandergeschalteten 4-Bit-Vergleicher (A = B OUT) führt nur dann H-Pegel, wenn die folgenden beiden Bedingungen erfüllt sind:

- Der Eingang "A = B IN" muß H-Pegel führen
- die logischen Signale der Eingänge A und B müssen paarweise gleich sein, also A0 = B0, A1 = B1 usw..

Zum Schreiben von Daten in eine Ausgabebaugruppe steuert der Mikroprozessor das Signal \overline{IOW} auf L-Pegel und schaltet außerdem die Adresse der gewünschten Ausgabebaugruppe auf die Adreßleitungen A0 bis A7.

Das L-Signal von \overline{IOW} wird vom Inverter IC1.3 invertiert, so daß der Eingang "A = B IN" von IC3 H-Pegel erhält. Wenn nun die Pegel der vier Adressenpaare A0, B0 bis A3, B3 übereinstimmen, sind beide o.g. Bedingungen erfüllt, und IC3 gibt an seinem Ausgang "A = B OUT" ein H-Signal ab. Hiermit wird der zweite 4-Bit-Vergleicher IC4 an seinem Eingang "A = B IN" angesteuert. Sind nun auch

8-Bit-Parallel-Ausgabe

die Pegel der vier Adressenpaare A4, B4 bis A7, B7 gleich, erscheint am Ausgang "A = B OUT" von IC4 ebenfalls ein H-Signal. Es wird von IC1.2 invertiert und löst mit seinem L-Pegel die Übernahme eines Datenwortes in den Ausgabespeicher aus.

Die Widerstände R2 bis R9 (Bild 4) erzeugen bei offenen Schaltern S1 bis S8 an den Eingängen B0 bis B7 H-Pegel. Je nach Schalterstellung kann mit den Schaltern eine Port-Adresse zwischen 00000000 (Binär) und 11111111 (Binär) eingestellt werden, die dann mit der Adresse auf den Leitungen A0 bis A7 verglichen wird. Es können also damit $2^8 = 256$ verschiedene Ausgabebaugruppen eingesetzt werden.

In hexadezimaler Schreibweise liegen die Port-Adressen zwischen 00 und FF.

2.2. Der Ausgabespeicher

Bild 5 zeigt einen Ausschnitt aus der Innenschaltung des Ausgabespeichers und die zugehörige Funktionstabelle.

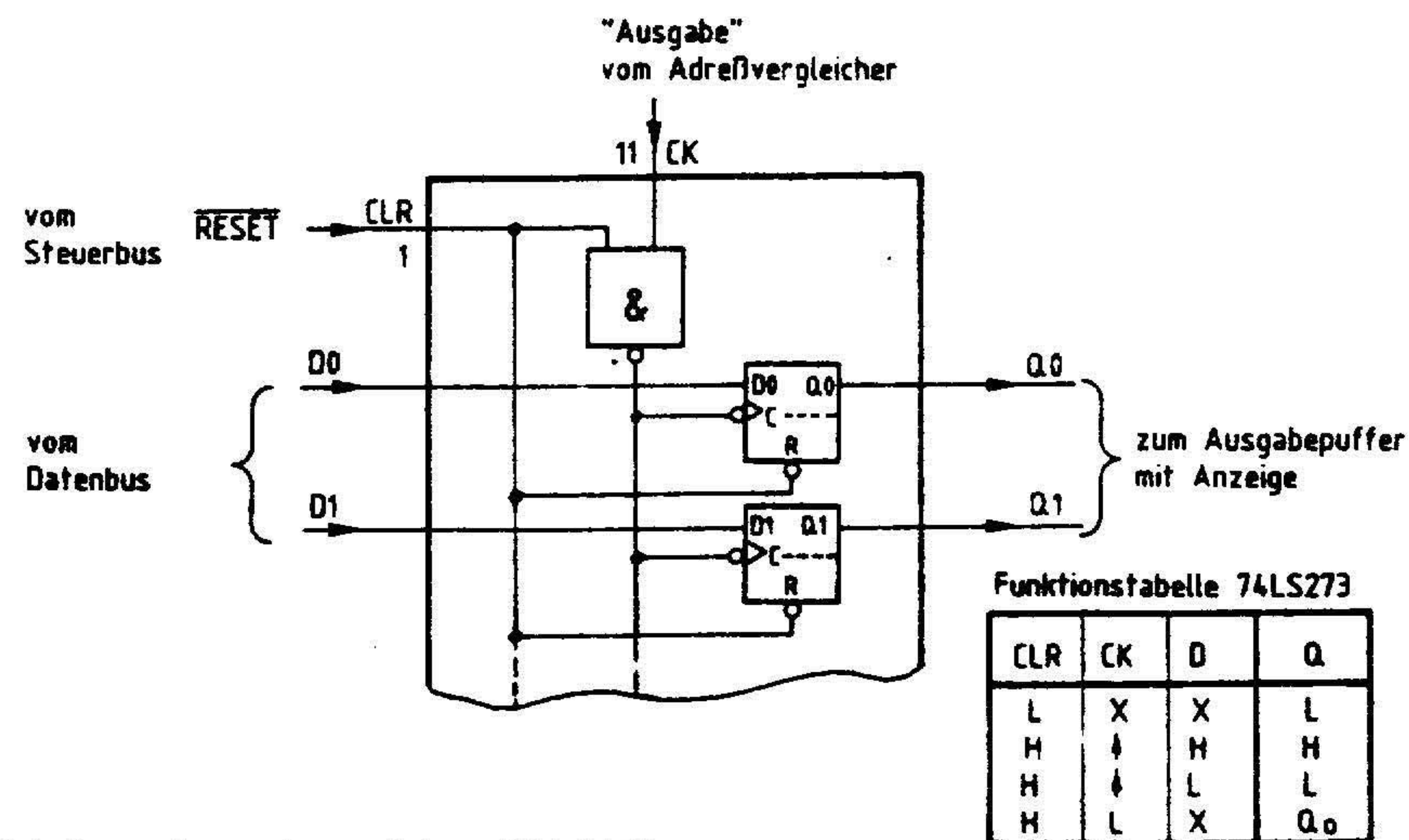


Bild 5: Ausgabespeicher 74LS273

8-Bit-Parallel-Ausgabe

Der Speicherbaustein 74LS273 enthält acht D-Flipflops. Die Vorbereitungseingänge dieser D-Flipflops D0 bis D7 sind direkt mit den entsprechenden Datenbusleitungen verbunden. Signale, die an diesen Eingängen anliegen, werden von den Flipflops nur dann übernommen und zu den Q-Ausgängen geleitet, wenn:

- der Löscheingang CLR (clear = löschen) auf H-Pegel liegt und
- das Signal am Takteingang CK (clock = Takt) von L- auf H-Pegel springt.

Der L-H-Sprung an CK kommt zustande, wenn der Adreßvergleich das Signal "Ausgabe" abgibt, d.h., wenn die Baugruppe adressiert ist und \overline{IOW} L-Pegel führt.

Der Löscheingang CLR liegt während des Normalbetriebs des Mikrocomputer-Systems auf H-Pegel. Hier erscheint nur dann ein L-Impuls, wenn das MC-System eingeschaltet wird oder wenn der Benutzer des Systems durch Betätigen der "RESET-Taste" (reset = zurücksetzen) auf der CPU-Baugruppe den Mikroprozessor veranlaßt, sein Programm neu zu starten. Ohne Rücksicht auf die Pegel an den Eingängen D und CK werden dadurch die Q-Ausgänge aller D-Flipflops auf L-Pegel gebracht. Hierdurch wird verhindert, daß Geräte und Anlagenteile z.B. beim Einschalten des MC-Systems undefinierte Betriebszustände annehmen.

2.3. Der Ausgabepuffer mit Anzeige

Bild 6 zeigt diesen Schaltungsteil für eine Datenleitung. Insgesamt ist diese Schaltung achtmal auf der Baugruppe vorhanden.

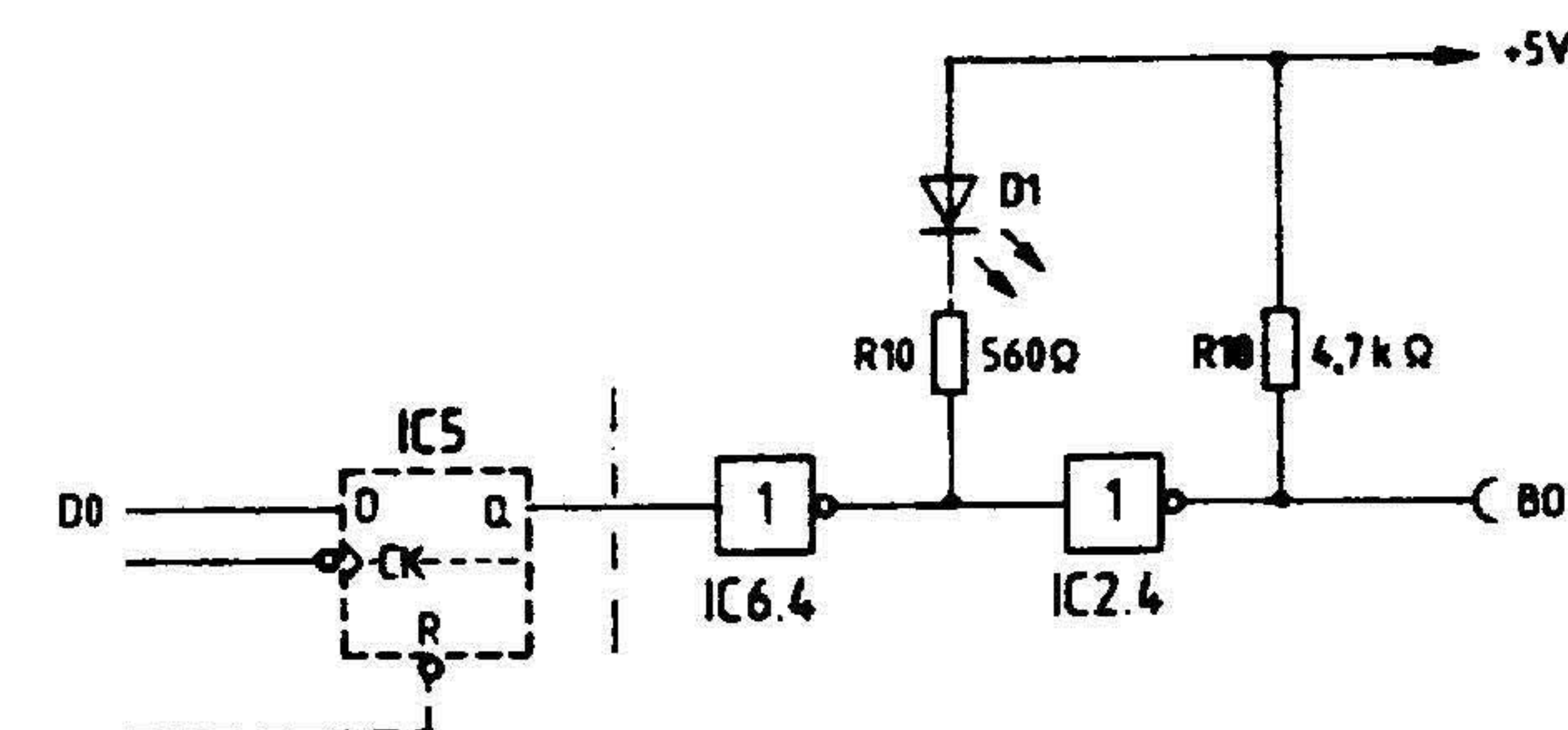


Bild 6: Ausgabepuffer mit Anzeige

Ein H-Pegel am Ausgang des D-Flipflops (Bild 6) bewirkt einen L-Pegel am Ausgang des Anzeigetreibers IC6.4 und H-Pegel am Ausgang des Inverters IC2.4 und damit an der Ausgangsbuchse B0.

Die LED D1 leuchtet und zeigt diesen H-Pegel an der Ausgangsbuchse an.

Der Inverter IC2.4 ist ein Treiber mit offenem Kollektor und folgenden Grenzwerten:

$$U_{CE} = 30 \text{ V}, \quad I_C = 40 \text{ mA}$$

Der Widerstand R18 dient hier als interner Lastwiderstand für den Treiber.

Beim Anschluß externer Lastwiderstände an die Ausgangsbuchsen muß darauf geachtet werden, daß ihre Widerstandswerte einen Mindestohmwert nicht unterschreiten.

2.3.1. Anschluß ohm'scher Lastwiderstände, Versorgung mit 5 V (siehe Bild 7)

Der kleinste Widerstandswert errechnet sich zu:

$$R_{Lmin} = \frac{5V}{39mA} = 128\Omega$$

2.3.2. Anschluß ohm'scher Lastwiderstände, Versorgung mit $U > 5 \text{ V}$ (siehe Bild 7)

Bei Versorgungsspannungen $U_{Vers.}$, die größer als 5 V sind, müssen die entsprechenden 4K7-Kollektorwiderstände auf der Baugruppe einseitig ausgelötet werden.

Der kleinste Lastwiderstand errechnet sich dann aus:

$$R_{Lmin} = \frac{U_{Vers.}}{40mA}$$

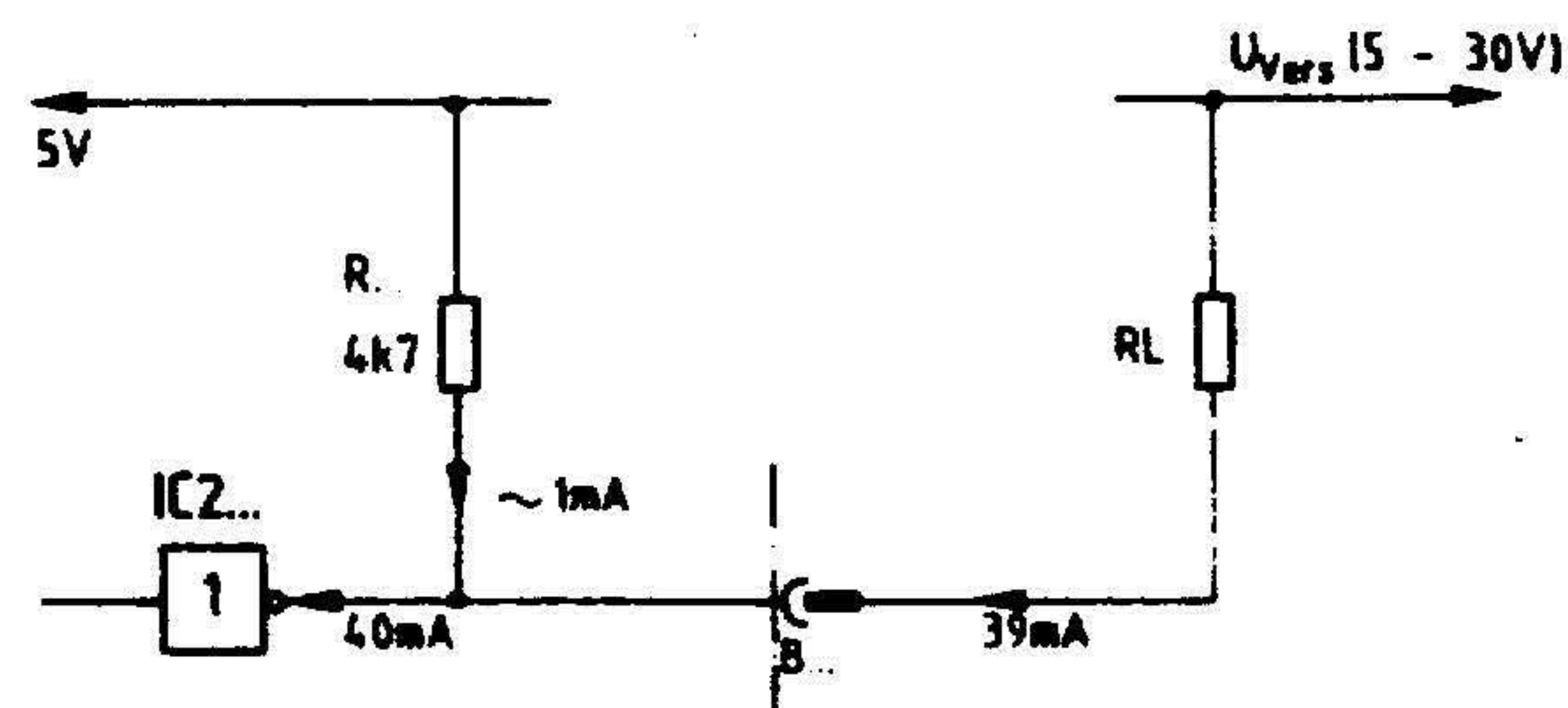


Bild 7: Anschluß von RL, Versorgung mit 5V.

2.3.3. Anschluß induktiver Lasten

Beim Anschluß von Relais und Spulen ist parallel zur Induktivität eine Freilaufdiode zu schalten (siehe Bild 8)

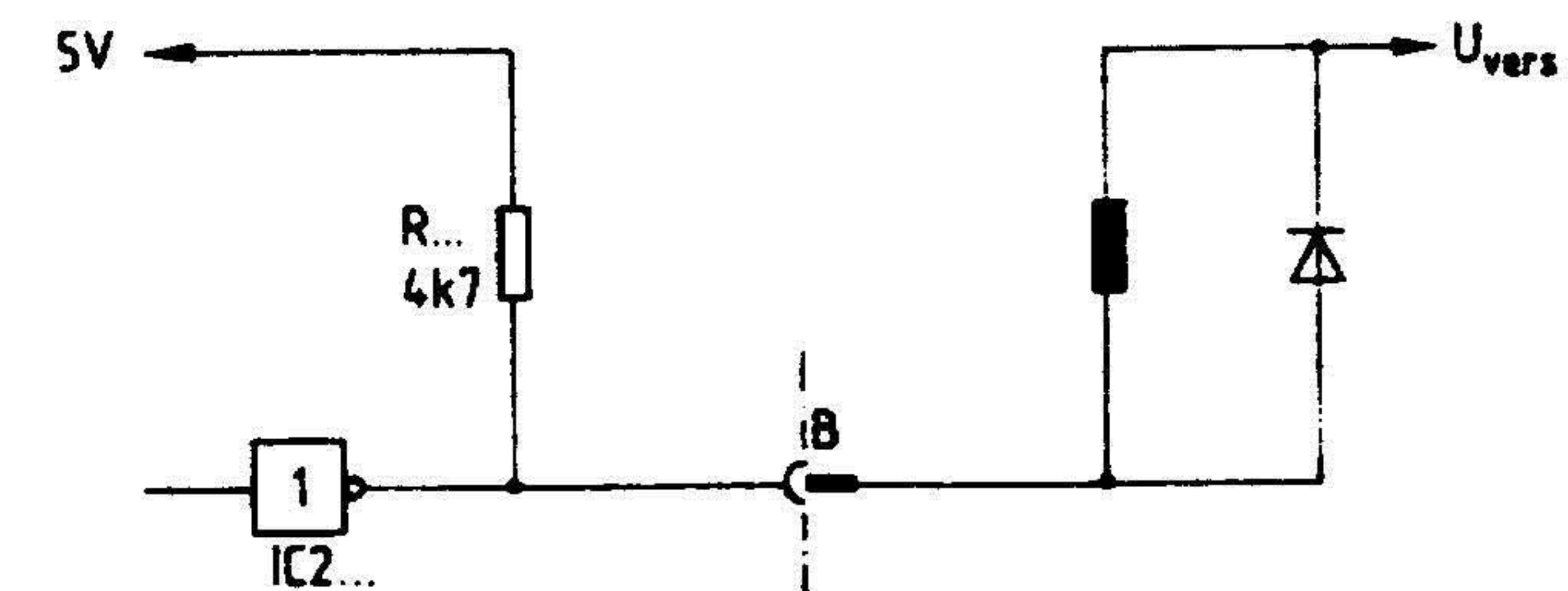
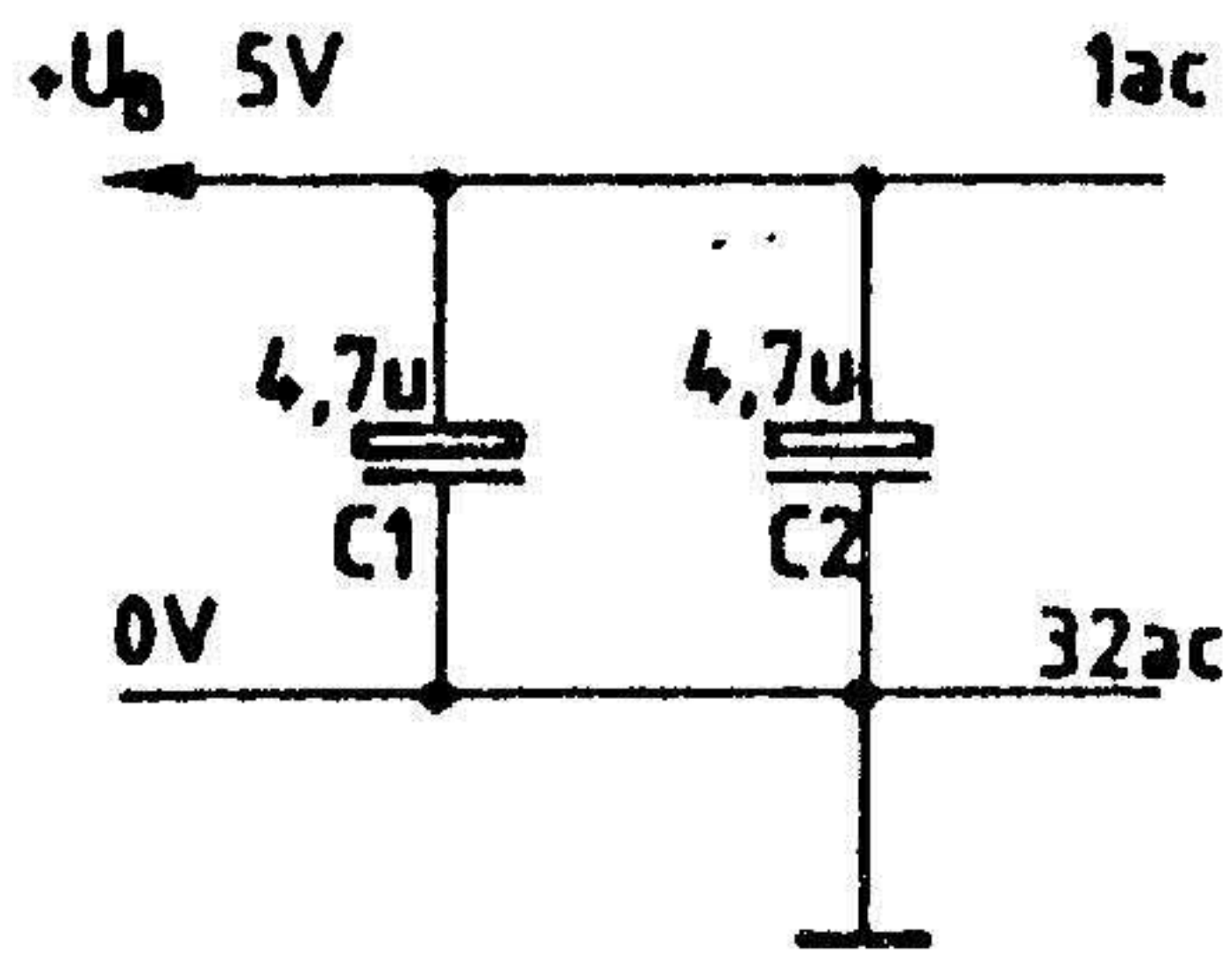
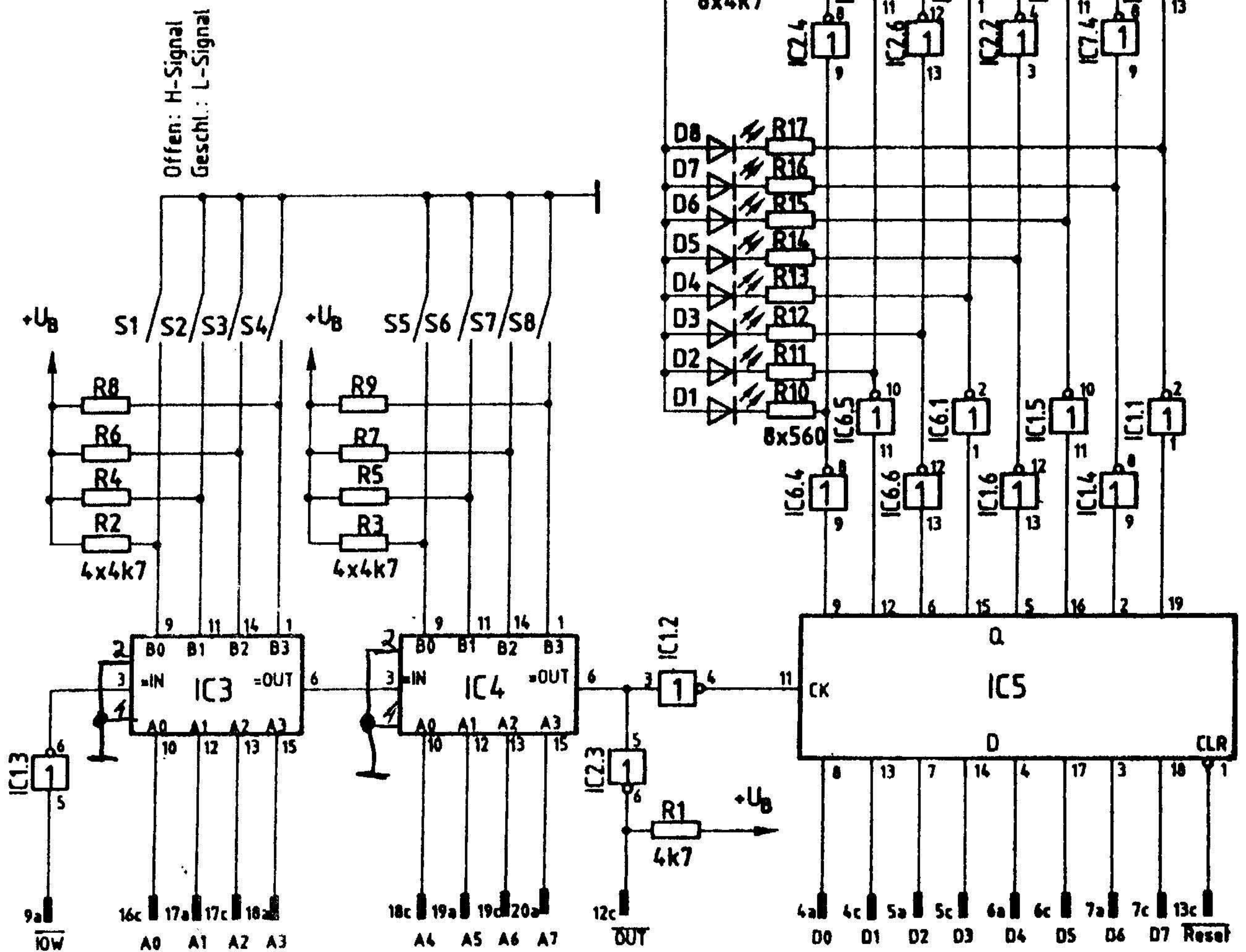


Bild 8: Anschluß induktiver Verbraucher

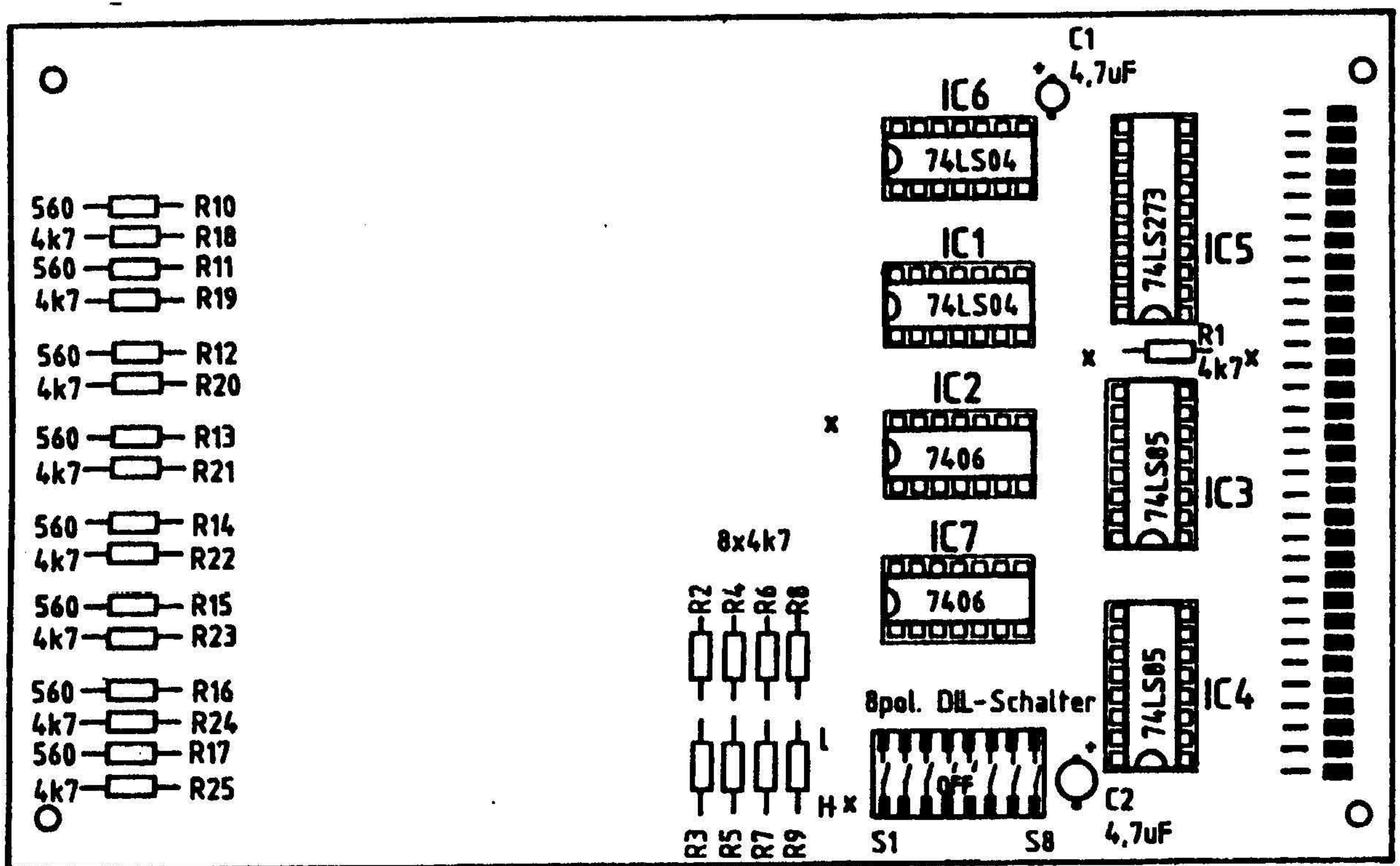


	IC3,4	IC5	IC1,6	IC2,7
	74LS05	74LS273	74LS04	7406
+Ub	16	20	14	14
0V	8	10	7	7



8-Bit-Parallel-Ausgabe

Stromlaufplan 8-Bit-Parallel-Ausgabe



Arbeitsmittel

8-Bit-Parallel-Ausgabe

Bestückungsplan Leiterplatte

11

Inbetriebnahme der Ausgabe-Baugruppe

benötigte Baugruppen: 1. Ausgabe-Baugruppe
2. BUS-Signalgeber

Hilfsmittel : Adapterkarte und TTL-Tester

1. Stellen Sie die Baugruppen-Nummer (Portadresse) CC Hex ein.
2. Übergeben Sie an die Ausgabe-Baugruppe mit Hilfe des BUS-Signalgebers a) die Daten 55 Hex bzw. b) die Daten AA Hex.
3. Überlegen Sie jeweils, welche Pegel nun an den in der Tabelle eingetragenen IC-Stiften vorhanden sein müssen, wenn die aufgeführten Bedingungen vorliegen. Füllen Sie die Tabelle aus und überprüfen Sie Ihre Überlegungen durch entsprechende Experimente.

	Pegel an: (IC... Pin...)							
	IC 6.4 Pin 8	IC 6.5 Pin 10	IC 6.6 Pin 12	IC 6.1 Pin 2	IC 1.6 Pin 4	IC 4.5 Pin 10	IC 4.4 Pin 8	IC 4.1 Pin 12
Nach Übernahme von DATA=55								
Nach Übernahme von DATA=AA								

4. Verstellen Sie das Datenwort auf dem BUS-Signalgeber, während Sie mit der Taste LOW das Steuersignal \overline{LOW} erzeugen. Welchen Einfluß hat die Änderung des Datenwortes auf die Ausgangspegel? Geben Sie hierfür den Grund an.
Antwort:

Prüfen des "Adreßvergleichers"

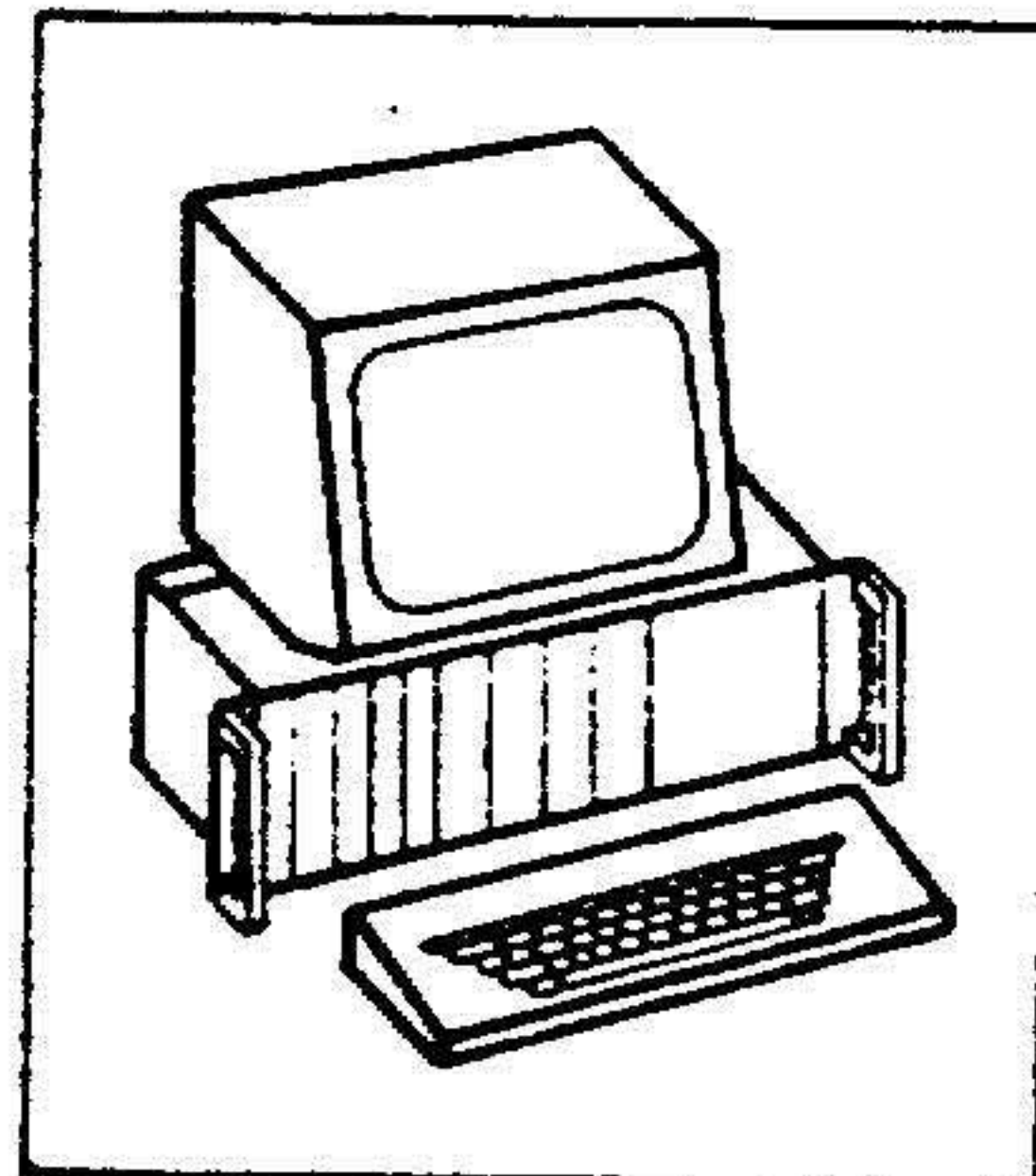
Stellen Sie den DIL-Schalter auf der Baugrunne so ein, daß an den B-Eingängen des Vergleichers die in der Tabelle angegebenen Pegel vorhanden sind. Überlegen Sie sich, welcher Adresse auf den Adreßleitungen A0 ... A7 diese Pegel entsprechen müssen, damit Adressengleichheit besteht.

Welche Pegel müssen an den Ausgängen der beiden 4-Bit-Verleicher (IC 3 und IC 4) und am Steuereingang des Ausgabespeichers (IC 5) anliegen, wenn IOW nicht aktiv bzw aktiv ist?

Tragen Sie die Pegelwerte in die Tabelle ein und überprüfen Sie Ihre Überlegungen durch entsprechende Messungen.

Schalter		S8	S7	S6	S5	S4	S3	S2	S1
Soll- Pegel		H	L	H	L	H	L	H	L
Adresse (Hex)									
$\overline{\text{IOW}}$ H	Pegel IC3.6								
	Pegel IC4.6								
	Pegel IC5.11								
$\overline{\text{IOW}}$ L	Pegel IC3.6								
	Pegel IC4.6								
	Pegel IC5.11								

FACHPRAKTISCHE ÜBUNG MIKROCOMPUTER-TECHNIK



8-Bit-Parallel-Eingabe

BFZ/MFA 4.2..

Funktionsbeschreibung

BFZ / MFA 4.2. - 1

8-Bit-Parallel-Eingabe

1. Einführung

Jeder vollständig aufgebaute Mikrocomputer besitzt neben der Zentraleinheit (CPU) und den verschiedenen Speicherbaugruppen Ein- und Ausgabeeinheiten, über die der Datenfluß zum Prozessor hin und vom Prozessor weg stattfindet. Ein- und Ausgabeeinheiten werden in der Mikrocomputertechnik häufig mit dem englischen Begriff "Port" (Hafen, Öffnung) bezeichnet, sie sind "Nahtstellen" zwischen Geräten und Anlageteilen außerhalb des Mikrocomputers und dem Mikrocomputer-System selbst.

2. Blockschaltbild der 8-Bit-Parallel-Eingabe-Baugruppe

Bild 1 zeigt das Blockschaltbild dieser Baugruppe. Sie besteht aus den Schaltungsteilen "Dateneingabe mit Anzeigeeinheit", "Eingabespeicher" und "Adreßvergleichler".

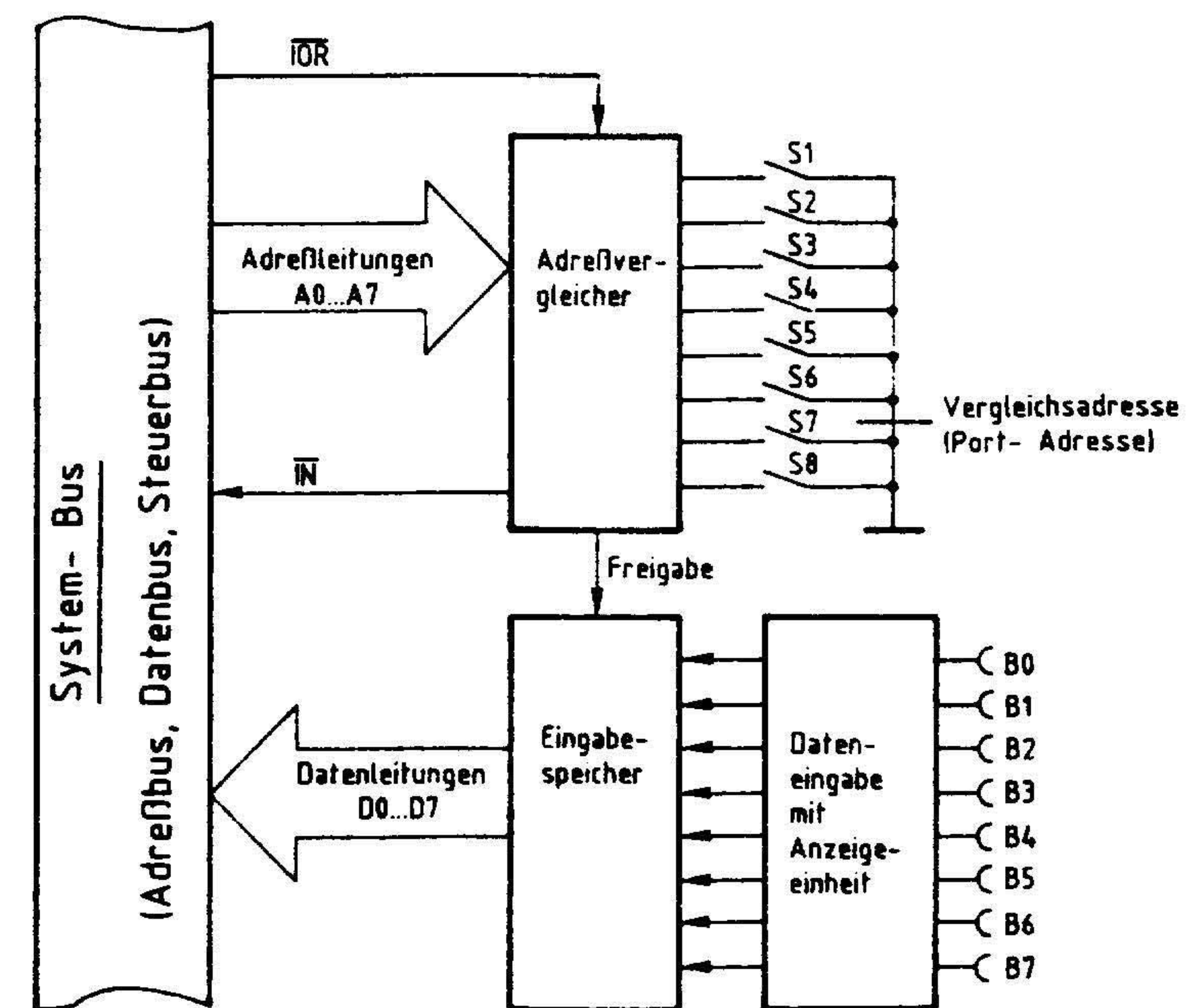


Bild 1: Blockschaltbild der Baugruppe "8-Bit-Parallel-Eingabe"



Diese Übung ist Bestandteil eines Mediensystems, das im Rahmen eines vom Bundesminister für Bildung und Wissenschaft, vom Bundesminister für Forschung und Technologie sowie der Bundesanstalt für Arbeit geförderten Modellversuches zum Einsatz der "Mikrocomputer-Technik in der Facharbeiterausbildung" vom BFZ-Essen e.V. entwickelt wurde

8-Bit-Parallel-Eingabe

Über die Steckbuchsen B0...B7 kann eine Datenquelle an die Eingabebaugruppe angeschlossen werden. Die eingegebene Daten-Bitkombination -das Datenwort- wird im Funktionsblock "Dateneingabe mit Anzeigeeinheit" durch Leuchtdioden angezeigt und an den Eingabespeicher abgegeben. Wenn das Signal "Freigabe" erfolgt, schaltet der Eingabespeicher die acht Datenbits über die Leitungen D0...D7 auf den System-Bus. Das Freigabesignal stammt aus dem Block "Adreßvergleich", der folgende Aufgabe und Wirkungsweise hat:

In einem Mikrocomputer sind häufig mehrere Eingabebaugruppen vorhanden, die alle Daten auf den Datenbus geben sollen. Um Kurzschlüsse auf den Datenleitungen zu vermeiden, darf jeweils nur immer eine Datenquelle mit dem System-Bus verbunden sein. Erst wenn deren Daten verarbeitet sind, wird die nächste Baugruppe zur Abgabe ihrer Daten veranlaßt. Zur Steuerung des Datenempfangs verwendet der Mikroprozessor das Signal $\overline{\text{IOR}}$ (In/Out-Read, Eingabe/Ausgabe Lesen) und die acht Adreßleitungen A0...A7. Aufgabe des Adreßvergleichers ist es nun, mit Hilfe dieser Signale den Eingabespeicher zu steuern. Eine Freigabe des Eingabespeichers erfolgt nur dann, wenn:

- das Signal $\overline{\text{IOR}}$ L-Pegel führt und
- die Bitkombination der Adreßleitungen A0 bis A7 mit der durch die Schalter S1 bis S8 eingestellten Bitkombination übereinstimmt; man sagt auch, wenn die Baugruppe adressiert ist.

Mit den acht Schaltern lassen sich $2^8 = 256$ verschiedene Bitkombinationen oder Adressen einstellen. Diese Adressen nennt man auch "Port-Adressen". Beim Einsatz mehrerer Eingabebaugruppen ist beim Einstellen der Port-Adressen (mit S1...S8) darauf zu achten, daß jeder Baugruppe eine andere Adresse zugeordnet wird. Mit dem Pegel auf der Leitung $\overline{\text{IN}}$ kann man in einem Mikrocomputer-Demonstrationsmodell eine Anzeige ansteuern, die kennzeichnet, daß eine Eingabebaugruppe angesprochen ist.

Bild 2 zeigt den Stromlaufplan der Baugruppe "8-Bit-Parallel-Eingabe", der zu allen folgenden Erläuterungen mit herangezogen werden sollte.

2-Bit-Parallel-Eingabe

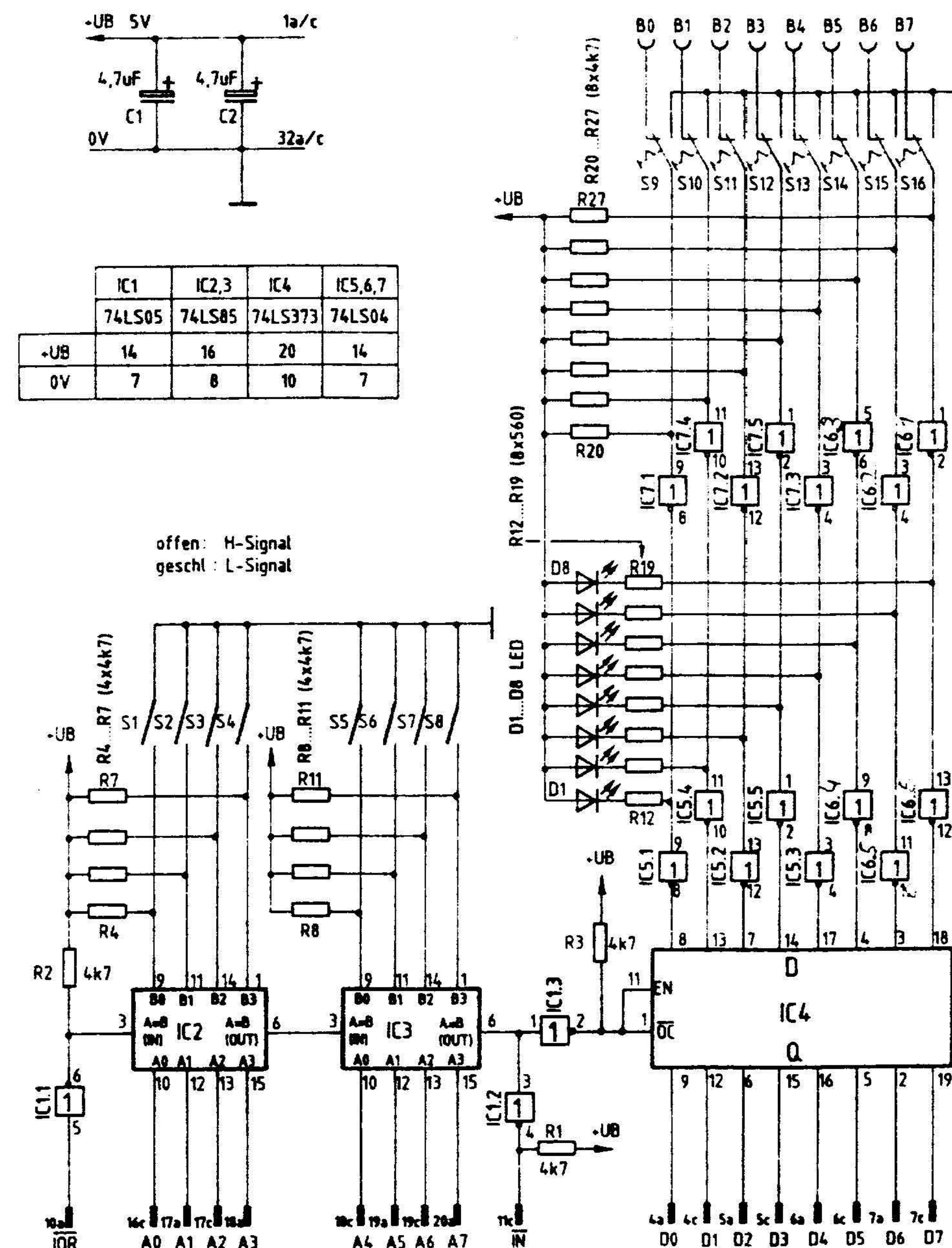


Bild 2: Stromlaufplan "8 Bit-Parallel-Eingabe"

2.1. Dateneingabe mit Anzeigeeinheit

Bild 3 zeigt den Stromlaufplan der "Dateneingabe mit Anzeigeeinheit", allerdings nur für ein Bit. Diese Schaltung ist insgesamt 8mal vorhanden, dargestellt ist sie lediglich für das niederwertigste Bit B0.

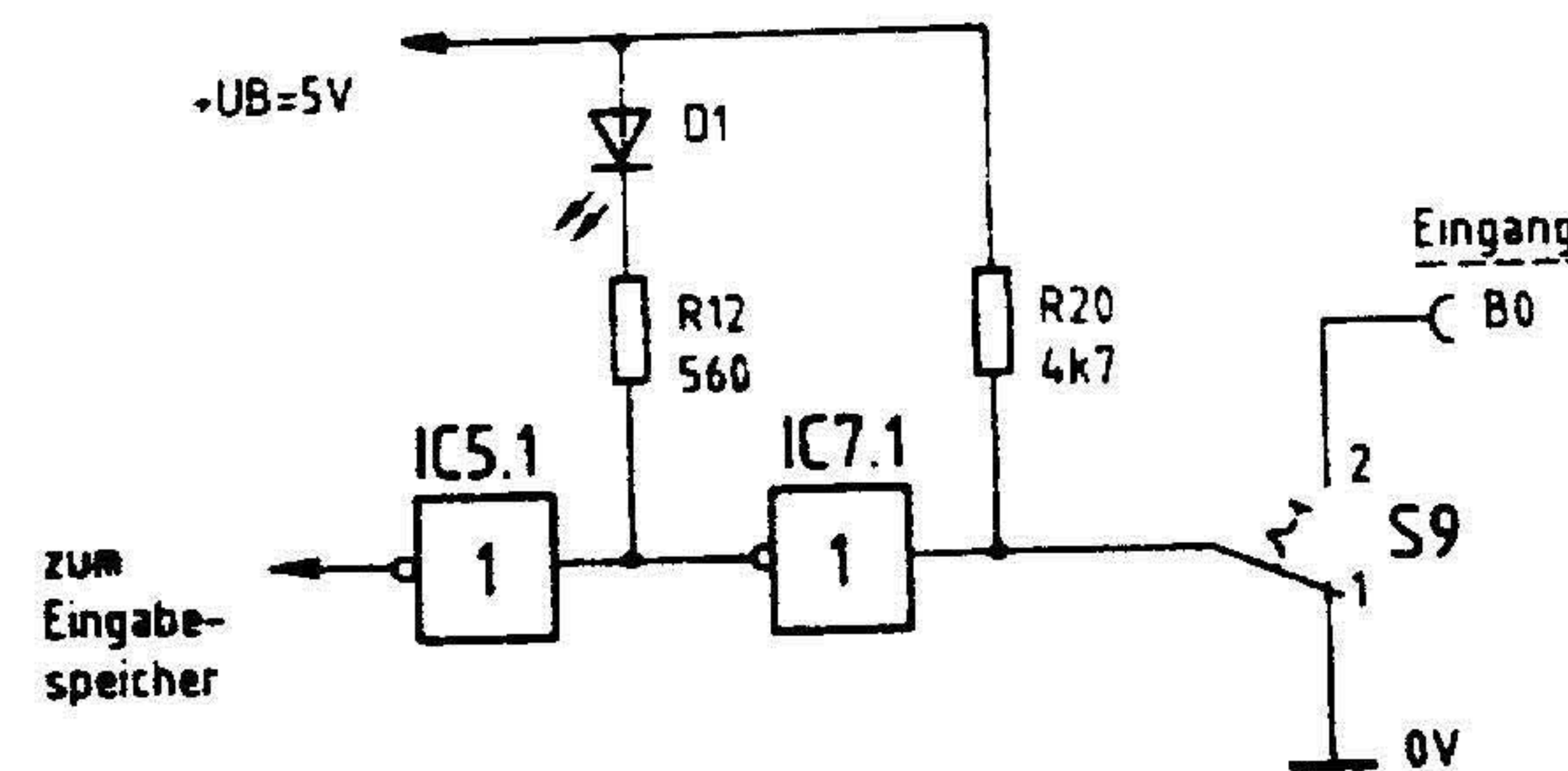


Bild 3: Dateneingabe mit Anzeigeeinheit

In der gezeichneten Schalterstellung von S9 (Bild 3) ist die Eingangsbuschse B0 abgeschaltet und der Eingang von IC 7.1. liegt auf L-Potential (0 V). Hierdurch führt der Ausgang dieses Inverters ein H-Signal und die LED D1 leuchtet nicht. IC 5.1 wird mit dem H-Signal angesteuert, invertiert nochmals und gibt ein L-Signal an den Eingabespeicher ab.

Wenn S9 in die Schalterstellung 2 umgeschaltet wird, ist B0 angeschlossen. Hierbei müssen zwei Betriebsfälle unterschieden werden: Offener Eingang, d.h. kein Anschluß einer externen Datenquelle und Anschluß einer Datenquelle an B0. Bei offener Eingangsbuschse erhält der Eingang von IC 7.1. über R20 H-Pegel. Hierdurch führt der Ausgang ein L-Signal und D1 leuchtet. IC 5.1 invertiert nochmals und gibt ein H-Signal an den Eingabespeicher ab.

Bei Anschluß einer Datenquelle an B0 sind folgende Punkte zu beachten:

1. Der Pegel an den Eingangsbuschsen muß zwischen 0 V und +5 V liegen, also TTL-Pegel entsprechen.
2. Die externe Datenquelle muß bei einem L-Signal an B0 einen Strom aufnehmen bzw. nach Masse durchschalten können, der sich aus dem Eingangsstrom von IC 7.1. und dem Strom durch R20 ergibt. Zusammen beträgt dieser Strom etwa 1,5 ... 2 mA, somit entspricht eine Eingangsbuschse lastmäßig zwei TTL-Gatter-Eingängen.

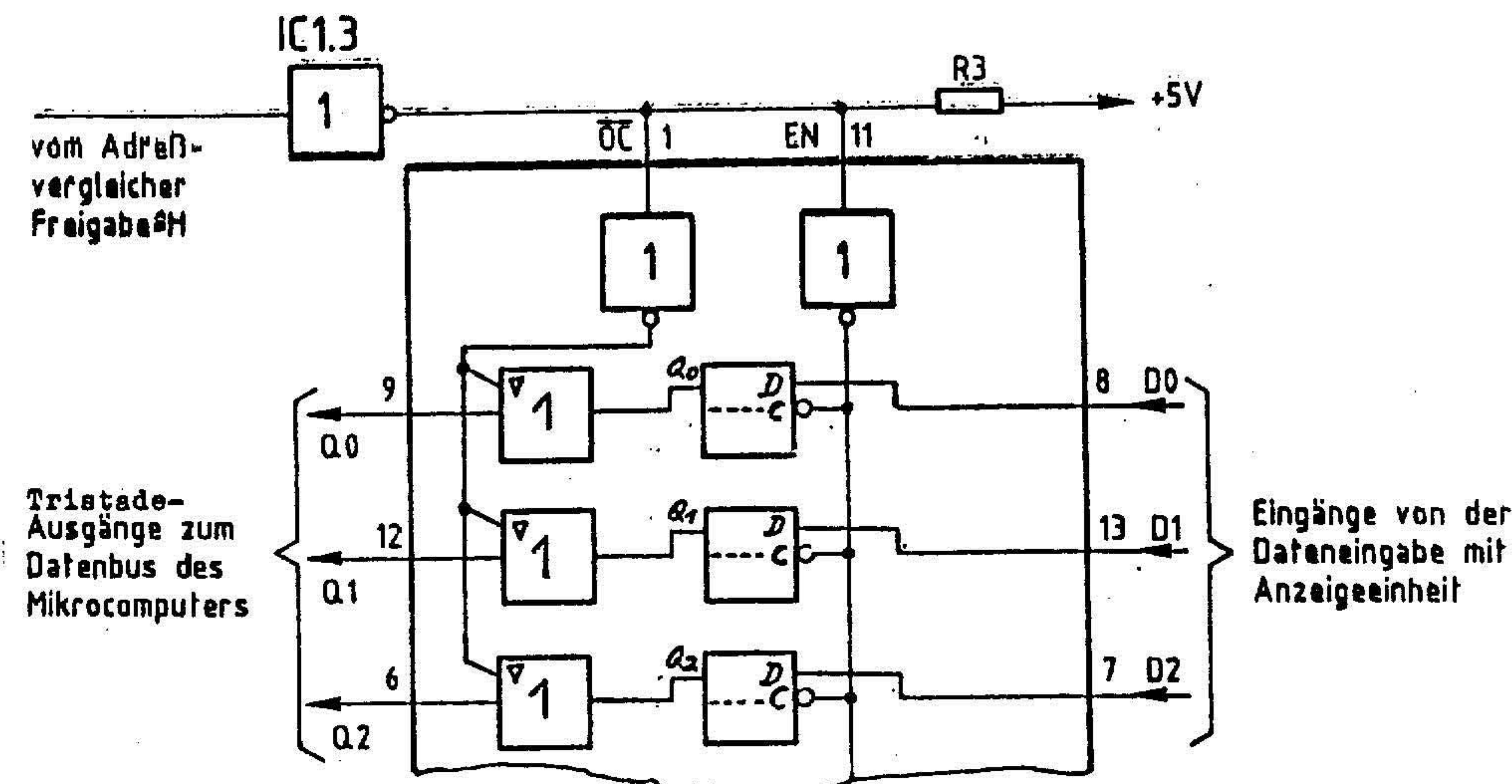
3. Viele Datenquellen besitzen einen sogenannten "Tri-state-Ausgang". Bei einem solchen Ausgang gibt es neben den Signalzuständen H und L noch einen dritten Zustand, der oft mit "High-Z" bezeichnet wird. High-Z bedeutet, daß der Ausgang hochohmig geschaltet ist. Das aber entspricht einer "offenen Eingangsbuschse" und wird als H-Pegel bewertet.

4. An die Eingangsbuschsen der Baugruppe können sowohl gewöhnliche, als auch "Open-Kollektor-Schaltkreise" angeschlossen werden, da der erforderliche Kollektorarbeitswiderstand innerhalb der Eingabekarte vorhanden ist.

Durch das Hintereinanderschalten der beiden Inverter IC 7.1. und IC 5.1. (Bild 3) wird das Eingangssignal phasenrichtig an den Eingabespeicher abgegeben. IC 7.1. dient dabei als LED-Treiber, damit der LED-Strom von ca. 8 mA nicht direkt am Eingang geschaltet werden muß. IC 5.1. hebt die Signalumkehr, die durch IC 7.1. erfolgt, wieder auf.

2.2. Eingabespeicher

Die mit den Schaltern oder über die Eingangsbuschsen eingegebenen Daten werden in einem Eingabespeicher (Bild 1) gespeichert, bis der Mikrocomputer die Daten abruft. Bild 4 zeigt einen Schaltungsauszug des Eingabespeichers und die dazugehörige Funktionstabelle.



Funktionstabelle 74LS373

\overline{OC}	EN	D	\bar{Q}
L	H	H	H
L	H	L	L
L	L	X	Q0
H	X	X	Hi Z

X = H oder L

Bild 4: Eingabespeicher und Funktionstabelle 74LS373

Der Schaltkreis 74 LS 373 (Bild 4) enthält acht zustandsgesteuerte D-Flipflops mit getrennten Eingängen $D_0...D_7$ und getrennten Ausgängen $Q_0...Q_7$, aber gemeinsamen Steuereingängen \overline{OC} und EN. Die Steuereingänge \overline{OC} und EN besitzen folgende Wirkungsweise:

\overline{OC} ist eine Abkürzung der Worte "Output-Control" und bedeutet "Steueranschluß für die Ausgänge der Flipflops ($Q_0...Q_7$)". Wenn \overline{OC} L-Signal erhält, sind die Ausgänge der D-Flipflops ($Q_0...Q_7$) mit den entsprechenden IC-Anschlüssen ($Q_0...Q_7$) verbunden. Die Daten der Flipflops gelangen dann zum Datenbus des Mikrocomputers. Der Betriebszustand "L-Signal an \overline{OC} " tritt aber nur dann ein, wenn der Mikroprozessor die Daten der Baugruppe liest; dieser Betriebszustand wird vom Prozessor gesteuert. In allen anderen Fällen erhält der Anschluß \overline{OC}

ein H-Signal, und die acht Flipflop-Ausgänge sind innerhalb des IC's vom Datenbus getrennt. Sie befinden sich dann im dritten Signalzustand "High-Z", da der Baustein "Tri-State-Ausgänge" besitzt.

EN ist eine Abkürzung des Wortes "enable" und bedeutet "Steueranschluß für die Eingänge der Flipflops". Wörtlich übersetzt heißt enable "ermöglichen". Aus diesen Zusammenhängen kann die Wirkungsweise des Anschlusses EN abgeleitet werden: Bei einem H-Signal an EN werden die Daten der Eingänge $D_0...D_7$ von den Flipflops zustandsgesteuert übernommen, während bei L-Signal an EN die Eingänge der Flipflops abgeschaltet sind. Zustandsgesteuert bedeutet, daß der Zustand H oder L an den Eingängen der Flipflops sogleich angenommen bzw. gespeichert wird, ohne daß eine bestimmte Taktflanke eintreffen muß.

In dieser Baugruppe sind die beiden Steueranschlüsse \overline{OC} und EN miteinander verbunden und werden über IC 1.3 vom Adreßvergleichler angesteuert. Dadurch ergeben sich folgende Betriebszustände:

1. H-Signal an \overline{OC}/EN (Baugruppe nicht adressiert bzw. gelesen)

Die Eingänge der acht Flipflops sind aktiviert und die Daten von $D_0...D_7$ werden übernommen und gespeichert. Wenn sich die Eingangssignale ändern, wird auch der Inhalt der Flipflops verändert. Die Ausgänge $Q_0...Q_7$ der Flipflops sind jedoch vom Datenbus getrennt. Der Prozessor erhält keine Daten von der Baugruppe, in ihren D-Flipflops stehen jedoch immer aktuelle Daten zur Verfügung.

2. L-Signal an \overline{OC}/EN (Baugruppe adressiert und gelesen)

Die Ausgänge der acht Flipflops sind zum Datenbus des Mikroprozessors durchgeschaltet, die Eingänge jedoch abgetrennt. Der Mikroprozessor liest die Daten der Baugruppe und verhindert durch gleichzeitige Eingangsblockade, daß sich die Daten beim Lesen noch ändern können. Durch das Lesen werden die Daten der Flipflops nicht gelöscht.

Bei einem erneuten H-Signal an \overline{OC}/EN werden von den Flipflops stets die aktuellen Eingangsdaten übernommen und damit die alten Daten überschrieben.

2.3. Adreßvergleich

Bild 5 zeigt den Stromlaufplan des Adreßvergleichers.

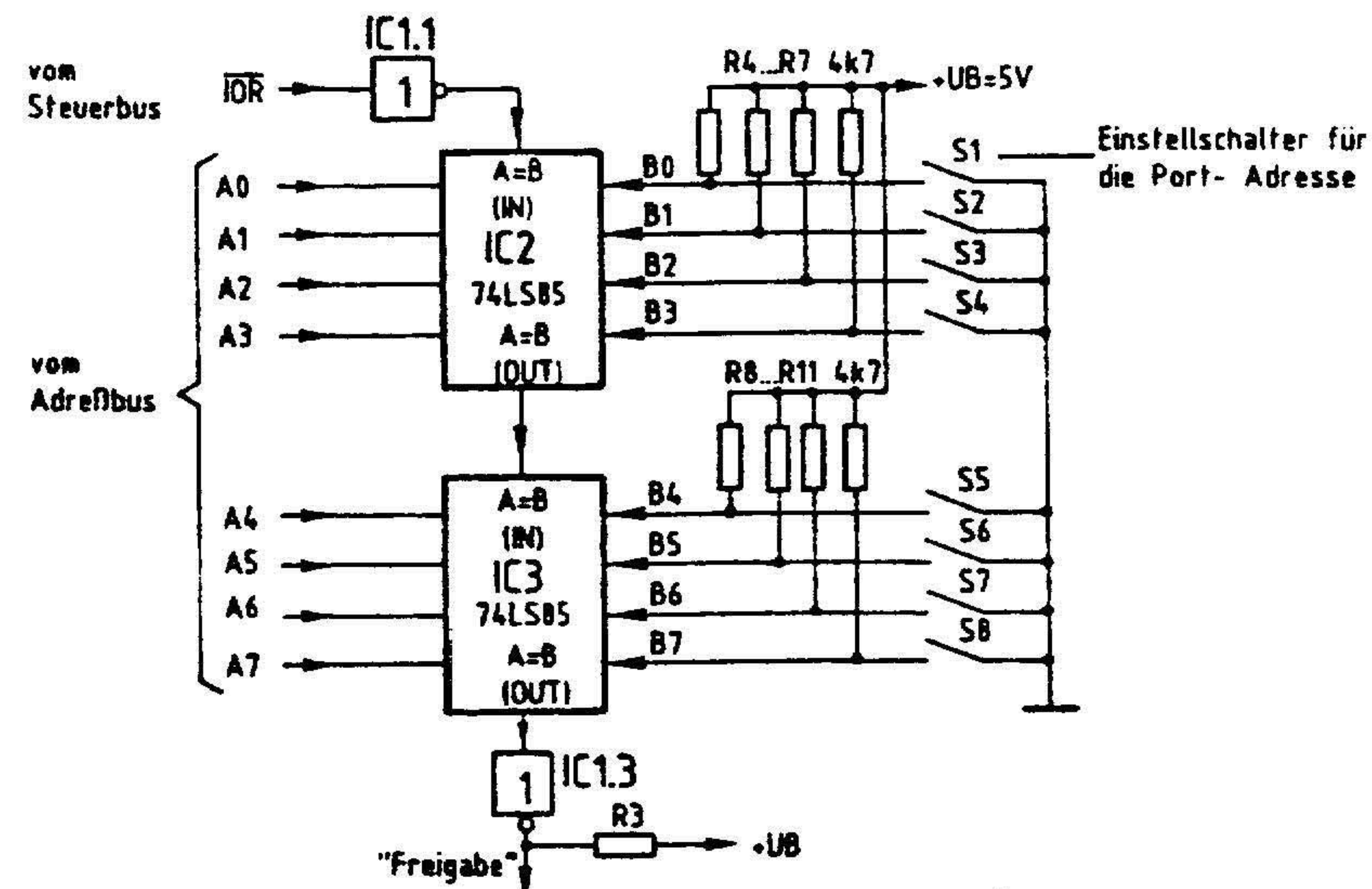


Bild 5: Adreßvergleich

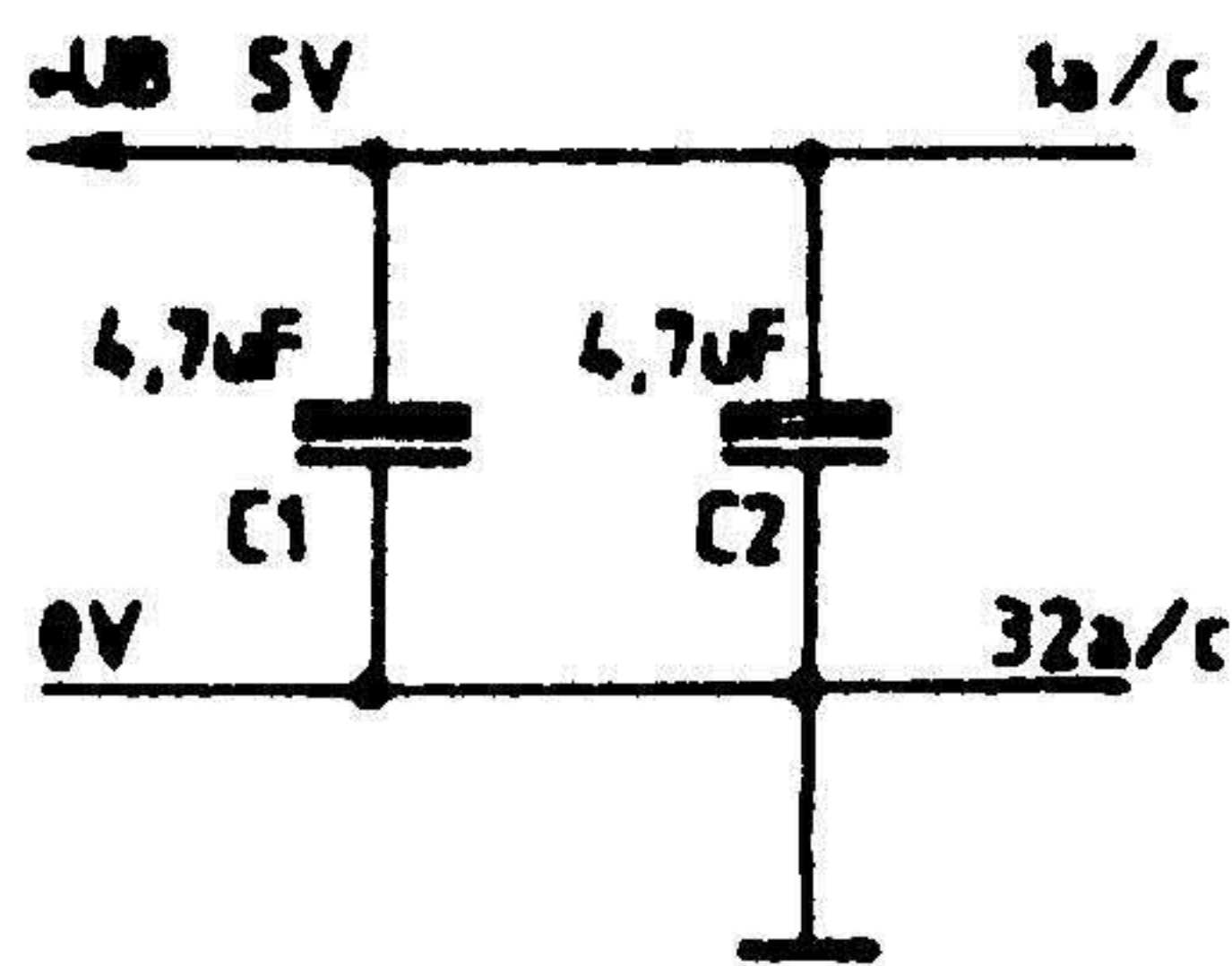
Der jeweilige Ausgang der beiden hintereinandergeschalteten 4-Bit-Vergleicher (A=B OUT) führt nur dann H-Pegel, wenn die folgenden beiden Bedingungen erfüllt sind:

- Der Eingang "A=B IN" muß H-Signal führen,
- die logischen Signale der Eingänge A und B müssen paarweise gleich sein, also $A_0 = B_0$, $A_1 = B_1$ usw..

Zum Lesen der Daten einer Eingabebaugruppe steuert der Mikroprozessor das Signal \overline{IOR} auf L-Pegel und schaltet außerdem die Adresse der gewünschten Eingabe-

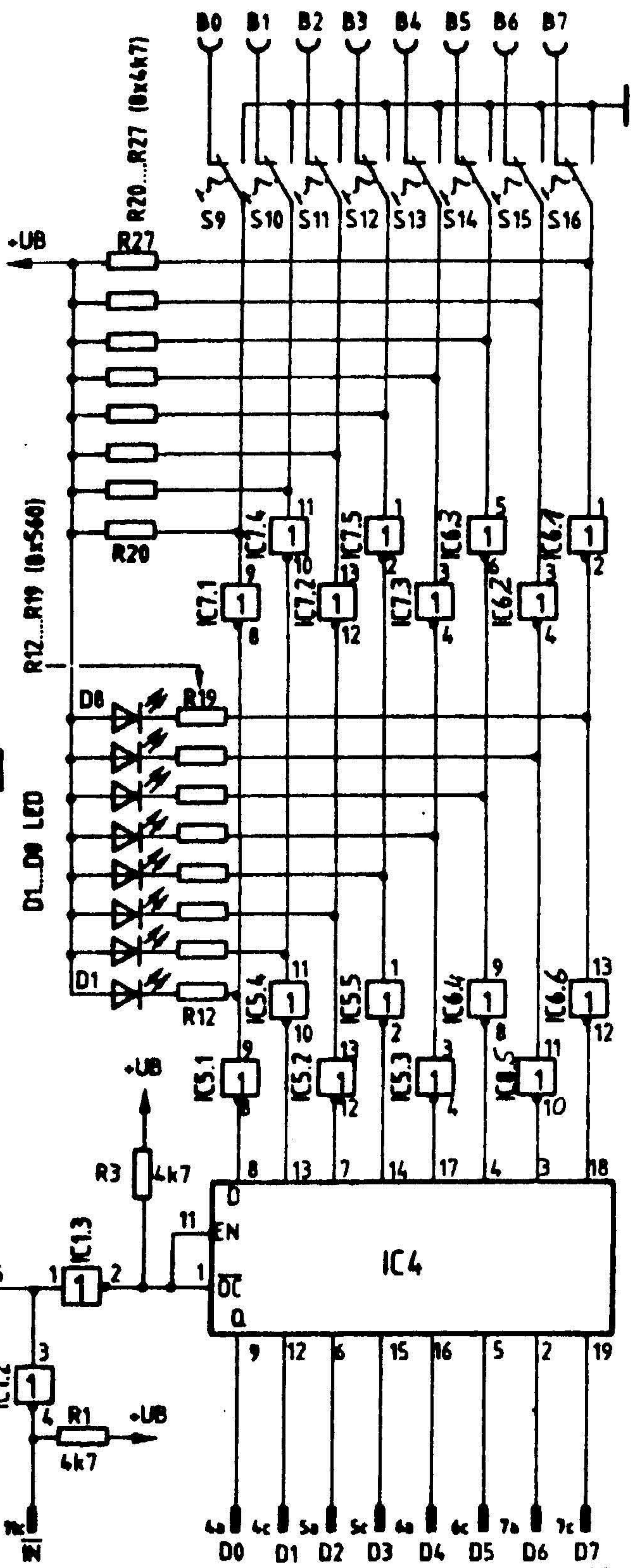
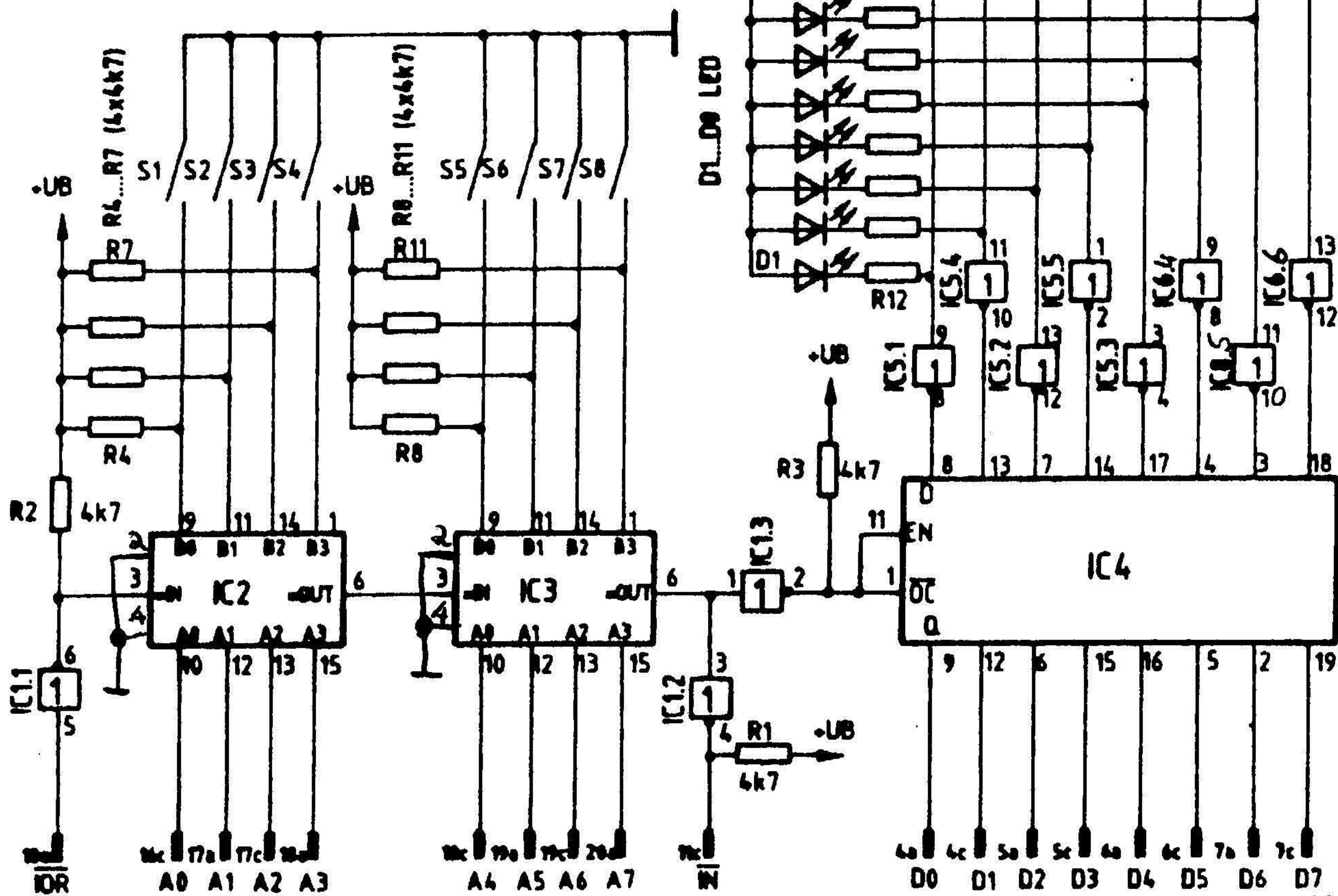
baugruppe auf die Adreßleitungen A_0 bis A_7 . Das L-Signal, das dann an \overline{IOR} auftritt, wird von IC 1.1 invertiert und der Eingang "A=B IN" von IC 2 erhält H-Pegel. Wenn jetzt die Pegel der vier Adressenpaare A_0-B_0 , A_1-B_1 , A_2-B_2 und A_3-B_3 übereinstimmen, sind beide o.g. Bedingungen erfüllt und IC 2 gibt an seinem Ausgang "A=B OUT" ein H-Signal ab. Hiermit wird der Eingang "A=B IN" von IC 3 angesteuert. Wenn die Pegel der vier Adressenpaare A_4-B_4 , A_5-B_5 , A_6-B_6 und A_7-B_7 ebenfalls übereinstimmen, erscheint auch am Ausgang "A=B OUT" von IC 3 ein H-Signal. Es wird von IC 1.3 invertiert und löst mit L-Pegel die Freigabe des Eingabespeichers aus.

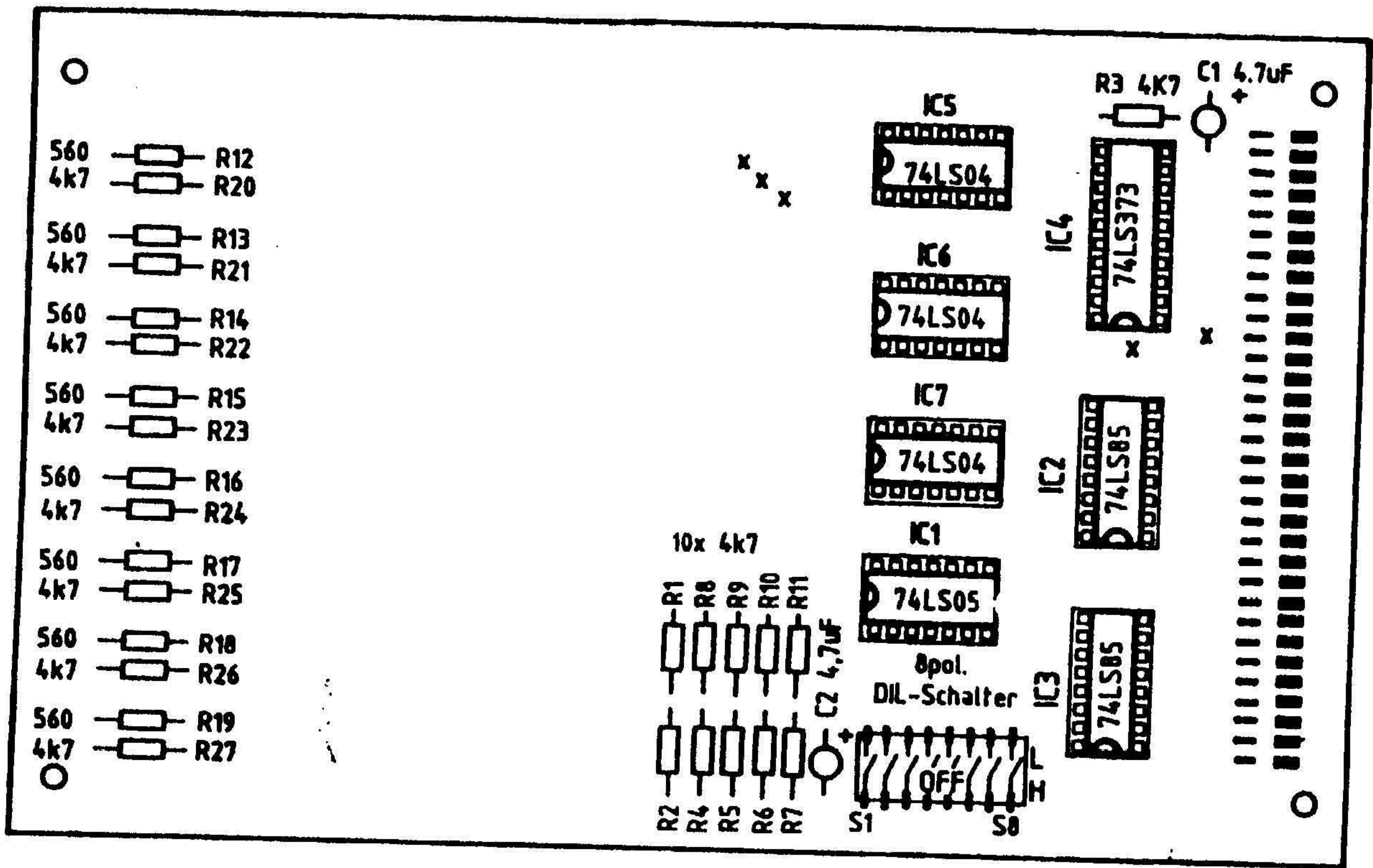
Die acht Widerstände $R_4 \dots R_{11}$ erzeugen bei geöffneten Schaltern $S_1 \dots S_8$ H-Pegel an den Eingängen $B_0 \dots B_7$. Je nach Schalterstellung kann somit eine Vergleichs- oder Port-Adresse zwischen 00000000 (Binär) und 11111111 (Binär) eingestellt werden, die mit der Adresse von $A_0 \dots A_7$ verglichen wird. Bei Gleichheit wird, wenn die Leitung \overline{IOR} L-Pegel führt, das Freigabe-Signal ausgelöst. Drückt man die Port-Adresse nicht binär, sondern hexadezimal aus, so kann sie mit den Schaltern zwischen 00 und FF eingestellt werden. Das Hintereinanderschalten der beiden 4-Bit-Vergleicher wird häufig "Kaskadierung" genannt, der Eingang "A=B IN" heißt dann "Kaskadierungseingang". Im Prinzip können auf diese Weise beliebig große Adreßvergleichler aufgebaut werden. Außer den "A=B"-Ein- und Ausgängen besitzen die IC's vom Typ 74 LS 85 noch Ein- und Ausgänge für "A>B" und "A<B", die in dieser Baugruppe jedoch nicht benutzt werden.



	K1	K2,3	K4	K5,6,7
	74LS05	74LS05	74LS373	74LS04
-UB	14	16	20	14
0V	7	8	10	7

offen: H-Signal
geschl.: L-Signal



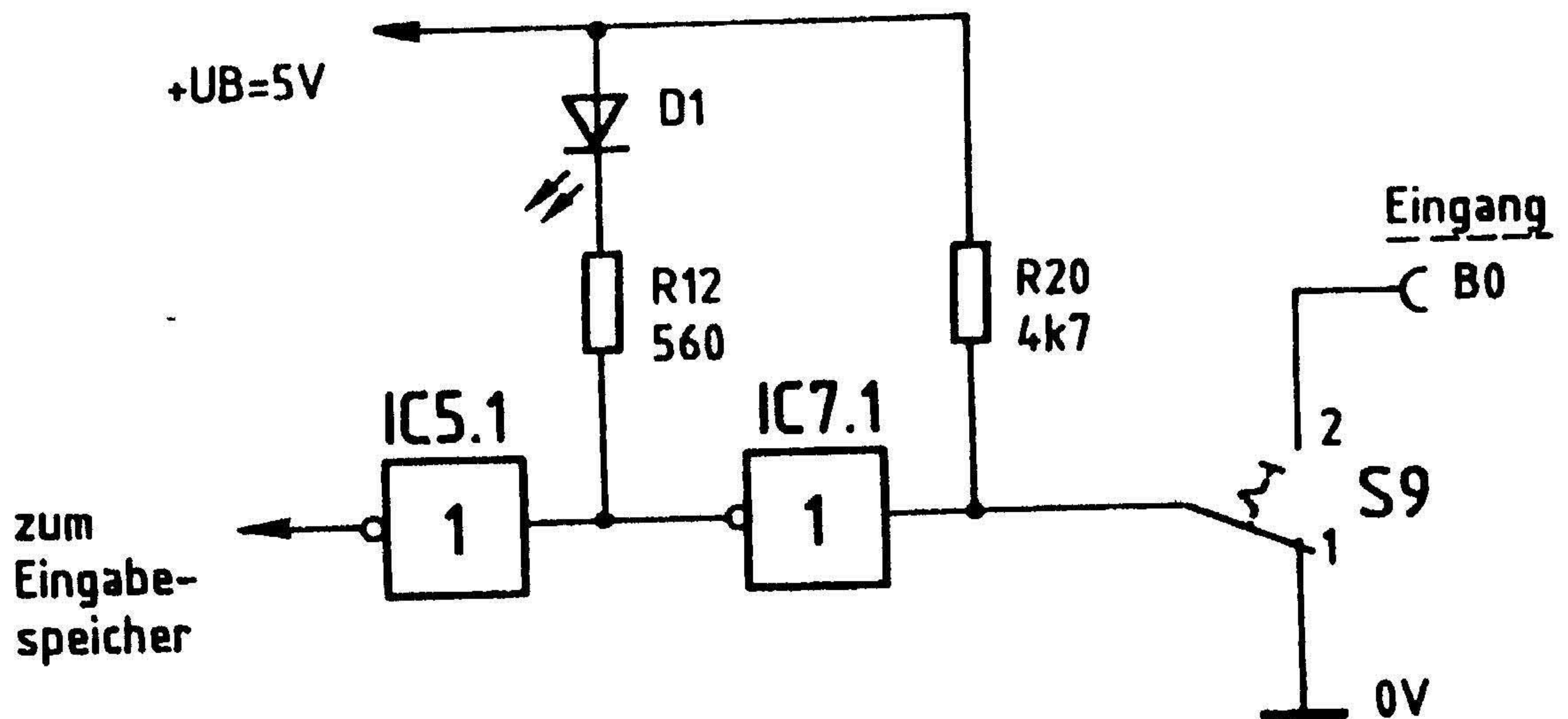


Arbeitsmittel

8-Bit-Parallel-Eingabe

Bestückungsplan Leiterplatte

11



Funktionstabelle:

Stellung S 9	Eingang B0	Pegel am Aus- gang IC 7.1	Pegel am Aus- gang IC 5.1	Zustand der LED D1
2	offen			
2	mit Masse verbunden			
1	offen oder mit Masse verbunden			



M F A

8-Bit-Parallel-Eingabe

Dateneingabe mit Anzeigeeinheit

12

Prüfen des Eingabespeichers

benötigte Baugruppen: 1.Eingabe-Baugruppe
2.BUS-Signalgeber
3.BUS-Signalanzeige

Aufgaben:

- 1) Stellen Sie auf der Eingabe-Baugruppe die Baugruppen-Nummer 33 H ein.
- 2) Stellen Sie die Schalterknebel S9 bis S16 der Eingabe-Baugruppe in Richtung LED's. (So können die Eingangssignale über die Buchsen B0 bis B7 zugeführt werden.)
- 3) Stellen Sie mit dem BUS-Signalgeber die Adreßsignale A0 bis A7 so ein, daß die Eingabe-Baugruppe angewählt werden kann.
- 4) Verbinden Sie nun der Reihe nach die Buchsen B0 bis B7 mit dem Masseanschluß (0 V) des MFA-Computers und lesen Sie jeweils die Eingabe-Baugruppe.
Überlegen Sie sich vorher, welches Datenwort jeweils zur Anzeige kommt, wenn Sie die Daten lesen. Tragen Sie die Werte in die Tabelle ein und überprüfen Sie Ihre Überlegungen durch praktische Messungen.

OV nur an Buchse:	B0	B1	B2	B3	B4	B5	B6	B7
Datenwort (Hex) ?								



8-Bit-Parallel-Eingabe

Prüfen des Eingabespeichers

13

5) Stellen Sie and der Eingabe-Baugruppe das Datum 55 Hex ein. Lesen Sie die Daten der Eingabebaugruppe durch Betätigen der Steuersignaltaste IOR.

Verstellen Sie das eingestellte Datum (z. B. 57 Hex) auf der Eingabebaugruppe, während Sie die Taste IOR auf dem BUS-Signalgeber betätigen.

Welchen Einfluß hat die Änderung des Datenwortes auf den auf der BUS-Signalanzeige angezeigten Hex-Wert?

Begründen Sie dieses Verhalten mit Hilfe der Schaltungsunterlagen (Innenschaltung des Eingabespeichers und Übernahmesteuerung).

Erklärung:

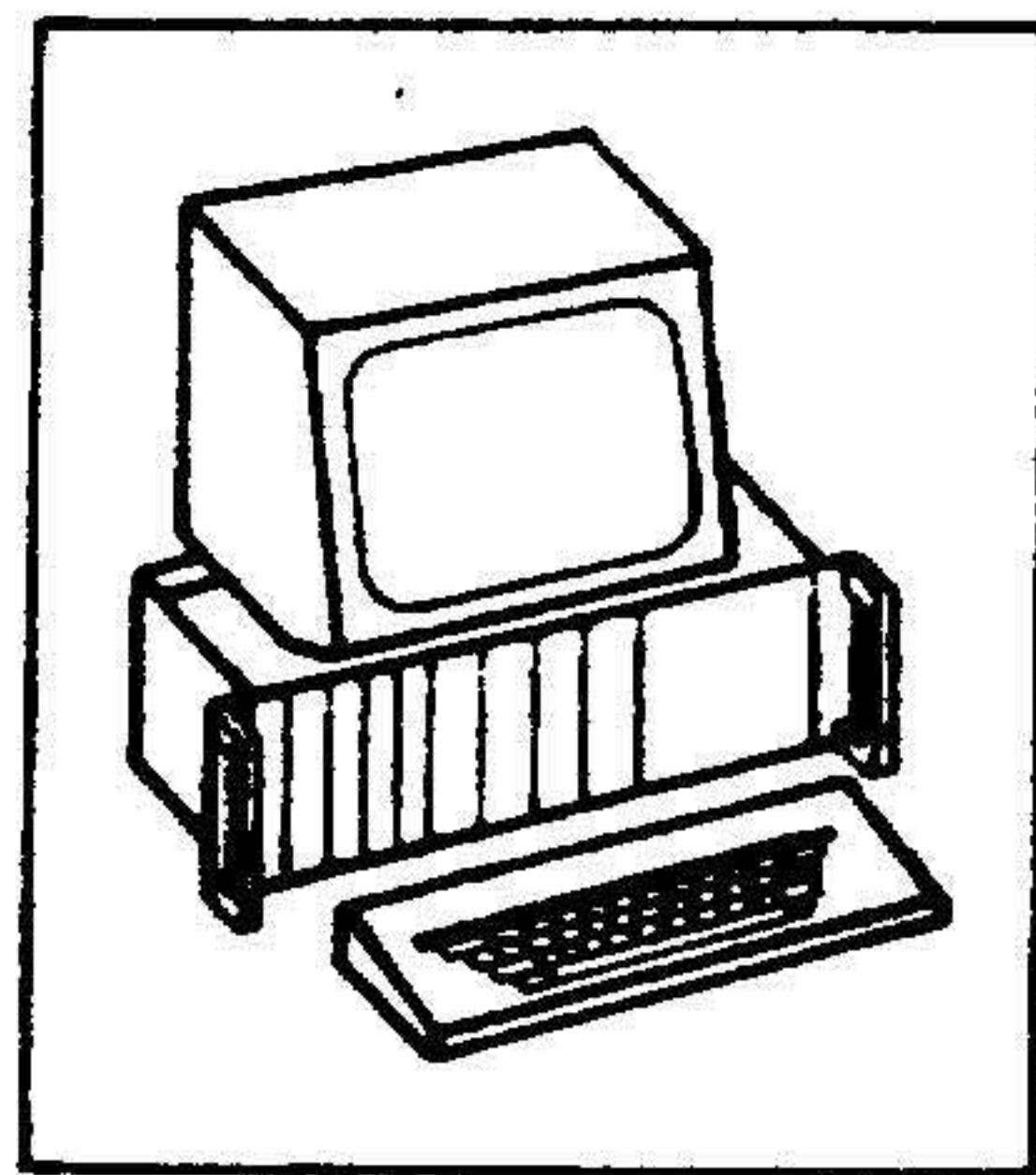


8-Bit-Parallel-Eingabe

Funktion des Eingabespeichers

14

FACHPRAKTISCHE ÜBUNG MIKROCOMPUTER-TECHNIK



8-K-RAM/EPROM

BFZ/MFA 3.1.

Funktionsbeschreibung

BFZ / MFA 3.1. - 1

8-K-RAM/EPROM

1. Einleitung

Die Speicherbausteine sind neben dem Mikroprozessor (CPU) die wichtigsten Bausteine zum Aufbau eines Mikroprozessorsystems. In ihnen sind die Daten und Befehle, die der Mikroprozessor verarbeiten soll, enthalten, oder sie können dort abgelegt werden.

Zum Ausführen eines Programmes benötigt der Mikroprozessor unterschiedliche Speichertypen. Daten, die verändert werden sollen und die vom Anwender eingegeben werden, speichert man in "Schreib-Lese-Speichern" ab. Solche Speicher nennt man auch "RAM's"; die Abkürzung steht für "random access memory" und bedeutet soviel wie "Speichersystem mit beliebigem Zugriff". Programme, die nicht mehr geändert werden sollen, werden in "Nur-Lese-Speichern" oder "ROM's" abgespeichert. Hier steht die Abkürzung für "read only memory", was soviel bedeutet wie "Speichersystem mit Lese- aber ohne Schreibmöglichkeit". Die Programme in diesen Speichern werden vom Hersteller der ROM's im Verlauf der Fertigung in die Speicherzellen geladen. Will man als Anwender solche Programme selber in Speicher laden, so muß man ROM's verwenden, die sich elektrisch programmieren lassen. Speicher dieser Art nennt man "EPROM's". Die Abkürzung steht für "erasable programmable read only memory" und bedeutet etwa "Löschbarer aber programmierbarer Festwertspeicher". Die Informationen in einem EPROM sind durch Bestrahlung mit UV-Licht löschtbar, programmiert werden sie durch elektrische Impulse.

Ein weiteres Merkmal der genannten Speichertypen ist ihr Verhalten bezüglich ihres Informationsinhaltes nach Abschalten der Betriebsspannung. ROM- und EPROM-Speicher behalten ihren Inhalt nach Abschalten der Betriebsspannung, während er bei RAM-Speichern verloren geht.

Um das MC-Baugruppensystem erweiterbar und flexibel zu machen, werden alle Speicherbausteine auf einer eigenen Baugruppe angeordnet. Diese Baugruppe kann entweder mit RAM- oder mit EPROM (ROM)- Speichern bestückt werden. Die hierzu nötige Umschaltung erfolgt durch Einlöten einiger Drahtbrücken. Speichererweiterungen sind einfach durch Verwendung mehrerer Baugruppen möglich. Im folgenden wird zunächst erklärt, was beim Aufbau solcher Baugruppen zu beachten ist. Anschließend wird die Funktion der 8-K-RAM/EPROM-Baugruppe beschrieben.



Diese Übung ist Bestandteil eines Mediensystems, das im Rahmen eines vom Bundesminister für Bildung und Wissenschaft, vom Bundesminister für Forschung und Technologie sowie der Bundesanstalt für Arbeit geförderten Modellversuches zum Einsatz der "Mikrocomputer-Technik in der Facharbeiterausbildung" vom BFZ-Essen e.V. entwickelt wurde

2. Prinzip eines Speichers

Bild 1 zeigt das Prinzip eines Speichers und die zum Lesen und Beschreiben nötigen Anschlüsse.

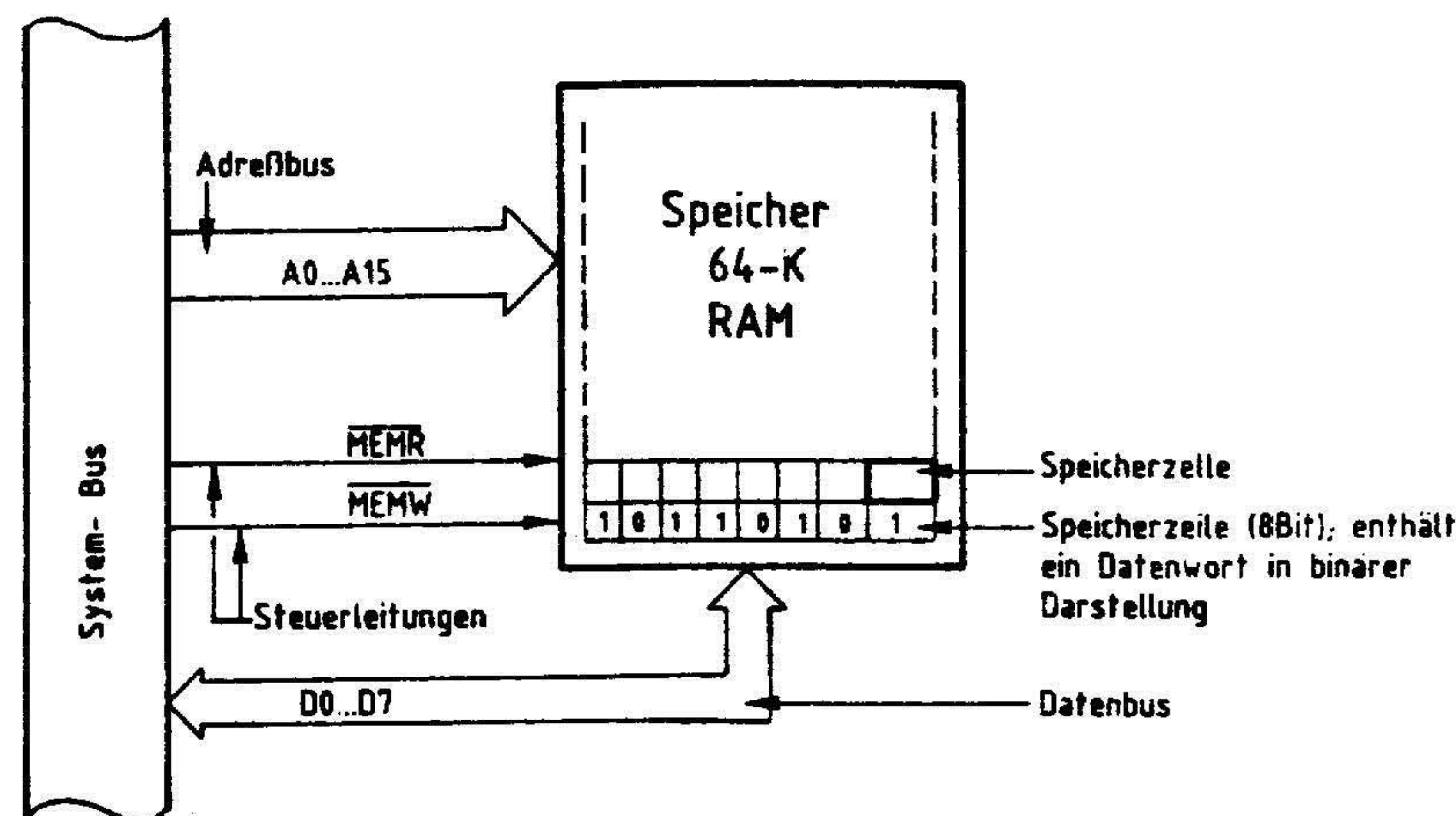


Bild 1: Prinzip eines Speichers

Alle Informationen im Speicher sind in binärer Form gespeichert. Ein "Datenwort" besteht aus acht Bit und ist in einer Speicherzeile gespeichert - die ihrerseits aus acht Speicherzellen besteht.

Der Transport der Datenworte in den oder aus dem Speicher erfolgt über acht Datenleitungen, den Datenbus. Mit Hilfe der Bitkombination auf den 16 Adreßleitungen - dem Adreßbus - wird bestimmt, in welche Speicherzeile ein Datenwort gelangen soll oder aus welcher Zeile es gelesen werden soll. Die Anzahl der im Speicher ansprechbaren Speicherzeilen wird begrenzt durch die Zahl der zu ihrer Adressierung vorhandenen Adreßleitungen. Mit n Adreßleitungen lassen sich 2^n Speicherzeilen adressieren. Mit den 16 Adreßleitungen eines 8-Bit-Mikroprozessors kann man $2^{16} = 65536$ Speicherzeilen ansprechen. Einen Speicher mit dieser Anzahl von Speicherzeilen nennt man 64-K-Speicher. Hier steht K für 1024 ($=2^{10}$) Speicherzeilen.

Mit den beiden Leitungen $\overline{\text{MEMR}}$ und $\overline{\text{MEMW}}$ - den Steuerleitungen - wird bestimmt, ob ein Datenwort in die adressierte Speicherzeile geschrieben werden soll ($\overline{\text{MEMW}} = L$) oder ob es aus ihr gelesen werden soll ($\overline{\text{MEMR}} = L$). $\overline{\text{MEMW}}$ steht für

"Memory write", Speicher beschreiben und $\overline{\text{MEMR}}$ für "Memory read", Speicher lesen. Die Überstreichung bedeutet, daß diese Signale bei L-Pegel wirksam (aktiv) werden.

2.1. Aufbau eines Speichers aus einzelnen Speicherblöcken

Der in Bild 1 dargestellte Speicher hat neben dem Vorteil des einfachen Aufbaus den großen Nachteil, daß er die gemischte Verwendung von RAM- und ROM- oder EPROM-Bausteinen nicht zuläßt, weil er die Höchstzahl von Speicherzeilen besitzt, die in 8-Bit-MC-Systemen möglich ist. Diesen Nachteil kann man vermeiden, indem man den Speicher aus kleineren "Speicherblöcken" aufbaut. Bild 2 zeigt eine mögliche Lösung, bei der ein 64-K-Speicher aus acht 8-K-Blöcken aufgebaut ist.

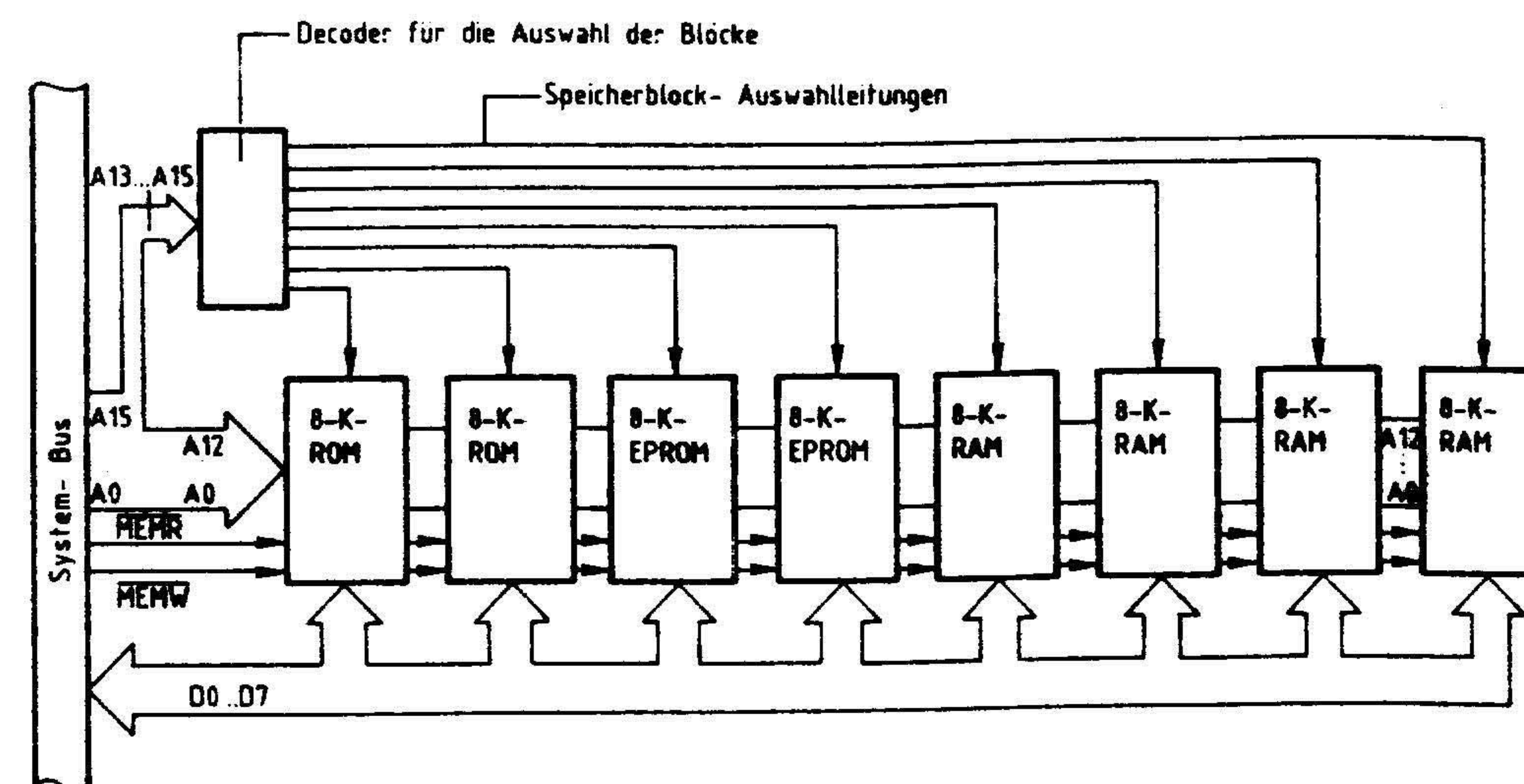


Bild 2: 64-K-Speicher, aufgebaut aus acht 8-K-Blöcken

Jeder einzelne Block kann jetzt aus RAM-, ROM- oder EPROM-Speicherbausteinen bestehen. Außerdem kann man auch mit kleineren Speichersystemen arbeiten, wenn die Aufgabenstellung keinen Speicher mit 64-K-Speicherzeilen erfordert. Da jeder der 8-K-Speicherblöcke aus 2^{13} Speicherzeilen besteht, benötigt man zu deren Adressierung auch nur 13 Adreßleitungen ($8K = 8 \times 2^{10} = 2^{13} = 8192$). Die 13 Adreßleitungen A0 - A12 führt man zu jedem der 8-K-Blöcke. Eine Decodierschaltung sorgt dafür, daß nicht die Inhalte von mehreren Speicherzeilen gleichzeitig auf den Datenbus geschaltet werden. Man kennzeichnet dazu die Speicherblöcke

8-K-RAM/EPROM

durch 3-stellige Adressen, die auf den Adreßleitungen A13, A14 und A15 ausgesandt werden. Die Decodierschaltung steuert dann entsprechend der 8 möglichen Bitkombinationen ($2^3 = 8$) auf diesen Leitungen einen Speicherblock an. Über die vorhandenen 16 Adreßleitungen kann man auf diese Weise jede Speicherzeile eines 64-K-Speichers, der aus acht 8-K-Blöcken aufgebaut ist, ansprechen. Die beiden Steuerleitungen $\overline{\text{MEMR}}$ und $\overline{\text{MEMW}}$ werden jedem Speicherblock zugeführt. Da das $\overline{\text{MEMW}}$ -Signal auf ROM- und EPROM-Blöcken nicht benötigt wird, kann diese Steuerleitung vom Speicherblock getrennt werden.

2.2. Die Blockauswahl durch Adreßvergleicher

Aus Platzgründen kann man die acht 8-K-Blöcke eines Speichers, wie ihn Bild 2 zeigt, nicht auf einer Leiterplatte anordnen. Es stellt sich deshalb die Frage, wo man den Decoder zur Speicherblockauswahl einbauen soll. Wünscht man gleichartig aufgebaute und untereinander austauschbare Baugruppen, so muß man die Speicherblockauswahl auf jeder Baugruppe vorsehen.

Bild 3 zeigt das Blockschaltbild einer Baugruppe, bei der dies durchgeführt ist.

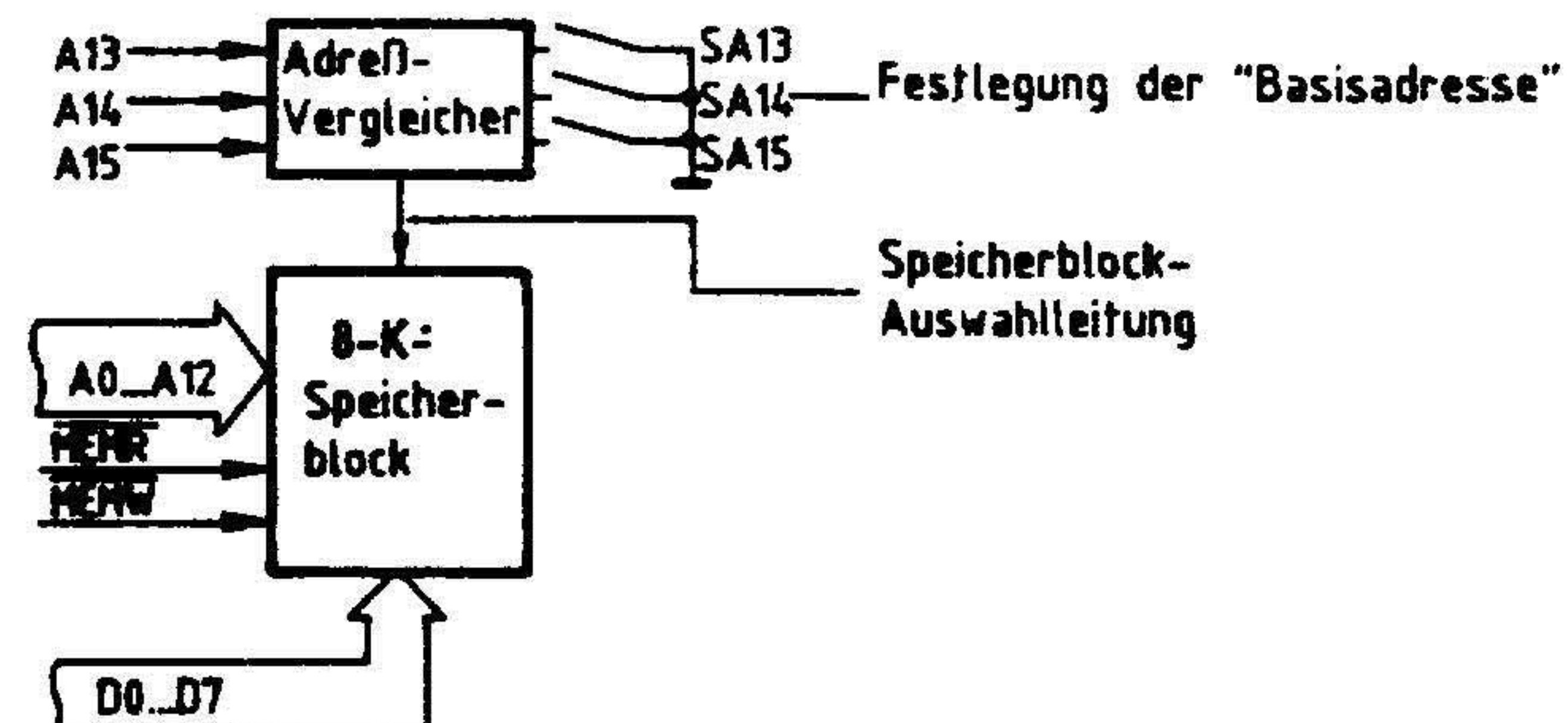


Bild 3: Speicherblock-Auswahl mit einem Adreßvergleich

8-K-RAM/EPROM

Ist die Bitkombination auf den Adreßleitungen A13 - A15 gleich derjenigen, die mit den Schaltern SA13, SA14 und SA15 eingestellt wurde, so erfolgt die Auswahl des entsprechenden Speicherblocks. Mit den drei Schaltern lassen sich acht verschiedene Speicherblöcke auswählen. Die niedrigste Adresse einer Speicherzeile eines jeden Speicherblocks nennt man "Basisadresse", sie wird durch die gewählte Schalterstellung festgelegt.

Bild 4 zeigt den Aufbau eines 64-K-Speichers aus acht 8-K-Blöcken. Jeder Block ist eine eigene Baugruppe mit eigener Blockauswahl.

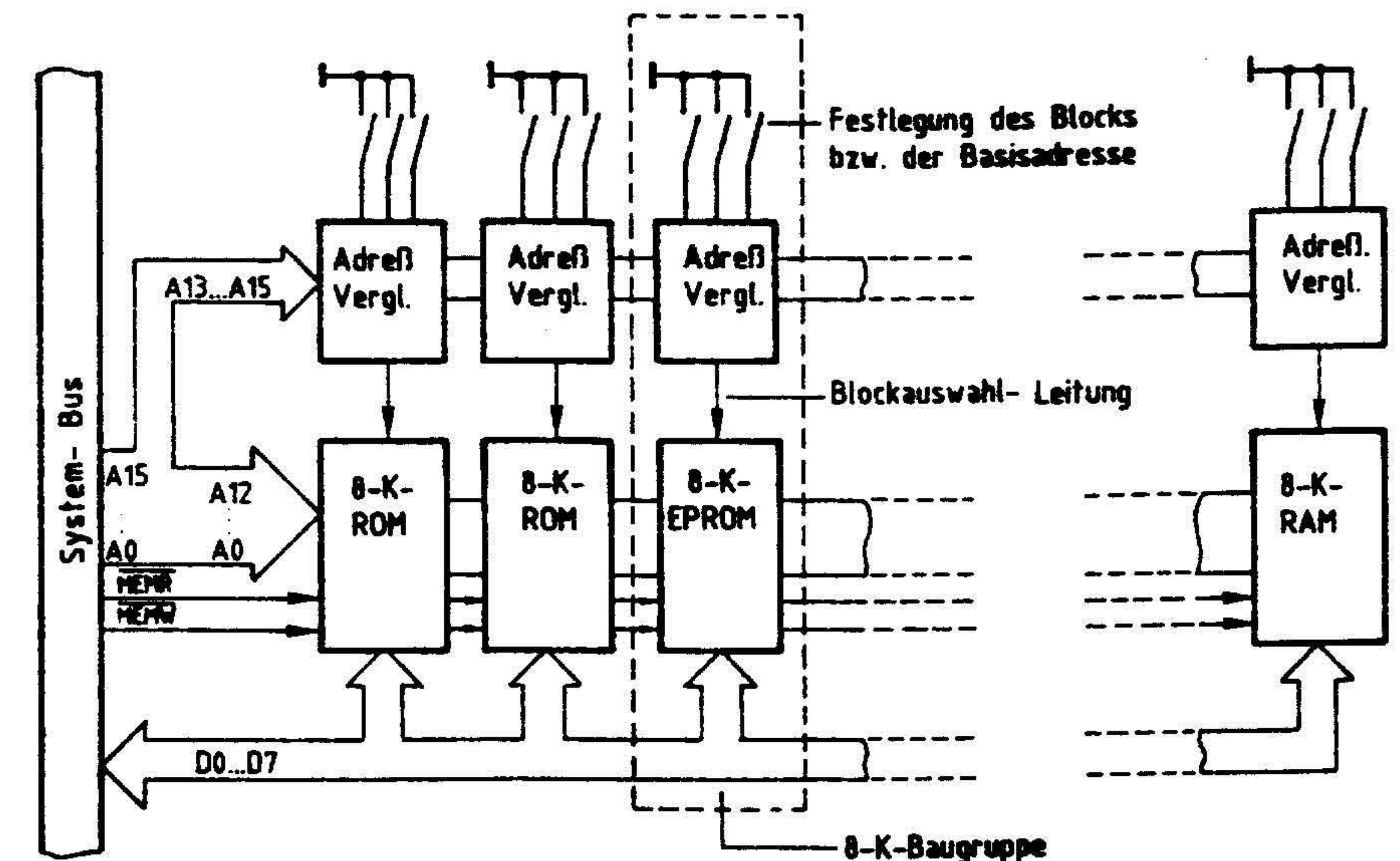


Bild 4: 64-K-Speicher, aufgebaut aus acht 8-K-Speicherbaugruppen mit eigener Blockauswahl

Jede dieser Baugruppen ist an allen Bus-Leitungen angeschlossen; die Baugruppen sind deshalb beliebig innerhalb eines Baugruppensystems austauschbar. Mit der Festlegung der Basisadresse durch die Schalterstellung am Adreßvergleich auf den Baugruppen ist der Adreßbereich einer Baugruppe eindeutig festgelegt. Damit keine Überschneidungen bezüglich der Adressen auftreten, dürfen keine gleichen Schalterstellungen auf verschiedenen Baugruppen (oder 8-K-Blöcken) eingestellt werden!

2.3. Aufbau eines 8-K-Speicherblocks aus 2-K-Speicherbausteinen

Der Aufbau eines 8-K-Speicherblocks ist im wesentlichen bestimmt durch die Wahl der im Handel erhältlichen Speicherbausteine. Leitungsführung und weitere Decodierschaltungen hängen z.B. davon ab, ob man den Block aus acht 1-K-Speicherbausteinen oder aus vier 2-K-Speicherbausteinen aufbaut. Weiter sollte man beachten, daß es RAM- und EPROM-Bausteine mit der gleichen Anschlußbelegung gibt. Man braucht dann nur einen Typ von Leiterplatten zu entwerfen, den man wahlweise für verschiedene Aufgaben einsetzen kann.

Bild 5 zeigt das Blockschaltbild einer 8-K-Speicherbaugruppe, die aus vier 2-K-Speicherbausteinen aufgebaut ist. Die Schreib- und Lesesteuerung ist hier nicht eingezeichnet.

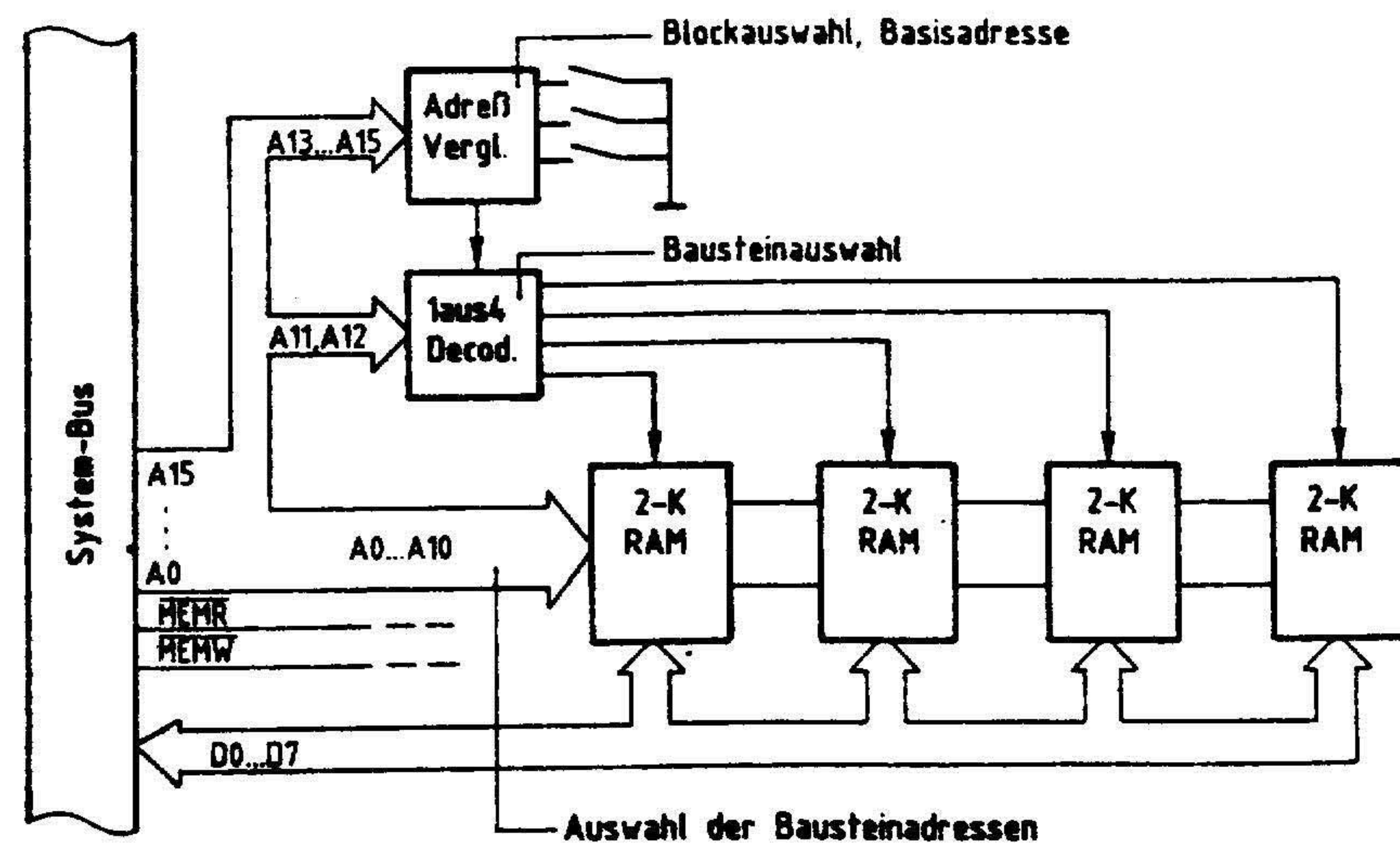


Bild 5: 8-K- Speicherbaugruppe, aufgebaut aus 2-K- Speicherbausteinen (Bestückung mit RAM,ROM,EPROM möglich)

Mit den 11 Adreßleitungen A0 - A10 lassen sich die in jedem Speicherbaustein vorhandenen 2048 (2^{11}) Speicherzeilen adressieren. Für die eindeutige Adressierung der vier 2-K-Speicherbausteine sorgt ein 1 aus 4 Decoder. Er sucht aus den vier möglichen Bitkombinationen auf den Adreßleitungen A11 und A12 jeweils nur eine aus und steuert den entsprechenden Speicherbaustein an.

Die Adreßleitungen A13 bis A15 liefern wie bereits beschrieben das Blockauswahl-Signal. Der Adreßvergleichler gibt den 1 aus 4 Decoder nur dann frei, wenn sich die Gesamtadresse (aus A0 - A15) im Bereich der für den Block gültigen 8-K-Speicherzeilen befindet.

Beim Aufbau der Baugruppe aus acht 1-K-Speichern müßte der 1 aus 4 Decoder durch einen 1 aus 8 Decoder ersetzt werden; den Speichern würden dann nur die Adreßleitungen A0 - A9 ($2^{10} = 1024$) zugeführt, und der Decoder erhielte eine Adreßleitung mehr ($2^3 = 8$), weil er dann acht Bausteine anzuwählen hätte.

3. Blockschaltbild der 8-K-RAM/EPROM-Baugruppe

Bild 6 zeigt das Blockschaltbild dieser Baugruppe. Zunächst wird die Funktion erklärt, Schaltungsdetails werden anschließend beschrieben.

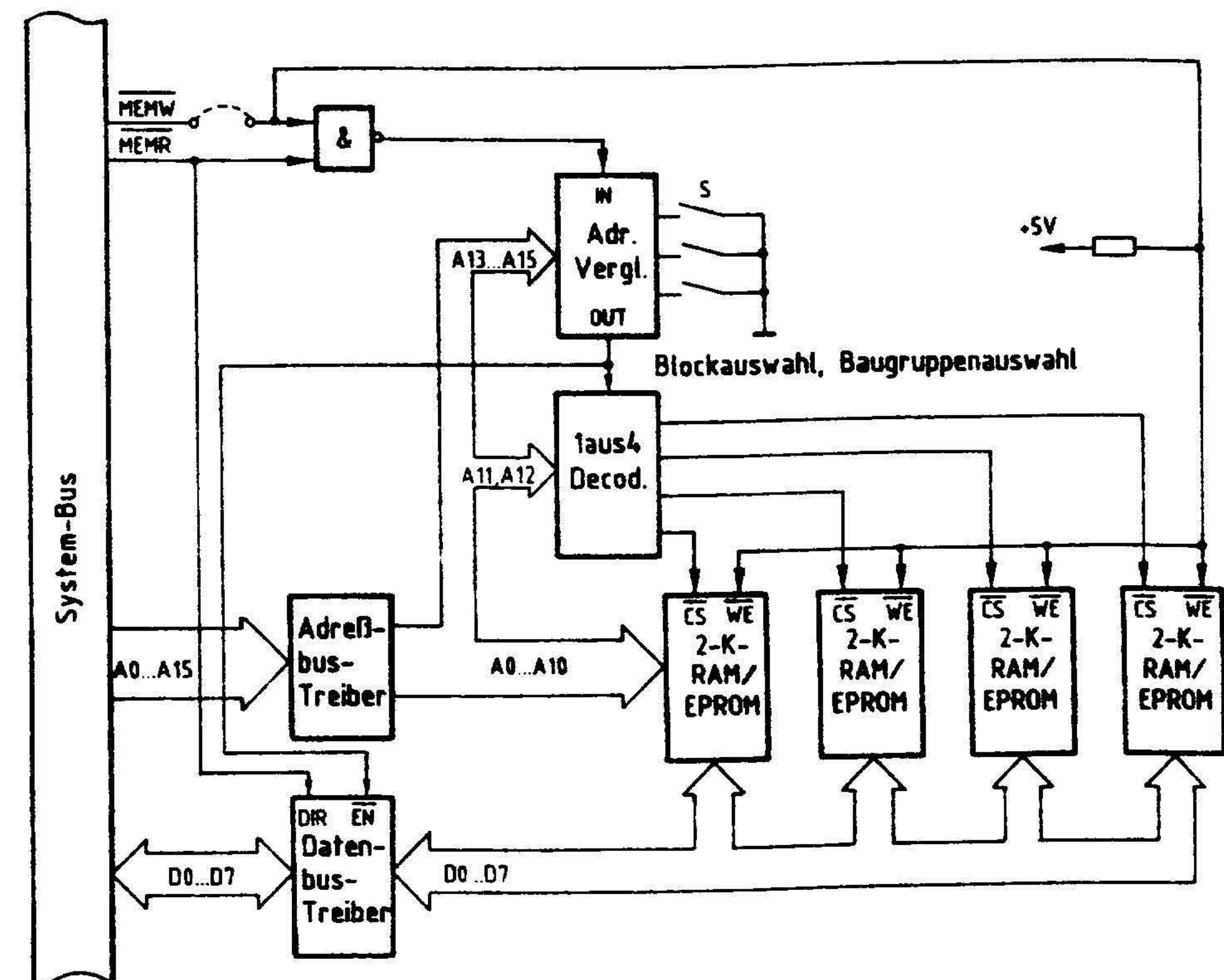


Bild 6: Blockschaltbild der 8-K-RAM/EPROM-Baugruppe

8-K-RAM/EPROM

Zwischen dem System-Bus und den internen Busleitungen auf der Baugruppe befinden sich Bustreiber zur Entlastung der Ausgänge der CPU (Mikroprozessor). Eine auf den Adreßleitungen A0 - A15 anstehende Adresse (Bitkombination) gelangt über den Adreßbus-Treiber auf den internen Bus. Der Adreßvergleichler wählt aus dem möglichen 64-K-Speicherbereich zunächst einen 8-K-Block aus. Die Baugruppe wird immer dann angesprochen, wenn

- die Bitkombination auf den Leitungen A13 - A15 mit der an den Schaltern S eingestellten übereinstimmt und
- der Adreßvergleichler über seinen "IN-Eingang" freigegeben ist.

Diese Freigabe erfolgt, wenn eines der beiden Steuersignale $\overline{\text{MEMR}}$ oder $\overline{\text{MEMW}}$ aktiv ist. Der Ausgang "OUT" des Adreßvergleichlers gibt dann den "1 aus 4 Decoder" frei. Durch die Bitkombination auf den Adreßleitungen A11 und A12 wählt dieser Decoder einen der vier Speicherbausteine aus und bereitet ihn für Datenverkehr vor. Über die Adreßleitungen A0 - A10 wird schließlich eine Zeile innerhalb des 2-K-Speicherbereiches ausgewählt.

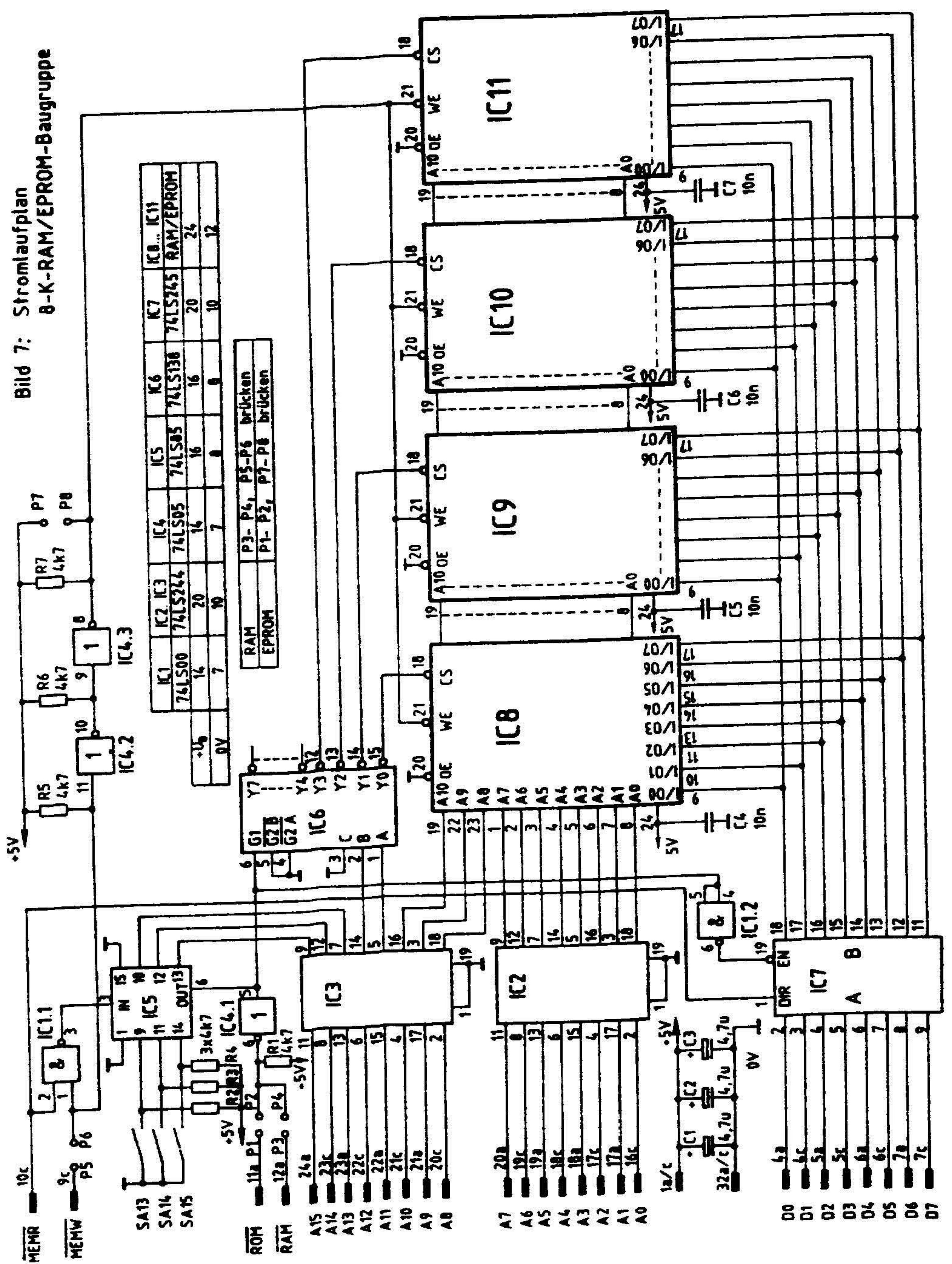
- Ist die Baugruppe mit EPROM-Speicherbausteinen bestückt, so gelangt bei einem $\overline{\text{MEMR}}$ -Signal das Datenwort der adressierten Speicherzeile auf den internen Datenbus und von dort über den Datenbus-Treiber auf den System-Bus.
- Ist die Baugruppe mit RAM-Bausteinen bestückt, hängt der Datentransport davon ab, ob Daten aus dem Speicher gelesen, oder in den Speicher geschrieben werden sollen. Die Durchlaßrichtung des Datenbus-Treibers ist aus diesen Gründen umschaltbar, gesteuert wird sie mit dem $\overline{\text{MEMR}}$ -Signal über den "DIR-Eingang" (Direction = Richtung, Umsteuerung) des Treibers.

Bei einem Lesevorgang gelangt das Datenwort der adressierten Speicherzeile genau wie beim EPROM auf den System-Bus. Der Datenbus-Treiber ist in Richtung System-Bus leitend.

Bei einem Schreibvorgang ist der Datenbus-Treiber in Richtung Baugruppe leitend. Ein Datenwort, das sich auf den Datenleitungen D0 - D7 des System-Busses befindet, gelangt über den Treiber auf den internen Datenbus der Baugruppe und von dort in die adressierte Speicherzeile. Obgenommen wird es durch den entsprechenden Pegel auf der $\overline{\text{MEMW}}$ -Leitung, die an alle Speicher zu einem $\overline{\text{WE}}$ -Eingang (write-enable = Schreib-Freigabe) geführt ist.

Über einen zweiten Steuereingang, den Eingang $\overline{\text{EN}}$ (enable = freigeben), wird der Datenbus-Treiber vom Adreßvergleichler in einen hochohmigen Zustand geschaltet, wenn die Baugruppe nicht angewählt ist. Bild 7 zeigt den Stromlaufplan der Baugruppe, der zu allen folgenden Schaltungserklärungen mitbenutzt werden sollte.

8-K-RAM/EPROM



8-K-RAM/EPROM

3.1. Der Adreßbus-Treiber (IC2, IC3)

Bild 8 zeigt einen Ausschnitt aus der Innenschaltung des Adreßbus-Treibers, die zugehörige Funktionstabelle und die äußere Beschaltung.

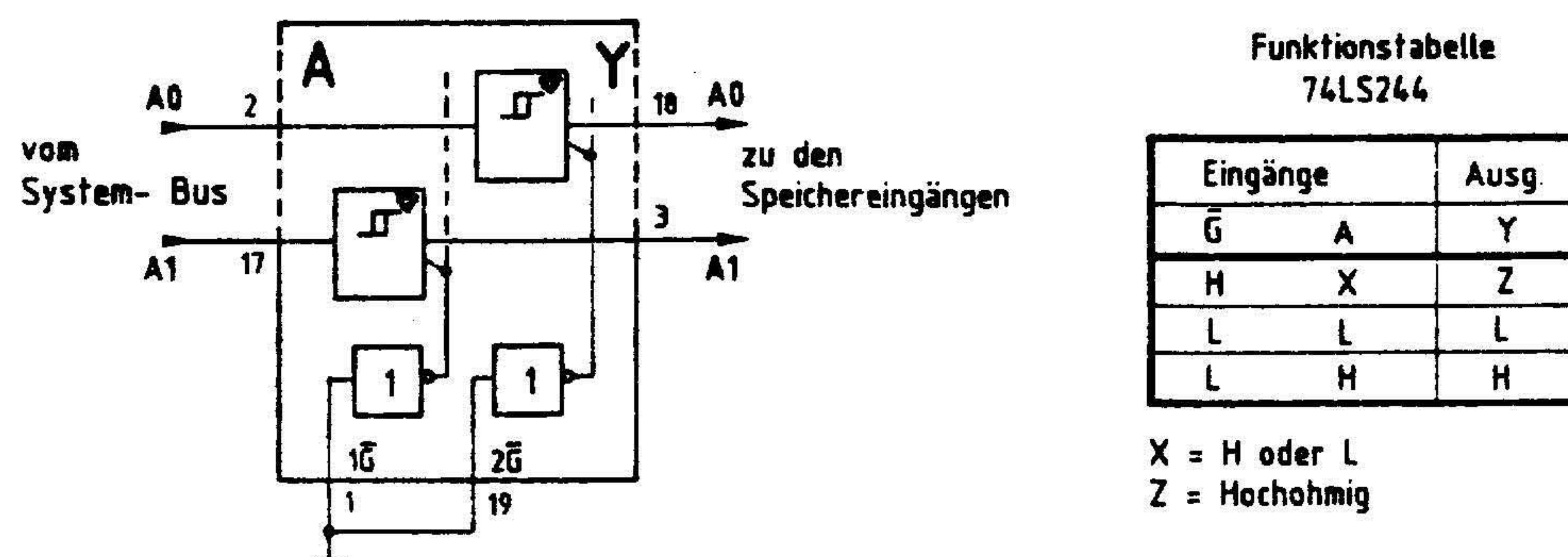


Bild 8: Innenschaltung (Ausschnitt) und Funktionstabelle des Adreßbus-Treibers.

Die internen Treiber, die sind in einem IC achtmal vorhanden, haben einen Schmitt-Trigger-Eingang. Dadurch wird die Flankensteilheit der Ausgangssignale verbessert.

Die Eingänge der beiden Steuerinverter ($1\bar{G}$ und $2\bar{G}$) sind mit Masse verbunden, weil der hochohmige Ausgangszustand bei einem Adreßbus-Treiber nicht benötigt wird. Jeder Signalzustand der System-Bus-Adreßleitungen wird damit direkt über den Treiber auf die Adreßeingänge der Speicher übertragen.

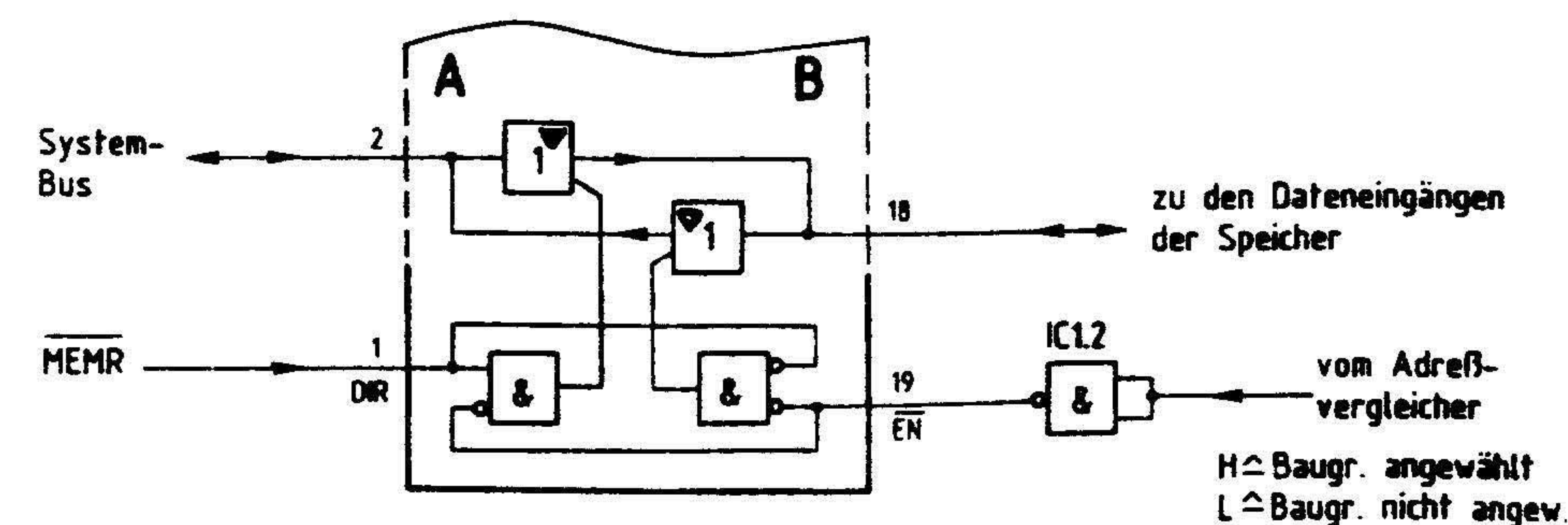
3.2. Der Datenbus-Treiber (IC7)

Bild 9 zeigt einen Ausschnitt aus der Innenschaltung des Datenbus-Treibers, die zugehörige Funktionstabelle und seine äußere Beschaltung.

Die internen Datentreiber werden durch die Pegel an ihren Steuereingängen durchlässig oder hochohmig geschaltet: L-Pegel bringt sie in den hochohmigen, H-Pegel in den leitenden Zustand. Geliefert werden diese Pegel von den beiden UND-Gattern, die ihrerseits die Signale des "Datenrichtung-Eingangs DIR" und des "Datenfreigabe-Eingangs \bar{EN} " miteinander verknüpfen. Der DIR-Eingang ist direkt mit dem Steuersignal \overline{MEMR} verbunden, der \bar{EN} -Eingang mit dem invertierten Signal der Baugruppenauswahl-Leitung. Wird die Baugruppe nicht angewählt, so führt diese Leitung L-Pegel, der \bar{EN} -Eingang erhält also H-Pegel, und alle Datentreiber sind

8-K-RAM/EPROM

hochohmig. Bei einem L-Pegel am \bar{EN} -Eingang wird die Datenflußrichtung vom Pegel des \overline{MEMR} -Signals bestimmt. Ist es aktiv (L), so können Daten vom Speicher zum System-Bus gelangen, andernfalls vom System-Bus zum internen Bus der Baugruppe. Sie liegen dann an den Dateneingängen der Speicher zur Übernahme in die Speicherzeile bereit.



Funktionstabelle 74LS245

Bild 9: Innenschaltung (Ausschnitt) und Funktionstabelle des Datenbus-Treibers

3.3. Die Baugruppenauswahl (IC5)

Bild 10 zeigt den Schaltungsteil, der für die Block- oder Baugruppenauswahl benötigt wird.

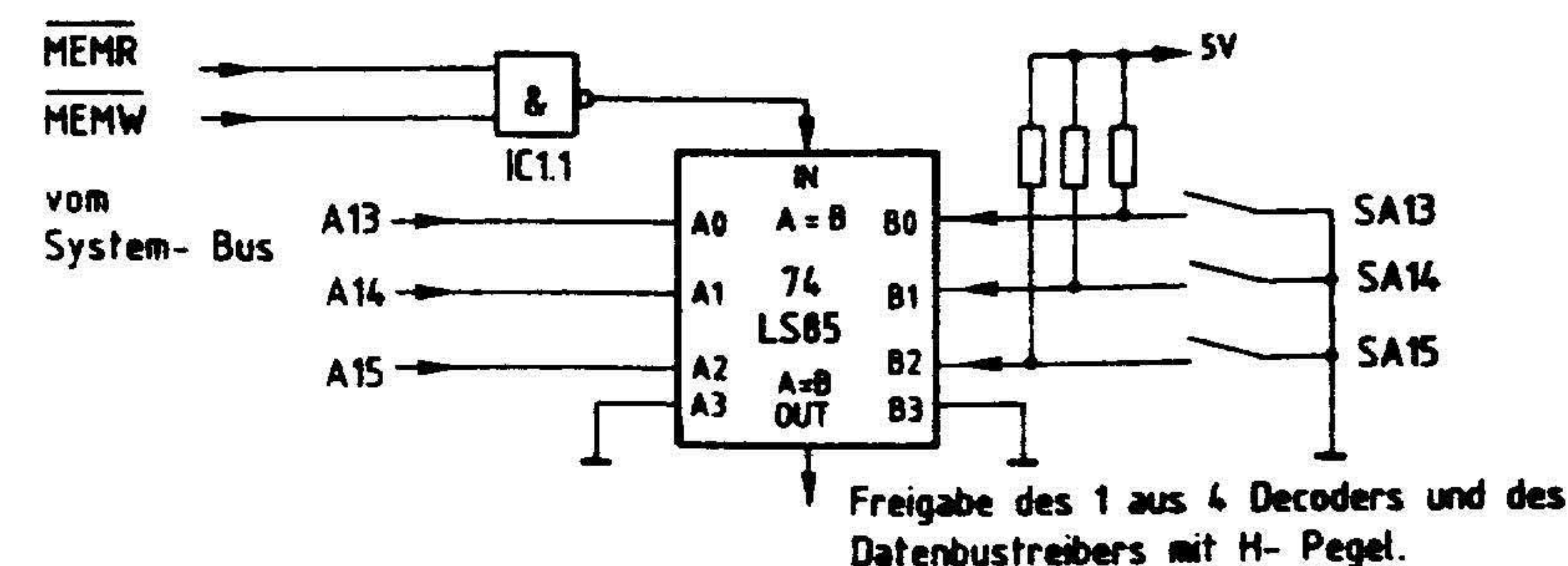


Bild 10: Baugruppenauswahl

8-K-RAM/EPROM

Die Baugruppe ist angewählt, wenn der Ausgang des 4-Bit-Vergleichers H-Pegel führt. Ein solches Freigabesignal kommt nur zustande, wenn

- die Bitkombination der Adreßleitungen A13...A15 gleich der Bitkombination ist, die mit den Schaltern SA13 - SA15 eingestellt wurde. Ein offener Schalter erzeugt H-Pegel am B-Eingang, ein geschlossener L-Pegel.
- $\overline{\text{MEMR}}$ oder $\overline{\text{MEMW}}$ aktiv ist, d.h., L-Pegel führt. Der IN-Eingang erhält dann H-Pegel.

Da die Bitkombination der Adreßleitungen A13 - A15, die zur Auswahl der Baugruppe führt, von der Stellung der Schalter abhängt, bestimmt man mit diesen Schaltern auch den Adreßbereich des 8-K-Speichers. Die niedrigste Adresse eines jeden Bereiches ist seine Basis-Adresse. Bild 11 zeigt eine Tabelle, in die alle möglichen Schalterstellungen und die zugehörigen Adreßbereiche eingetragen sind.

Schalterwertigkeit	8 SA15	4 SA14	2 SA13	Hex Zahl	Adreßbereich (H) von bis
Schalter offen \triangle H Schalter zu \triangle L	L	L	L	0	0000 - 1FFF
	L	L	H	2	2000 - 3FFF
	L	H	L	4	4000 - 5FFF
	L	H	H	6	6000 - 7FFF
	H	L	L	8	8000 - 9FFF
	H	L	H	A	A000 - BFFF
	H	H	L	C	C000 - DFFF
	H	H	H	E	E000 - FFFF

Summe der Wertigkeiten für H-Pegel Basis-Adressen

Bild 11: Adreßbereichstabelle

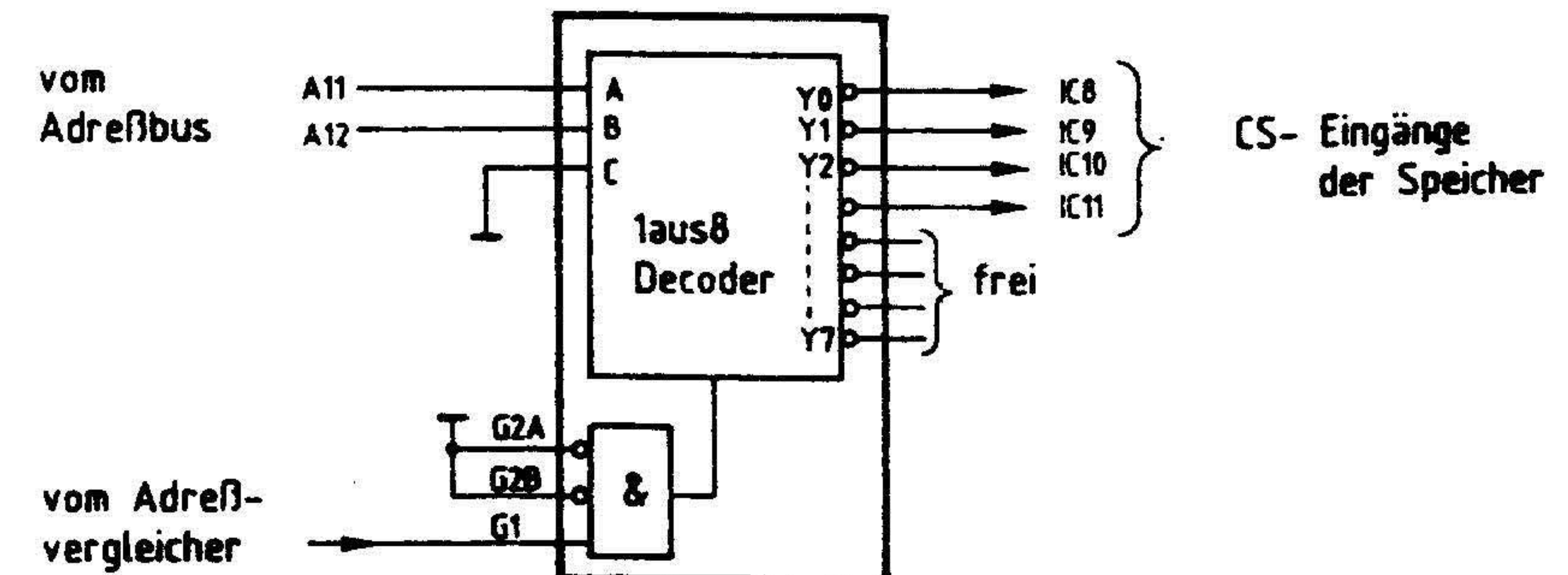
Die Basis-Adresse läßt sich leicht bestimmen, indem man die Wertigkeiten der Schalter addiert, die H-Pegel liefern, die also offen sind. An die hexadezimale Summe hängt man dann noch drei Nullen an.

Die höchste Adresse eines Adreßbereiches erhält man durch Addition von 1FFF zur Basis-Adresse.

8-K-RAM/EPROM

3.4. Bausteinauswahl (IC6)

Bild 12 zeigt den Schaltungsteil, in dem bei einer anliegenden Adresse auf dem Adreßbus einer der vier Speicherbausteine ausgewählt wird.



Funktionstabelle 74LS138(Ausschnitt)

Eingänge				Ausgänge			
G1	G2 *	C	B A	Y0	Y1	Y2	Y3
L	X	X	X X	H	H	H	H
H	L	L	L L	L	H	H	H
H	L	L	L H	H	L	H	H
H	L	L	H L	H	H	L	H
H	L	L	H H	H	H	H	L

* $G2 = G2A \wedge G2B$
 $X \triangleq H \text{ oder } L$

Bild 12: Schaltungsteil Bausteinauswahl

Da auf der Speicherbaugruppe nur vier 2-K-Speicherbausteine vorhanden sind, werden nicht alle 8 Ausgänge und entsprechend auch nicht alle drei Eingänge des IC's benutzt. Der Funktionstabelle ist zu entnehmen, daß Eingang C auf L-Potential gelegt werden muß. Die verbleibenden beiden Eingänge A und B ermöglichen eine Unterscheidung von vier verschiedenen Bitkombinationen auf den Adreßleitungen A11 und A12. Mit den entsprechenden L-Pegeln auf den Ausgängen Y0 bis Y3 wird jeweils ein 2-K-Speicherbaustein angesprochen.

Über die Steuereingänge G1, $\overline{G2A}$ und $\overline{G2B}$ kann der 1 aus 8 Decoder gesperrt werden. $\overline{G2A}$ und $\overline{G2B}$ sind auf L-Pegel gelegt und damit wirkungslos, über G1 wird der Decoder immer dann mit H-Pegel freigegeben, wenn die Baugruppe angesprochen wird.

8-K-RAM/EPROM

Mit Hilfe der vier möglichen Bitkombinationen auf den Adreßleitungen A11 und A12 läßt sich der Adreßbereich der Speicherbausteine ermitteln. In Bild 13 sind diese Adreßbereiche für alle vier Speicher zusammengestellt.

A15 8	A14 4	A13 2	A12	A11	A10 — A0	Adreßbereich	IC- Nr.
für alle 4 Bitkombinationen gleiche Pegel (8- K-Bereich)			L	L	alle L alle H	(x) 000 — (x) 7FF	IC8
			L	H	"	(x) 800 — (x) FFF	IC9
			H	L	"	(x+1) 000 — (x+1) 7FF	IC10
			H	H	"	(x+1) 800 — (x+1) FFF	IC11
diese Bitkombination wird jeweils durch die Stellung von SA13- SA15 bestimmt.			alle vier möglichen Bitkombin.		hiermit werden 2048 Speicherzeilen adressiert, niedrigste Adr: alle L, höchste Adr: alle H		

Bild 13: Tabelle zur Bestimmung des Adreßbereichs der vier 2- K- Speicherbausteine

Für den Buchstaben "X" ist jeweils die hexadezimale Summe der Schalterwertigkeiten (SA13 - SA15) für diejenigen Schalter, die H-Pegel liefern, einzusetzen. Siehe hierzu auch Bild 11.

Beispiel:

Auf einer Baugruppe sind alle Schalter offen, liefern also H-Pegel an den Adreßvergleich.

$$X = 8 + 4 + 2 = E \text{ (Hexadezimal)}$$

Baustein-Adreßbereich:

IC8	:	E000	E7FF	} 8K
IC9	:	E800	FFFF	
IC10	:	F000	F7FF	
IC11	:	F800	FFFF	
} 2K				

8-K-RAM/EPROM

3.5. RAM-EPROM-Umschaltung

Siehe hierzu Bild 7

Wenn die Baugruppe mit EPROM-Speichern bestückt wird, müssen die Lötunkte P1-P2 und P7-P8 mit Drahtbrücken auf der Baugruppe gebrückt werden (sie sind gekennzeichnet).

- Über die Verbindung P1-P2 wird L-Pegel auf die Busleitung 11a geschaltet, sobald die Baugruppe angesprochen wird. Das Signal an 11a kann dazu genutzt werden, diesen Zustand in einem MC-Modell sichtbar zu machen.
- Die Verbindung P7-P8 bringt +5 V an die EPROM-Stifte 21. Diese Spannung fordert der EPROM-Hersteller an diesem Anschluß, ein H-Pegel genügt nicht. Es ist darauf zu achten, daß die Brücke P5-P6 auf keinen Fall bei EPROM-Betrieb eingebaut sein darf, weil sonst bei einem Schreibsignal ($\overline{\text{MEMW}}$) über P7-P8 und IC4.3 ein Kurzschluß geschaltet wird.

Wenn die Baugruppe mit RAM-Speichern bestückt wird, sind die Lötunkte P3-P4 und P5-P6 zu brücken.

- Die Verbindung P3-P4 schaltet L-Pegel auf die Busleitung 12a, sobald die Baugruppe angewählt wird. Mit diesem Pegel kann der Zustand "Baugruppe RAM angewählt" in einem MC-Modell angezeigt werden.
- Die Verbindung P5-P6 führt das Steuersignal $\overline{\text{MEMW}}$ (Speicher einschreiben) auf die IC's 1.1 und 4.2. Mit einem L-Pegel an diesem Steuersignal wird über IC4.2 und IC4.3 der Schreibvorgang in den RAM-Speichern ausgelöst.

3.6. Blockaufbau eines RAM-Bausteins (IC8-IC11)

Bild 14 zeigt den Blockaufbau des RAM's 6116P-3 (auch 8725). Bei diesem RAM handelt es sich um ein 2-K-Byte-RAM.

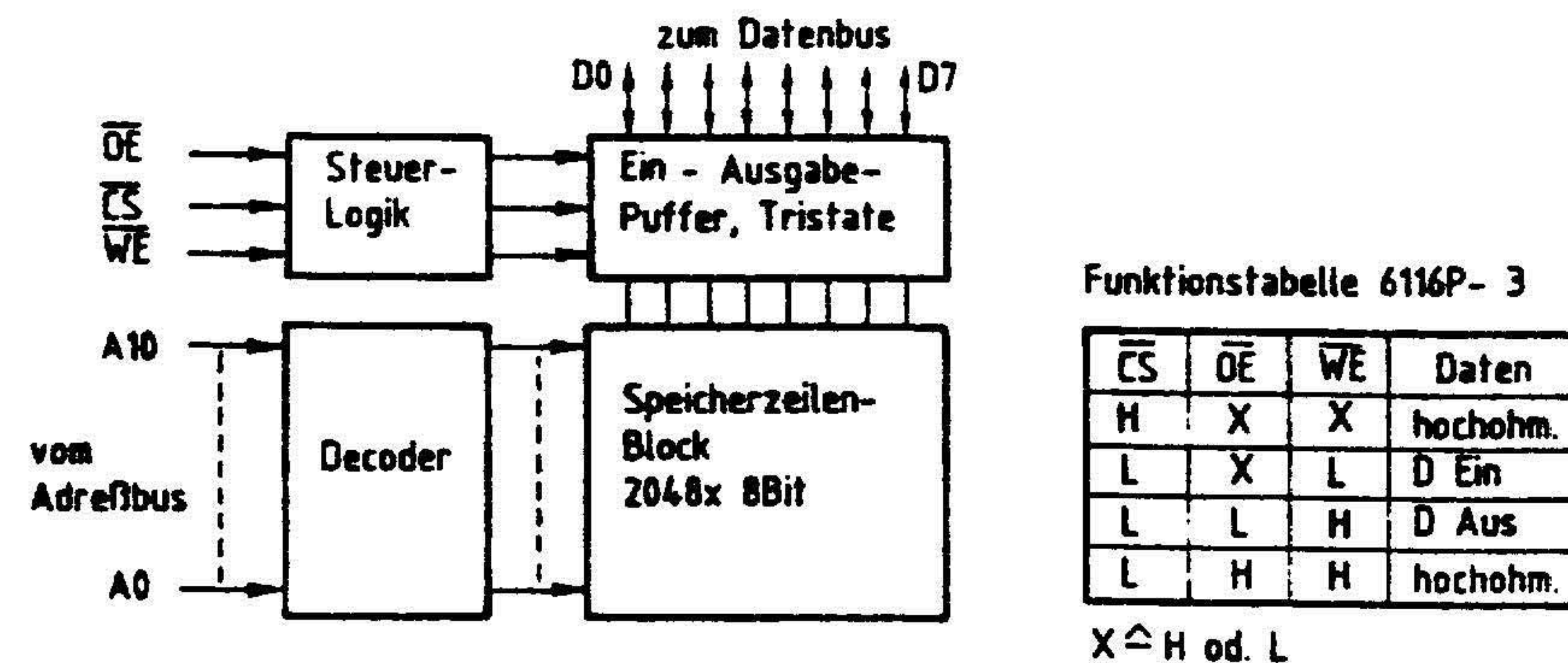


Bild 14: Blockaufbau und Funktionstabelle RAM 6116P-3

Da der Steuereingang \overline{OE} (Ausgangs-Freigabe) auf L-Potential liegt, erfolgt die Steuerung des Datenverkehrs vom und zum Speicher nur über die Steuerleitungen \overline{CS} (Baustein angewählt) und \overline{WE} (Schreib-Freigabe).

Wenn die Baugruppe nicht angewählt ist, führt \overline{CS} H-Pegel und die Ein/Ausgabe-Puffer im RAM sind hochohmig. Bei angewählter Baugruppe und angesprochenem RAM führt der \overline{CS} -Eingang L-Pegel. Der Datenverkehr hängt nun vom Pegel auf der \overline{WE} -Leitung ab. Mit einem L-Pegel auf diesem Eingang werden Daten in den Speicher geschrieben, mit einem H-Pegel gelangen Daten aus dem Speicher auf den Datenbus.

Der Decoder im RAM erzeugt aus der Bitkombination der Adreßleitungen A0 bis A10 ein Signal zur Freigabe der adressierten Speicherzeilen innerhalb des Speicherzeilen-Blocks.

3.7. Blockaufbau des EPROM-Bausteins (IC8-IC11)

Bild 15 zeigt den Blockaufbau des EPROM's 2716. Dieses EPROM ist ein 2-K-Byte-EPROM, es ist anschlußkompatibel zum o.g. RAM 6116P-3 bis auf den Steueranschluß \overline{WE} .

Da ein EPROM nicht beschrieben werden muß, fehlt dieser Steuereingang. Der Anschlußstift muß im Betrieb auf +5 V gelegt werden. Will man das EPROM programmieren, dient dieser Anschluß als Eingang für eine Programmiervspannung. Die Steuerung des Datenverkehrs kann der Funktionstabelle aus Bild 15 entnommen werden.

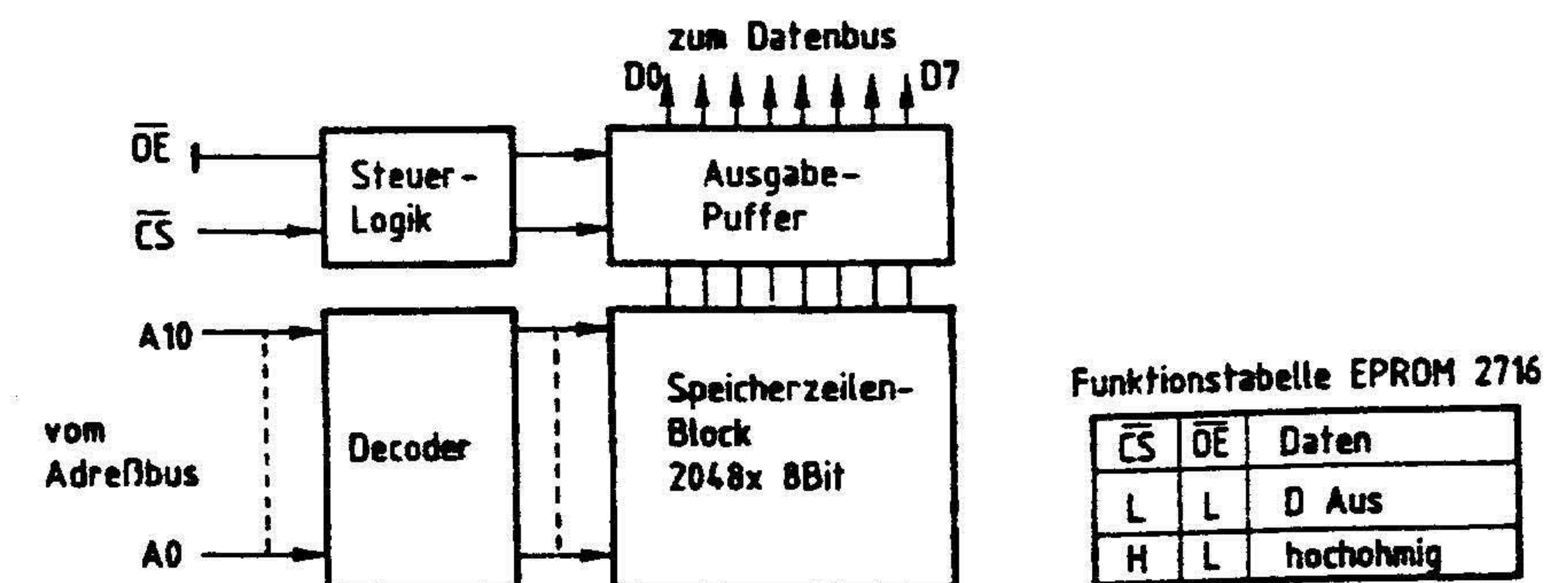
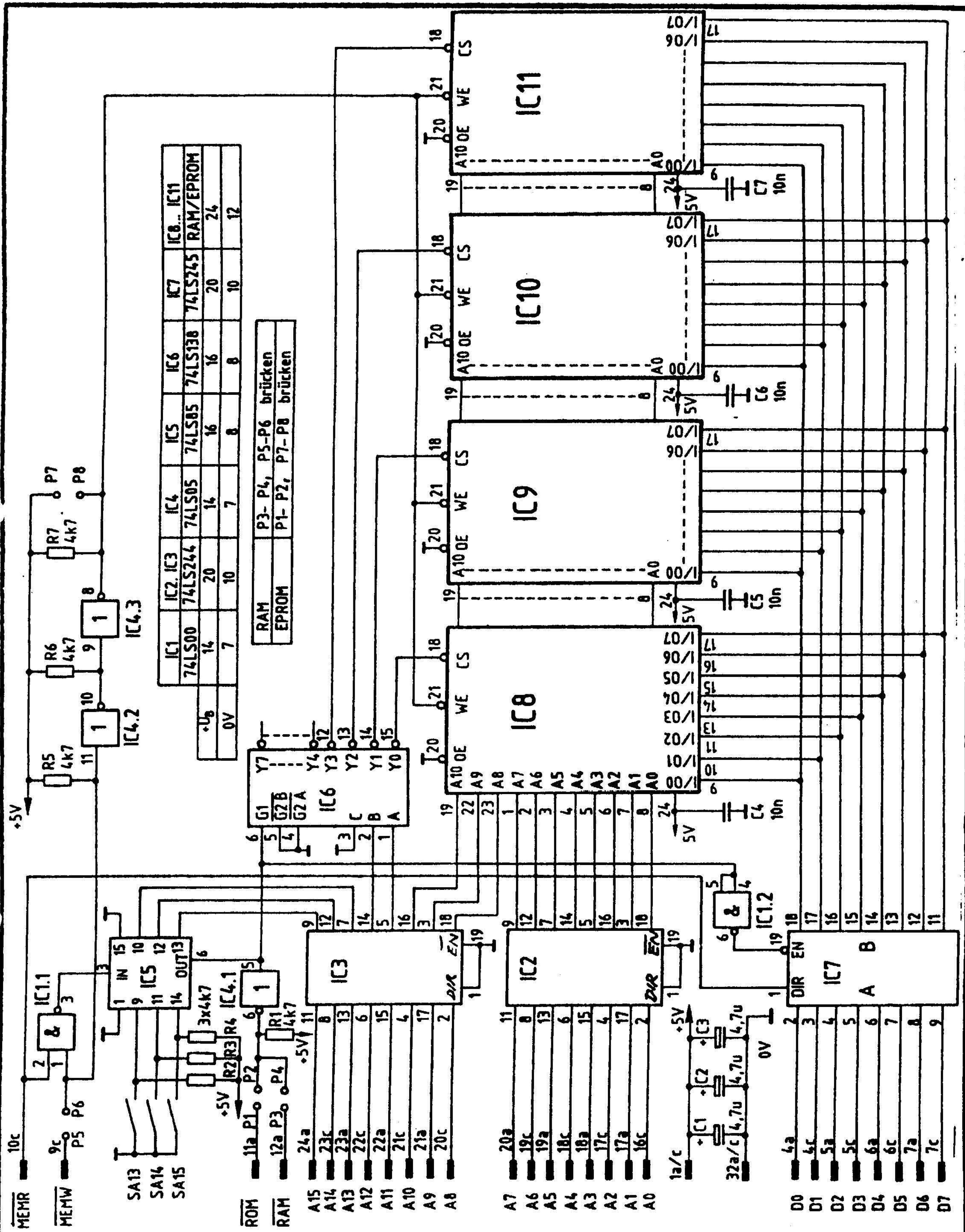


Bild 15: Blockaufbau und Funktionstabelle EPROM 2716



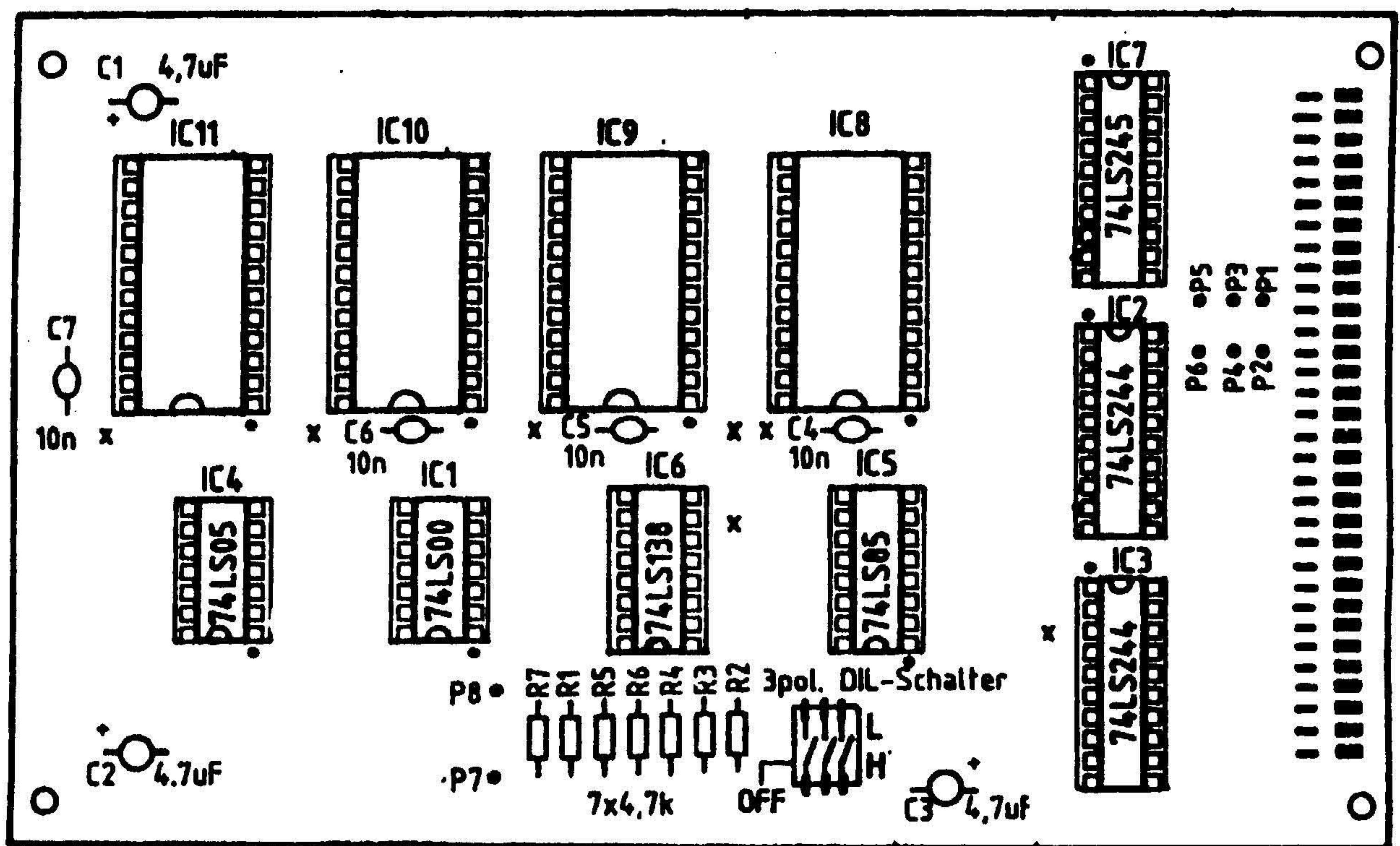
8-K-RAM/EPROM

Stromlaufplan

Bfz

MFA

18



Arbeitsmittel

8-K-RAM/EPROM

Bestückungsplan Leiterplatte

19

Welchen Pegel muß das "IN-Signal" des Adreßvergleichers (IC5) haben, damit die Freigabe der "Bausteinauswahl" erfolgen kann; welchen Pegel hat dann dieses Freigabesignal (OUT) ?
Tragen Sie die Pegel in die folgende Tabelle ein und überprüfen Sie Ihre Überlegungen durch entsprechende Messungen.

Basis-Adresse	Pegel der Adreß-Leitungen			$\overline{\text{MEMR}}$ oder $\overline{\text{MEMW}}$ damit "IN" richtig für Freigabe	"OUT" für Freigabe der Bausteinauswahl
	A15	A14	A13		
0000					
2000					
4000					
6000					
8000					
A000					
C000					
E000					

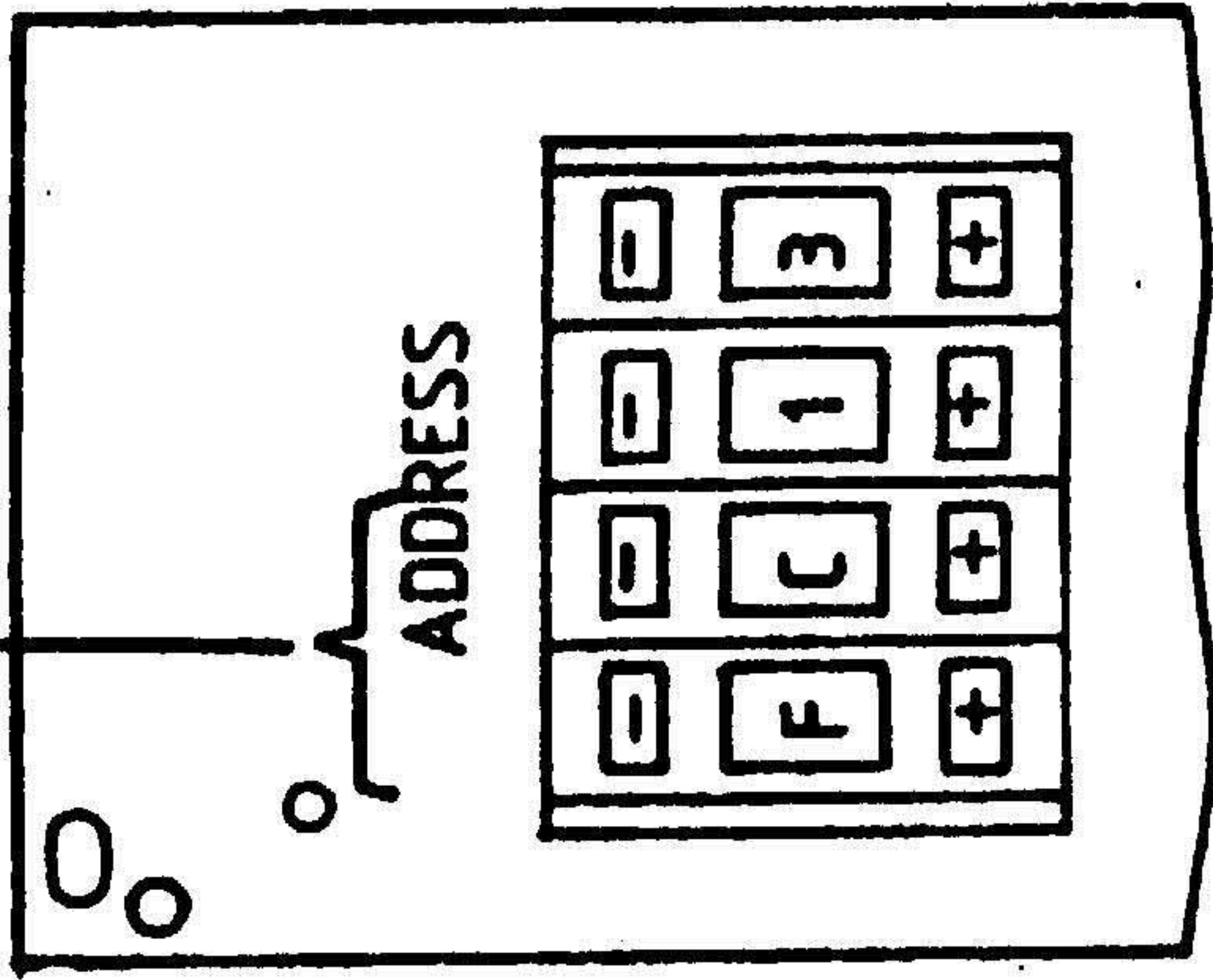
HEX	HEX	A15	A14	A13	A12	A11	A10	A9	A8	MEMR oder MEMW	IC8 \overline{CS}	IC9 \overline{CS}	IC10 \overline{CS}	IC11 \overline{CS}
		L	L	L	L	L	L	L	L					
		L	L	L	L	H	L	L	L					
		L	L	L	H	L	L	L	L					
		L	L	L	H	H	L	L	L					

Wichtig für
Basisadresse

Wichtig für
Baustein-
auswahl

Sind willkürlich
zu L gewählt

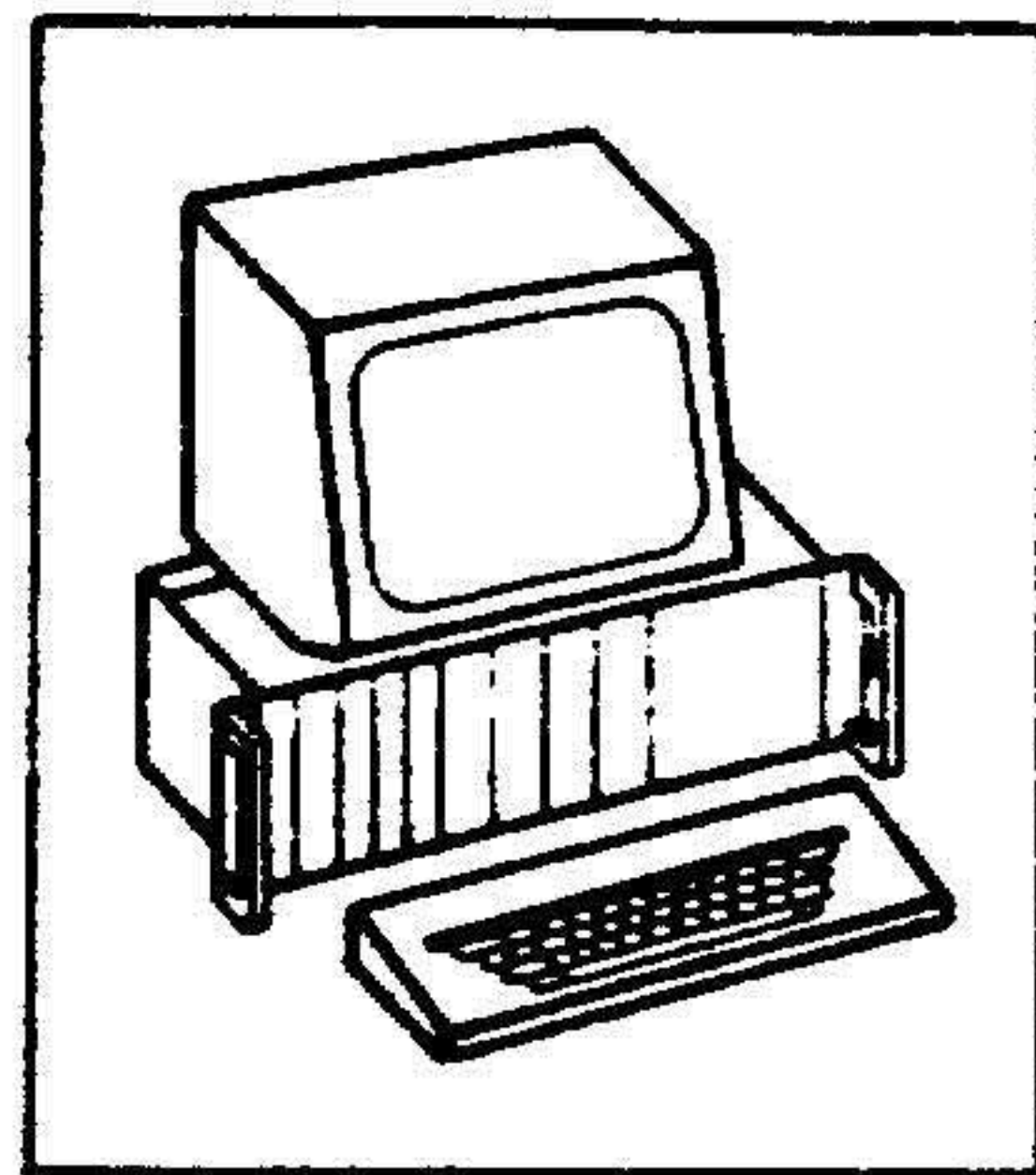
Prüfen der Bausteinauswahl



Die Prüfung wird bei der Basisadresse 0000 durchgeführt. Die möglichen Pegelkombinationen der Adreßleitungen A11 und A12 werden mit dem Bus-Signalgeber erzeugt. Die Pegel der Bausteinauswahl-Leitungen (\overline{CS}) werden an den betreffenden Speicherbausteinen überprüft.

Welche Pegel müssen jeweils an den \overline{CS} -Eingängen der Speicher-Bausteine vorhanden sein, wenn der Bus-Signalgeber die in der Tabelle angegebenen Adreßpegel A11...A15 liefert. Tragen Sie die Pegelwerte in die folgende Tabelle ein und überprüfen Sie Ihre Überlegungen durch entsprechende Messungen.

FACHPRAKTISCHE ÜBUNG MIKROCOMPUTER-TECHNIK



Baugruppenträger mit Busverdrahtung

BFZ/MFA 0.1.

Funktionsbeschreibung

BFZ / MFA 0.1. - 1

Baugruppenträger mit Busverdrahtung

1. Grundsätzlicher Aufbau eines Bus-Systems

In Mikrocomputer-Systemen ist es üblich, alle Baugruppen untereinander über einen sogenannten Bus zu verbinden. Ein solcher Bus besteht aus einer mehr oder weniger großen Anzahl durchgehender Leitungen, die zu jeder Baugruppe (Prozessor, Speicher, Ein-Ausgabe-Geräte) und dort jeweils an die gleichen Anschlußstifte geführt sind.

Bild 1 zeigt das Prinzip eines Busses mit fünf Leitungen.

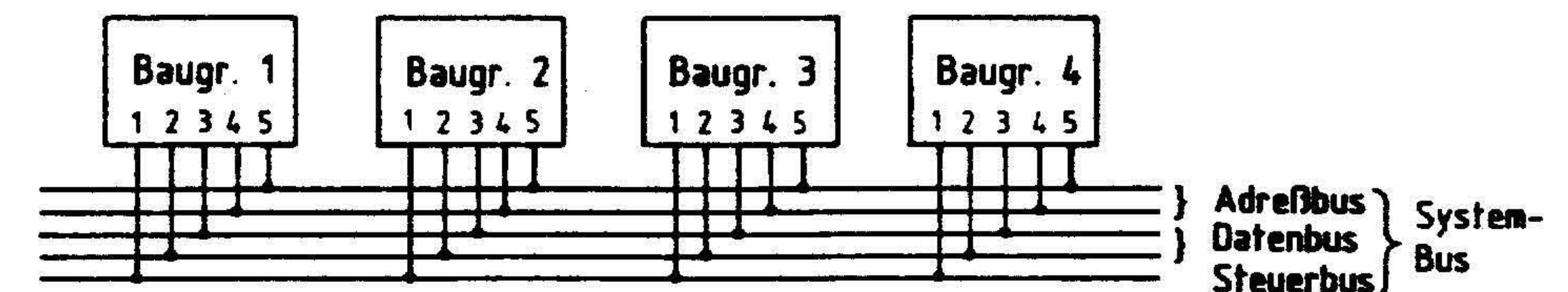


Bild 1: Beispiel für einen Bus mit fünf Leitungen

Über diese Bus-Leitungen werden neben der Spannungsversorgung für alle Baugruppen Adreßsignale, Datensignale und Steuersignale übertragen. Oft unterscheidet man daher noch zwischen Adreßbus, Datenbus und Steuerbus. Alle Leitungen zusammen bezeichnet man als System-Bus. Eine übliche, vereinfachte Darstellung des Beispiels für einen Bus von Bild 1 ist in Bild 2 gezeigt.

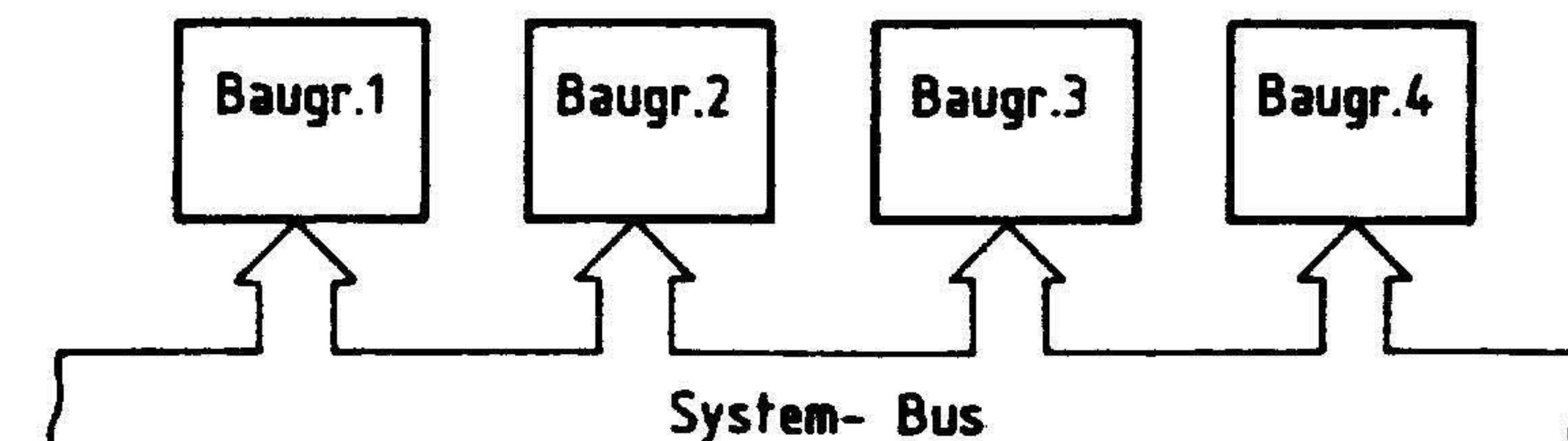


Bild 2: Vereinfachte Bus- Darstellung

Der Vorteil eines Bus-Systems liegt darin, daß keinerlei Verdrahtungsarbeiten mehr nötig sind, wenn z.B. neue Baugruppen zur Erweiterung des Mikrocomputers eingesetzt werden müssen. Außerdem spielt es keine Rolle, an welchen Steckplatz innerhalb des Baugruppenträgers die einzelnen Baugruppen gesteckt werden.



Diese Übung ist Bestandteil eines Mediensystems, das im Rahmen eines vom Bundesminister für Bildung und Wissenschaft, vom Bundesminister für Forschung und Technologie sowie der Bundesanstalt für Arbeit geförderten Modellversuches zum Einsatz der "Mikrocomputer-Technik in der Facharbeiterausbildung" vom BFZ-Essen e.V. entwickelt wurde.

2. Aufbau des "Baugruppenträgers mit Busverdrahtung"

Dieser Baugruppenträger besteht aus einem 19"-Einschubrahmen, einer auf seiner Verdrahtungsseite eingebauten Bus-Platine mit 11 Leiterplatten-Steckplätzen und zwei weiteren Steckplätzen für die Spannungsversorgung des MC-Baugruppen-Systems und deren Verdrahtung.

Die Bus-Platine enthält 64 durchgehende Leitungen. Für die Spannungsversorgung sind die Leitungen 1a bzw. 1c (5 V), 32a bzw. 32c (0 V), 31a (12 V) und 31c (-12 V) vorgesehen. Die Verbindungen von 1a nach 1c und von 32a nach 32c müssen auf der Bus-Platine durch zwei Drahtbrücken hergestellt werden (läßt man sie entfallen, kann diese Platine auch anderweitig als 64-poliger Bus verwendet werden). Die äußeren Bus-Leitungen (1a, 32c) sind breiter ausgeführt, weil sie als Versorgungsleitungen dienen.

Bild 3 zeigt die Schaltung des "Baugruppenträgers mit Busverdrahtung".

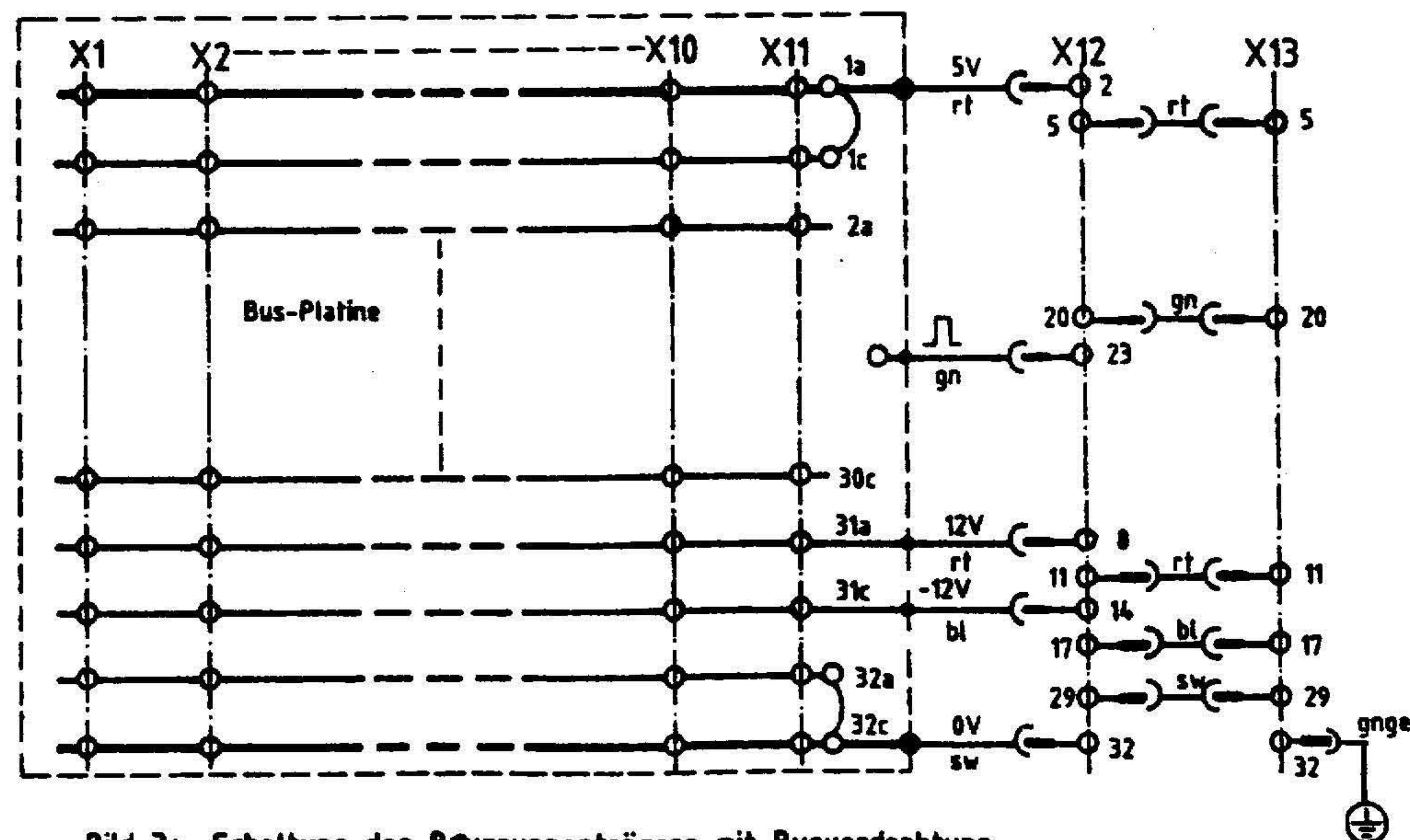
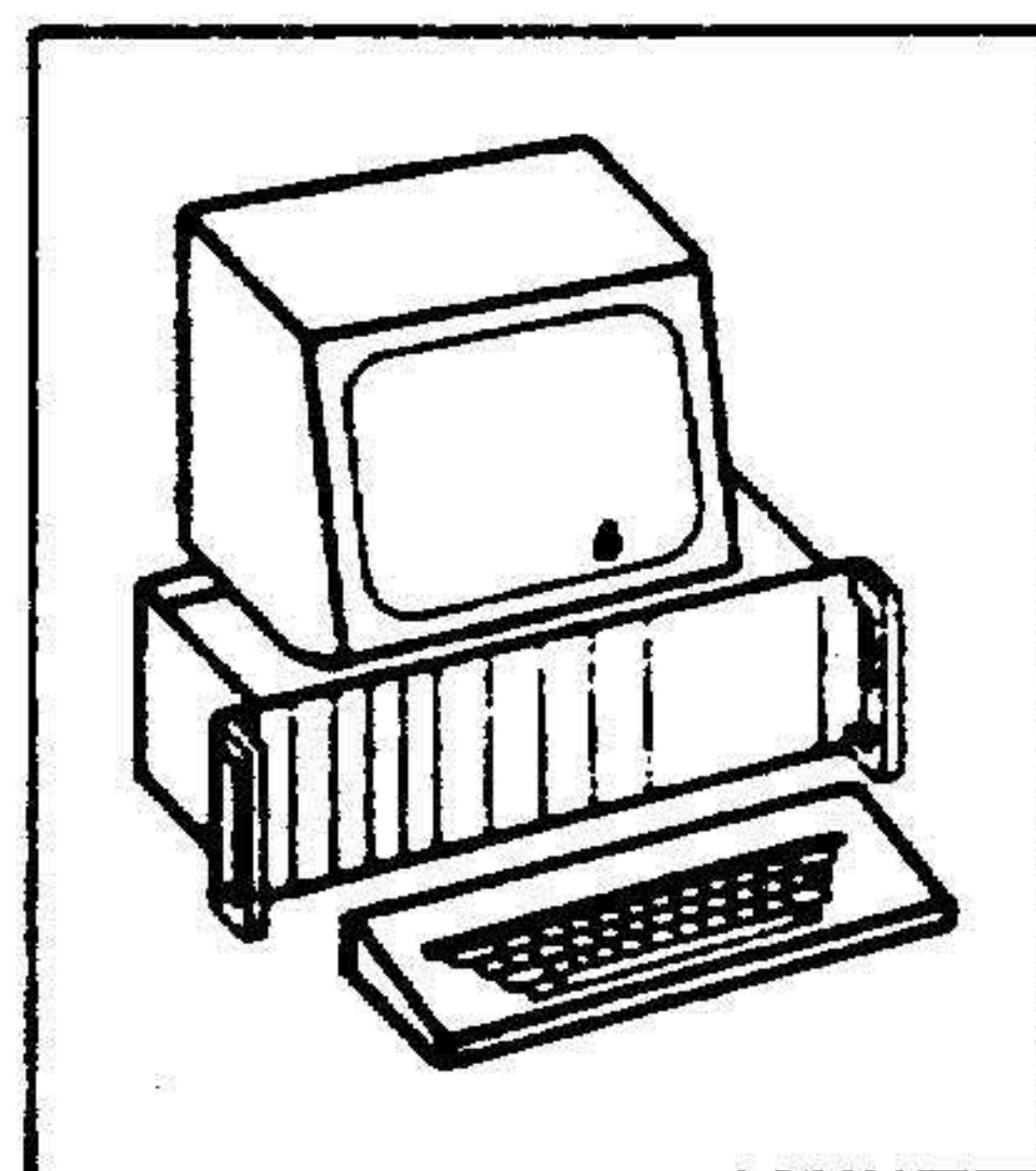


Bild 3: Schaltung des Baugruppenträgers mit Busverdrahtung

Die 11 Steckplätze X1 bis X11 auf der Bus-Platine haben einen einheitlichen Abstand von 5 TE (Teileinheiten, 1 TE = 5,08 mm) und bieten damit 11 Baugruppen gleicher Breite Platz. Der Steckplatz X12 ist für die Baugruppe "Spannungsregelung (BFZ / MFA 1.2.)" und der Steckplatz X13 für den "Trafo-Einschub (BFZ / MFA 1.1.)" vorgesehen.

Die mit dem Rechteckimpuls gekennzeichnete Leitung führt vom Netzgerät aus schmale Rechteckimpulse im Abstand von 10 ms (100 Hz) auf die Bus-Platine. Von einem Lötstützpunkt aus können diese Impulse auf jede Busleitung verdrahtet werden. Diese Maßnahme ist für spätere Anwendungen gedacht.

FACHPRAKTISCHE ÜBUNG MIKROCOMPUTER-TECHNIK



Bus-Abschluß

BFZ/MFA 0.2.



Diese Übung ist Bestandteil eines Mediensystems, das im Rahmen eines vom Bundesminister für Bildung und Wissenschaft, vom Bundesminister für Forschung und Technologie sowie der Bundesanstalt für Arbeit geförderten Modellversuches zum Einsatz der "Mikrocomputer-Technik in der Facharbeiterausbildung" vom BFZ-Essen e.V. entwickelt wurde.

Funktionsbeschreibung

BFZ / MFA 0.2. - 1

Bus-Abschluß

1. Grundsätzlicher Aufbau eines Bus-Systems

In Mikrocomputer-Systemen ist es üblich, alle Baugruppen untereinander über einen sogenannten Bus zu verbinden. Ein solcher Bus besteht aus einer mehr oder weniger großen Anzahl durchgehender Leitungen, die zu jeder Baugruppe (Prozessor, Speicher, Ein-Ausgabe-Geräte) und dort jeweils an die gleichen Anschlußstifte geführt sind. Bild 1 zeigt das Prinzip eines Busses mit fünf Leitungen.

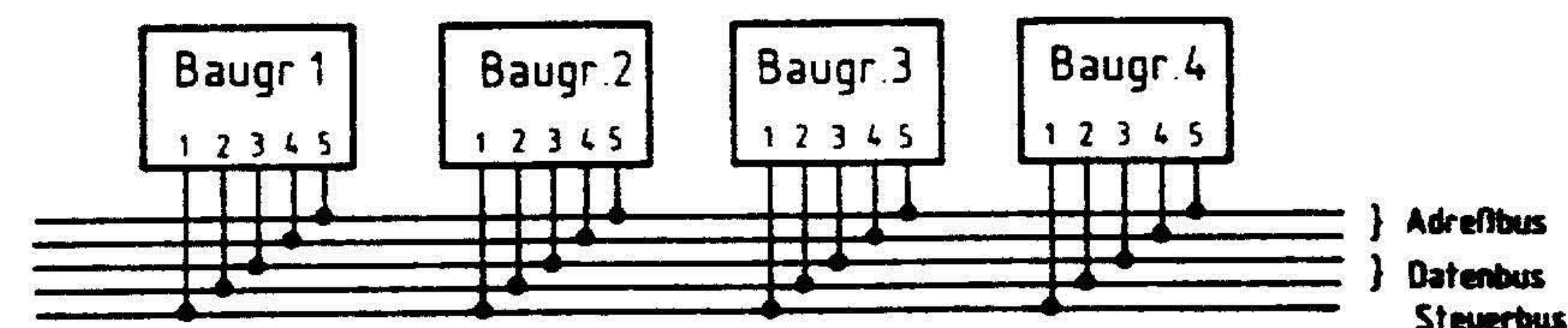


Bild 1: Beispiel für einen Bus mit fünf Leitungen

Über diese Bus-Leitungen werden neben der Spannungsversorgung für alle Baugruppen Adreßsignale, Datensignale und Steuersignale übertragen. Oft unterscheidet man daher noch zwischen Adreßbus, Datenbus und Steuerbus. Alle Leitungen zusammen bezeichnet man als System-Bus.

2. Bus-Abschluß

Bild 2 zeigt den Stromlaufplan des Bus-Abschlusses, der im "Mikrocomputer-Baugruppensystem" verwendet wird.

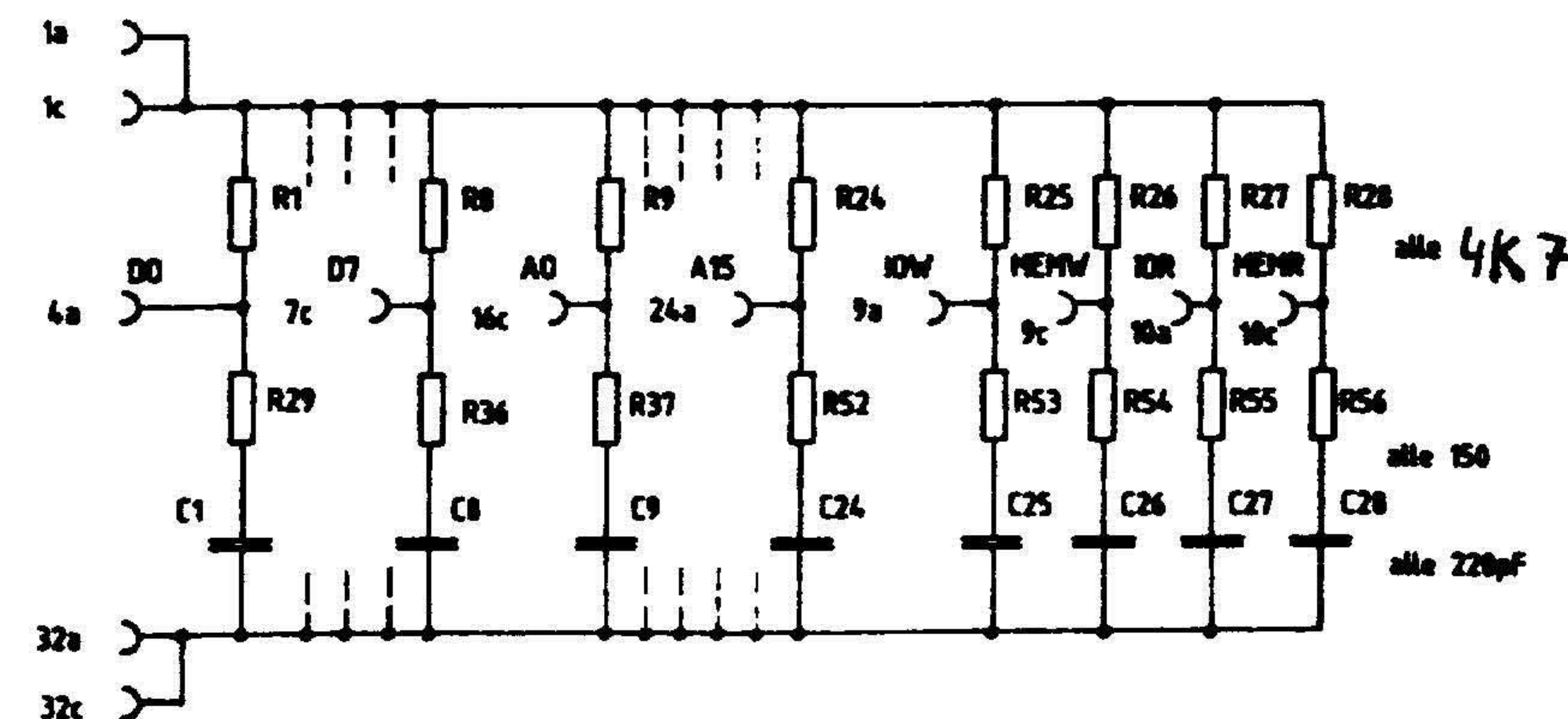


Bild 2: Stromlaufplan Bus- Abschluß

Bus-Abschluß

Dieser Bus-Abschluß ist so konstruiert, daß er mit einem Stecker auf die eigentliche Bus-Leiterplatte, die sich in einem 19"-Einschubrahmen befindet, aufgesteckt werden kann.

Über die Anschlüsse 1ac bzw. 32ac erhält der Bus-Abschluß dann die Versorgungsspannung von 5 V und über die in Bild 2 dargestellten mittleren Anschlüsse wird er mit den Daten-, Adreß- und Steuerleitungen verbunden. Für jede dieser Leitungen ergibt sich dann bei aufgestecktem Bus-Abschluß die in Bild 3 dargestellte Schaltung.

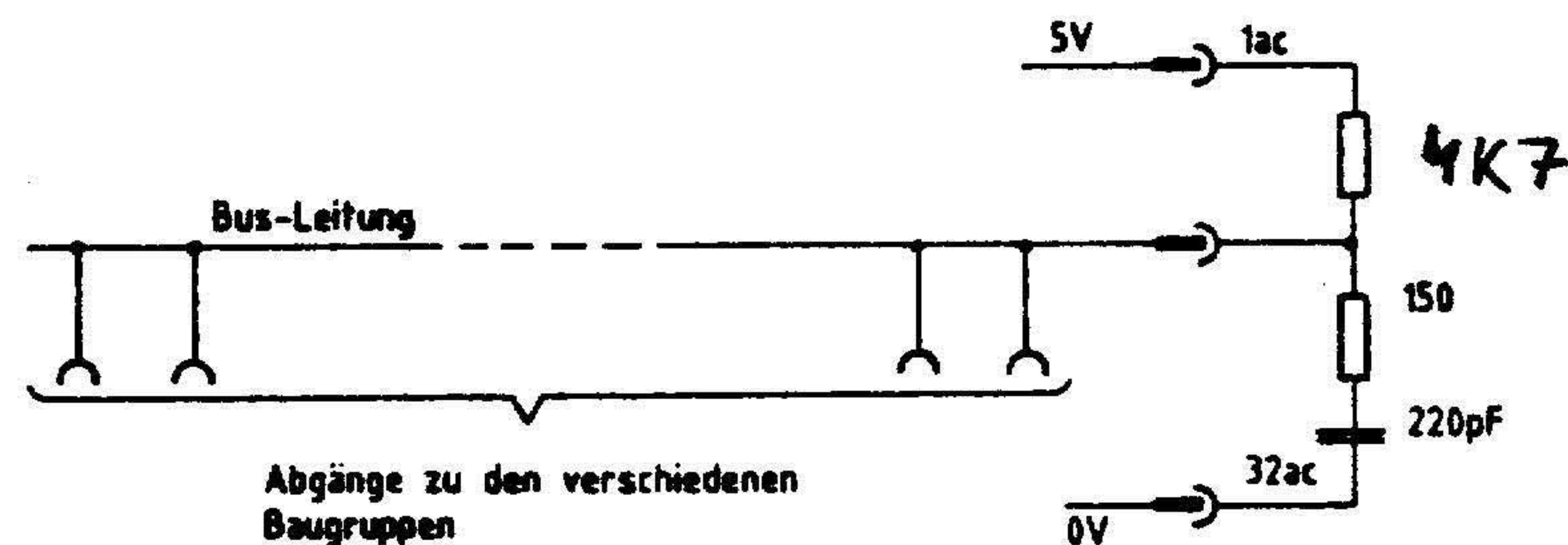


Bild 3: Verbindung des Busses mit dem Bus-Abschluß am Beispiel einer Bus-Leitung

2.1. Die Wirkung der 10 k Ω -Widerstände

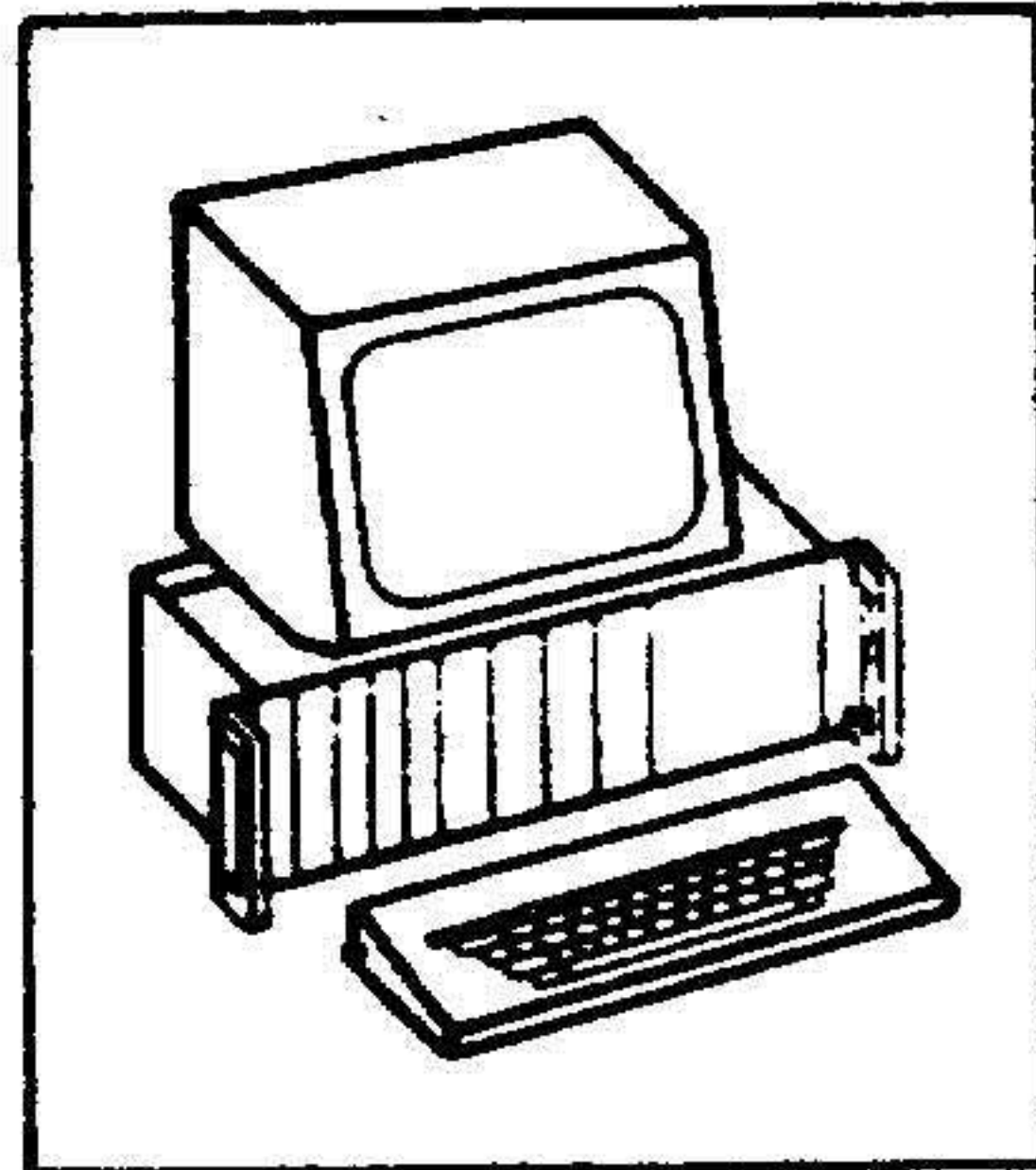
Die 10 k Ω -Widerstände sorgen dafür, daß alle Bus-Leitungen (Adreß-, Daten- und Steuerbus) ein definiertes Potential von 5 V führen, und zwar dann, wenn die Baugruppen an den Abgängen des Busses (siehe Bild 3) von den Bus-Leitungen abgetrennt sind (Tri-State-Zustand hochohmig).

Bus-Abschluß

2.2. Die Wirkung der Widerstands-Kondensator-Reihenschaltung (150 Ω - 220 pF)

Jedes elektrische Signal benötigt zum Durchlaufen einer Leitung oder einer geätzten Leiterbahn eine bestimmte Zeit, die Laufzeit. Solche Laufzeiten machen sich immer dann störend bemerkbar, wenn schnelle Signalwechsel stattfinden. Besonders in der Mikrocomputer-Technik kommen aber - bedingt durch die Arbeitsweise des Computers - schnelle Signalwechsel sehr häufig vor. Als Folge solcher Störungen können Spannungsüberhöhungen auf der Leitung auftreten, die im Wesentlichen von den konstruktiven Abmessungen der Leitung (Induktivität, Kapazität) - sie werden durch den Wellenwiderstand der Leitung erfaßt - und vom Lastwiderstand am Ende der Leitung abhängen. Belastet man das Leitungsende mit einem Widerstand, der an die Eigenschaften der Leitung angepaßt ist, so treten keine Spannungsüberhöhungen auf. Der Belastungswiderstand muß dazu den Ohmwert des Wellenwiderstandes der Leitung besitzen oder in seiner Nähe liegen. Damit in diesem Widerstand nicht dauernd Leistung verbraucht wird, sondern nur bei schnellen Signalwechseln (Schaltflanken), wird er mit einem Kondensator in Reihe geschaltet. Wenn sich die Signalspannung nicht ändert, ist der Widerstand von der Leitung abgeschaltet.

FACHPRAKTISCHE ÜBUNG MIKROCOMPUTER-TECHNIK



Bus-Signalanzeige

BFZ/MFA 5.2.



Diese Übung ist Bestandteil eines Mediensystems, das im Rahmen eines vom Bundesminister für Bildung und Wissenschaft, vom Bundesminister für Forschung und Technologie sowie der Bundesanstalt für Arbeit geförderten Modellversuches zum Einsatz der "Mikrocomputer-Technik in der Sachbearbeiterausbildung" vom BFZ-Essen e.V. entwickelt wurde.

1. Einführung

Die Baugruppe "Bus-Signalanzeige" wird innerhalb des Mikrocomputer-Baugruppensystems unter anderem für Funktionsprüfungen eingesetzt. Sie dient der Anzeige der auf dem System-Bus anstehenden Adreß-, Daten- und Steuersignale, wobei die Signale der 16 Adreßleitungen als vierstellige, und die der 8 Datenleitungen als zweistellige Hexadezimalzahl angezeigt werden. Die Steuersignale werden direkt durch Leuchtdioden angezeigt.

Die "Bus-Signalanzeige" kann auch zusammen mit dem Mikroprozessor im vollständig aufgebauten System zur Fehlersuche eingesetzt werden. Aufgrund der hohen Arbeitsgeschwindigkeit des Prozessors ändern sich dann allerdings die Signale auf dem Bus so schnell, daß die Anzeige nicht mehr ablesbar ist. Eine Zusatzschaltung sorgt in diesem Fall dafür, daß die Bus-Signale für eine längere Zeit stabil sind. Der Mikroprozessor wird dazu auf die Betriebsart "Einzelschritt" umgeschaltet und führt dann nur jeweils einen Arbeitsschritt aus, wenn man eine Taste betätigt.

2. Blockschaltbild, Aufbau und Wirkungsweise

Bild 1 zeigt das Blockschaltbild der "Bus-Signalanzeige". Zunächst wird die Wirkungsweise der Baugruppe anhand dieses Blockschaltbildes erklärt, später erfolgt die Schaltungsbeschreibung der einzelnen Funktionsblöcke.

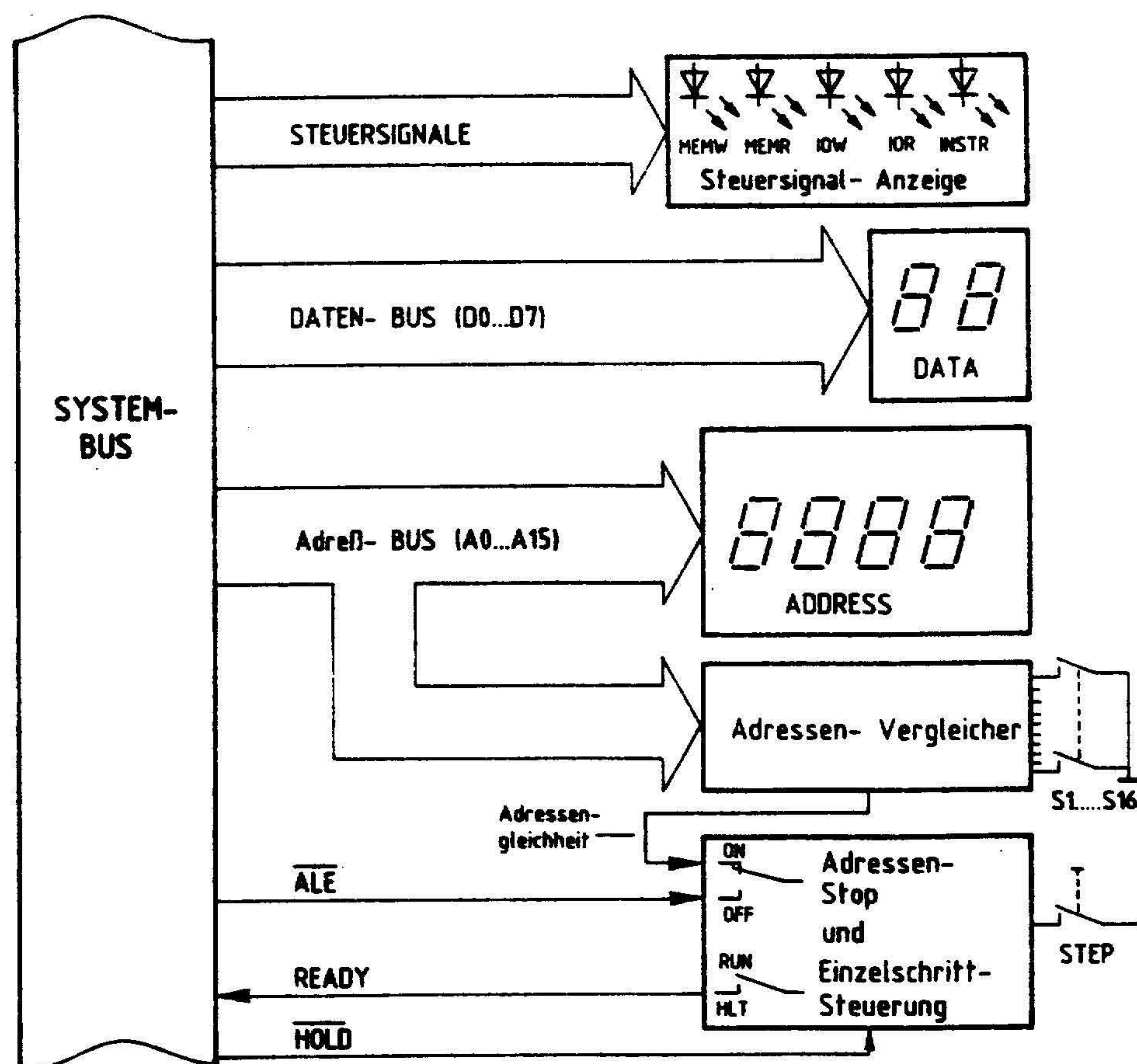


Bild 1: Blockschaltbild Bus- Signalanzeige

Sobald sich die Baugruppe am System-Bus befindet, wird die auf dem Adreßbus anstehende Adresse und der auf dem Datenbus anstehende Datenwert in hexadezimaler Form angezeigt. Jede hexadezimale Anzeige stellt die Bitkombination von vier Signalleitungen dar. Daher ist die Adreßanzeige vierstellig (16 Bit) und die Datenanzeige zweistellig (8 Bit).

Im Funktionsblock "Steuersignal-Anzeige" werden die Steuersignale

- MEMW (Schreiben in Speicherstellen)
- MEMR (Lesen von Speicherstellen)
- IOW (Schreiben in Ausgabe-Baugruppen)
- IOR (Lesen von Eingabe-Baugruppen)

und - INSTR (Befehlsholphase)

über Leuchtdioden angezeigt, und zwar immer dann, wenn sie aktiv sind, d.h. wenn sie gerade wirken.

Die Einzelschritt-Steuerung hat die Aufgabe, den Prozessor zum schrittweisen Arbeiten zu veranlassen, damit die Signale auf dem System-Bus längere Zeit unverändert bleiben. Dadurch kann man den Funktionsablauf im Mikrocomputer auch ohne Einsatz moderner Meßgeräte (z.B. Logikanalysator) verfolgen.

Um sie zu aktivieren, muß

- der Schalter "Adr. Stop ON/OFF" in Stellung OFF und
- der Schalter "RUN/HLT" in Stellung HLT stehen.

Mit dem Betätigen der "STEP-Taste" wird der Prozessor über die Leitung "READY" freigegeben und beginnt mit der Bearbeitung des aktuellen Programmschrittes. Nach Abarbeitung dieses Schrittes sendet der Prozessor über die "ALE-Leitung" einen L-Impuls an die "Einzelschritt-Steuerung". Dieser Impuls bringt die "READY-Leitung" auf L-Pegel, wodurch der Prozessor angehalten wird. Bei erneuter Betätigung der STEP-Taste wiederholt sich der Vorgang.

Über die "HOLD-Leitung" kann eine weitere Baugruppe, der Bus-Signalgeber, sofern sie sich mit am System-Bus befindet und aktiv ist, die Wirkung des "READY-Signals" aufheben und ihrerseits den Prozessor anhalten.

Manchmal ist es erforderlich, die Einzelschritt-Steuerung zu aktivieren, wenn auf dem Adreßbus eine ganz bestimmte Bitkombination (Adresse) ansteht. Dazu befindet sich auf dieser Baugruppe der Adreßvergleich, der den Signalzustand des Adreßbusses mit dem Signalzustand an allen Schaltern S1 bis S16 vergleicht. Bei Übereinstimmung wird über die Leitung "Adressengleichheit" ebenfalls ein Anhalten der CPU bewirkt.

Eine detaillierte Beschreibung der Einzelschritt-Steuerung und der Bedienung finden Sie in den FPU "CPU-8085" (BFZ/MFA 2.1.) und "Inbetriebnahme 8085-System" (BFZ/MFA 6.1.).

Bild 2 zeigt den Stromlaufplan der Baugruppe "Bus-Signalanzeige", der zu allen folgenden Schaltungserklärungen mit benutzt werden sollte.

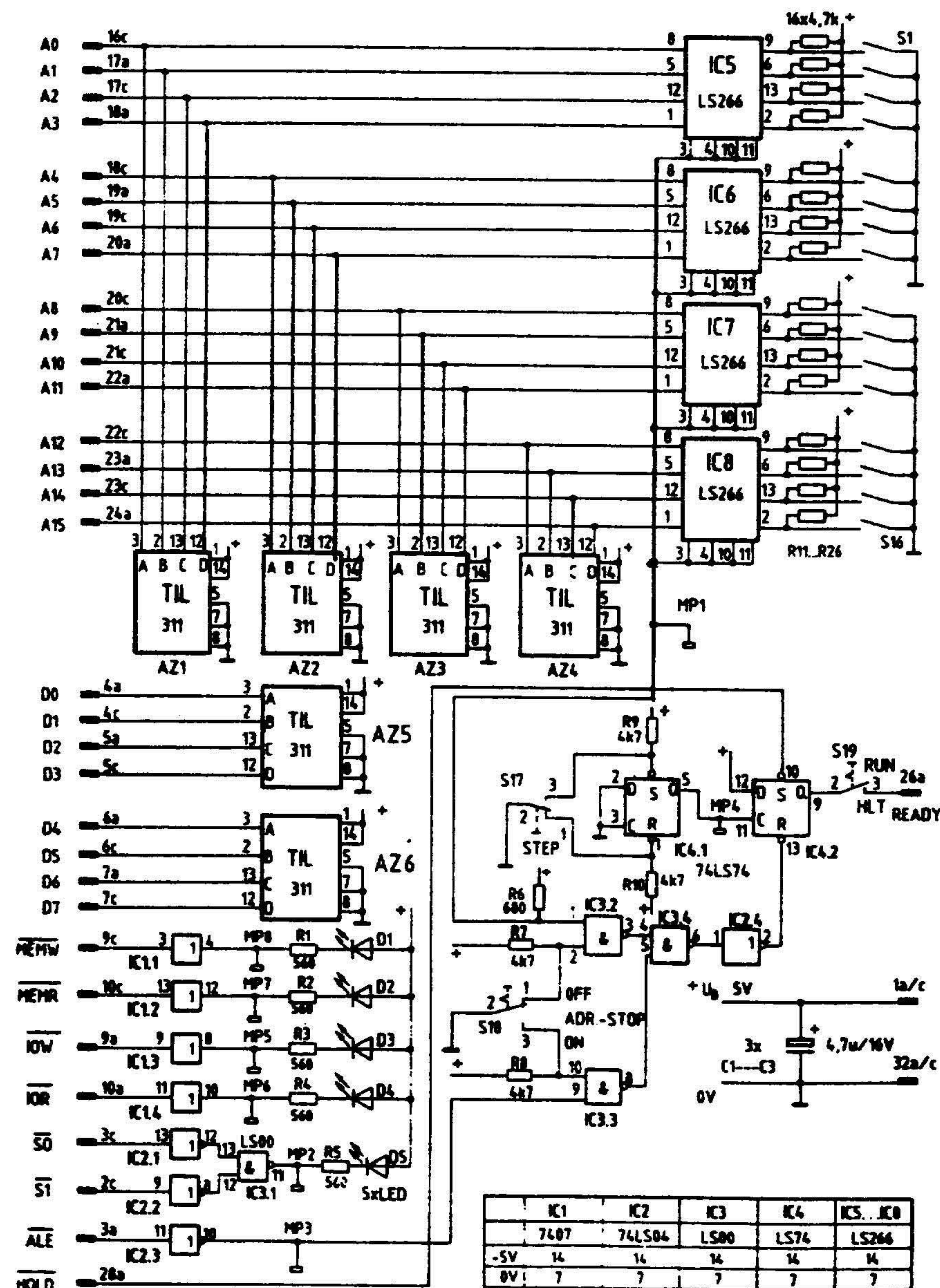


Bild 2 Stromlaufplan Bus- Signalanzeige

2.1. Daten- und Adreß-Anzeige

Die in Bild 2 dargestellten Anzeige-Bausteine AZ 1 bis AZ 4 dienen der Anzeige der Adressen-Signale und die Anzeige-Bausteine AZ 5 und AZ 6 zeigen die Daten-signale an.

Bild 3 zeigt das Blockschaltbild eines solchen Bausteins und die Pin-Belegung.

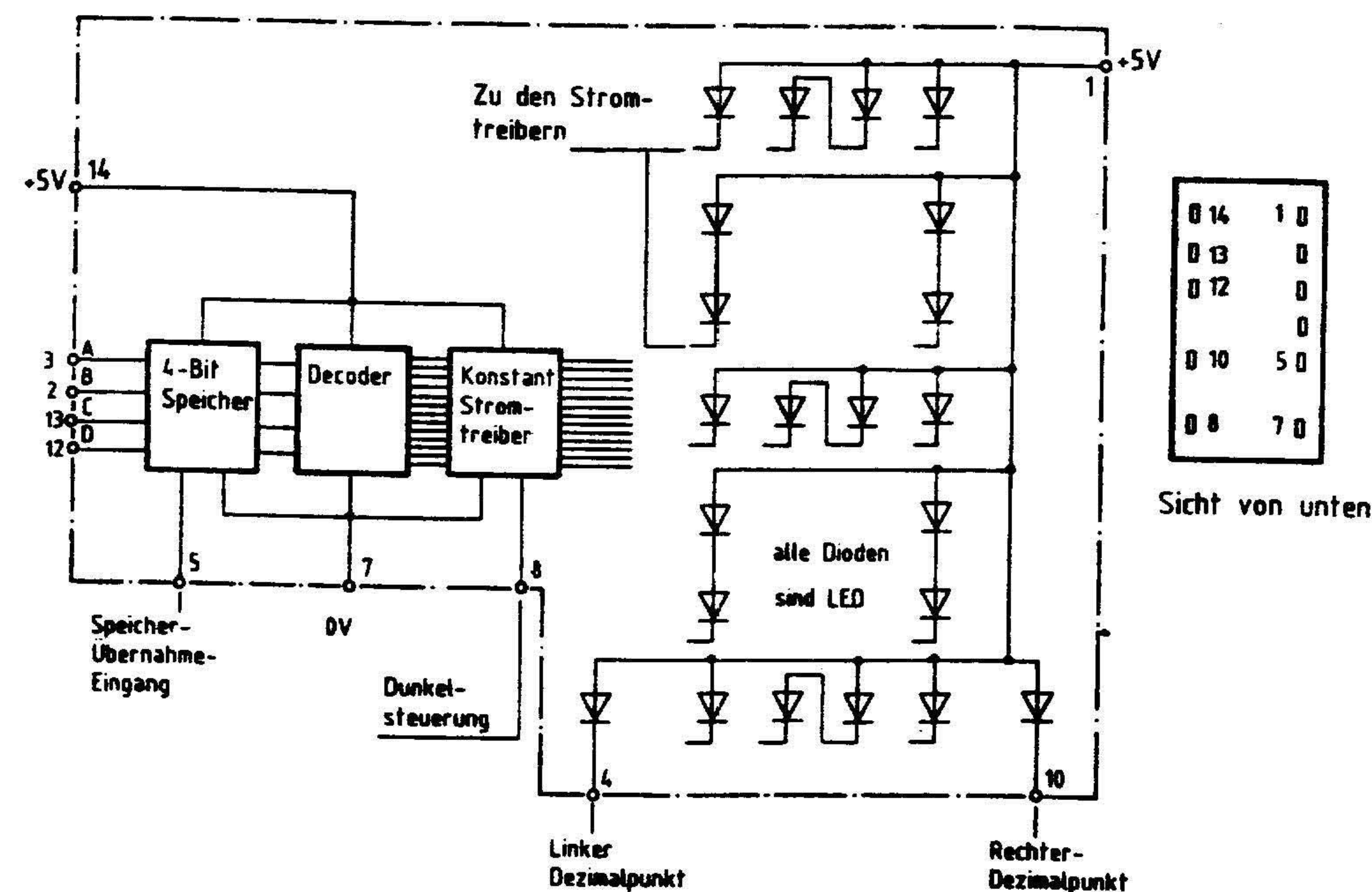


Bild 3: Blockaufbau und Pin- Belegung der Hexadezimal- Anzeige TIL 311

Bus-Signalanzeige

Die an den Daten-Eingängen A, B, C und D anliegenden Signale werden bei einem L-Pegel am Speicherübernahme-Eingang (5) in den internen 4-Bit-Speicher übernommen und im Decoder decodiert. Der Decoder steuert dann die entsprechenden Leuchtdioden an, die dem Hexadezimalwert des Binärzeichens am Eingang entsprechen. Da in der vorliegenden Anwendung die Dunkelsteuerung (8) nicht verwendet wird - die Anzeige läßt sich mit einem H-Pegel dunkel steuern - liegt dieser Eingang auf L-Pegel. Die Dezimalpunkt-Eingänge 4 und 10 werden ebenfalls nicht verwendet und bleiben deshalb unbeschaltet. Bild 4 zeigt den Zusammenhang zwischen den Eingangspegeln und der zugehörigen Anzeige im Hexadezimal-Code.

EINGÄNGE	A	L	H	L	H	L	H	L	H	L	H	L	H	L	H
	B	L	L	H	H	L	L	H	H	L	L	H	H	L	L
	C	L	L	L	L	H	H	H	H	L	L	L	L	H	H
	D	L	L	L	L	L	L	L	L	H	H	H	H	H	H
ANZEIGE	0 1 2 3 4 5 6 7 8 9 A B C D E F														

Bild 4. Anzeige der Eingangspegel als Hexadezimalzahl

2.2. Steuersignal-Anzeige

Bild 5 zeigt die Schaltung zur Anzeige der Steuersignale.

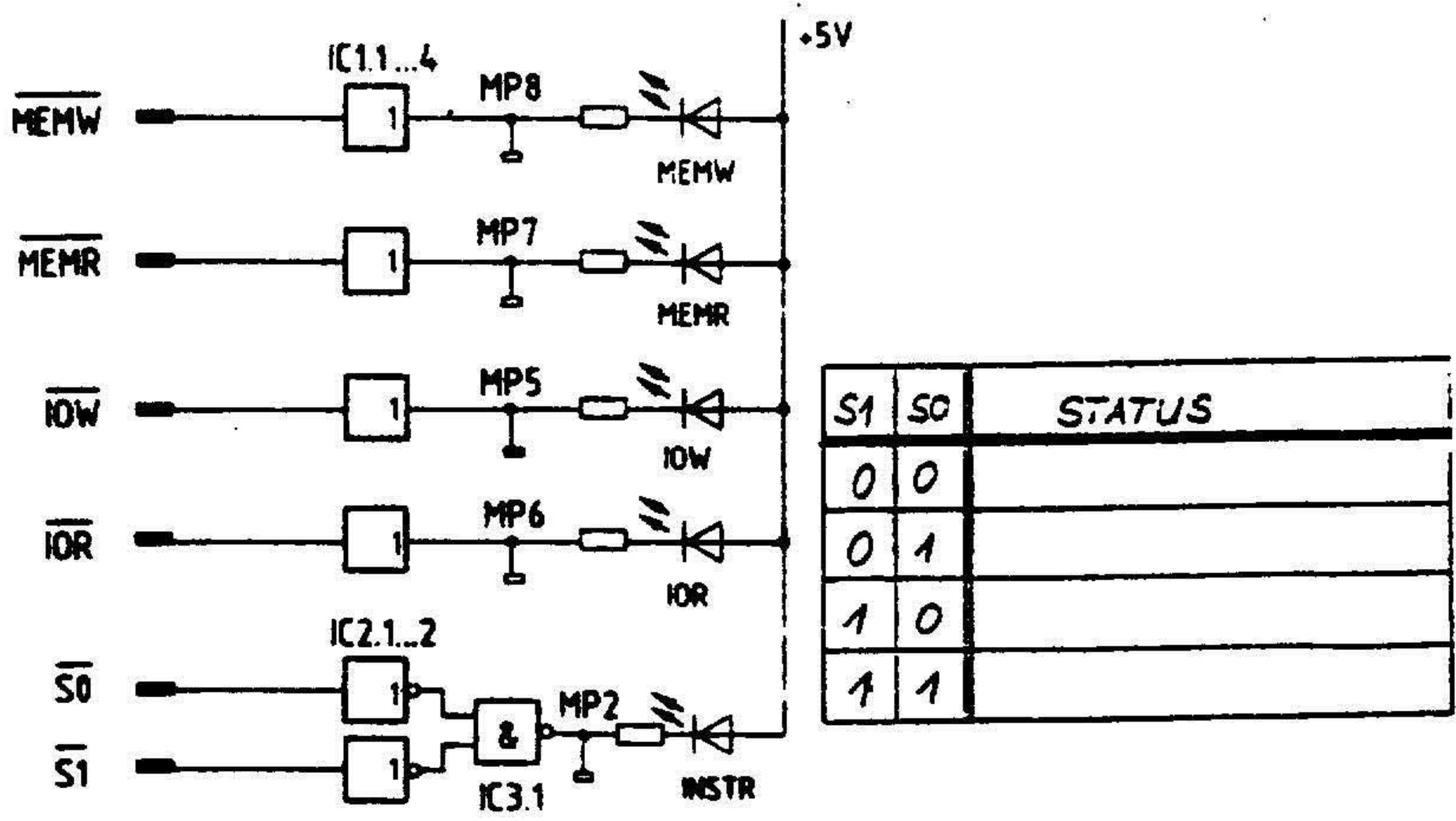


Bild 5: Anzeige der Steuersignale

Bus-Signalanzeige

Alle Steuersignale werden mit Leuchtdioden angezeigt; die vorgeschalteten IC's dienen als Treiber. Ist z.B. das Signal $\overline{\text{MEMR}}$ aktiv, führt also L-Pegel, so nimmt der Ausgang des IC's IC 1...ebenfalls L-Pegel an und die LED MEMR leuchtet. Die LED INSTR (Befehlsholphase) leuchtet nur dann, wenn die Signale der Leitungen $\overline{\text{S0}}$ und $\overline{\text{S1}}$ L-Pegel führen. Das aber ist nur der Fall, wenn sich die CPU-Baugruppe gleichzeitig mit am System-Bus befindet und der Mikroprozessor gerade einen Befehl aus dem Speicher holt.

2.3. Der Adressen-Vergleicher

Der Adressen-Vergleicher besteht aus den integrierten Schaltkreisen IC 5 bis IC 8 (siehe Bild 2). Er vergleicht die Pegel der 16 Adreßleitungen mit den Pegeln, die mit den Schaltern S1 bis S16 eingestellt werden können. Nur wenn alle übereinstimmen, Pegel A0 = S1, A1 = S2 usw., liefert der Adreßvergleich auf der Leitung "Adressengleichheit" ein H-Signal. Bild 6 zeigt für die Adressenleitungen A0 bis A3 den Stromlaufplan des Adressen-Vergleichers. Da ein IC nur vier Adressenpegel mit den entsprechenden Schalterpegeln vergleichen kann, sind vier solcher IC's erforderlich.

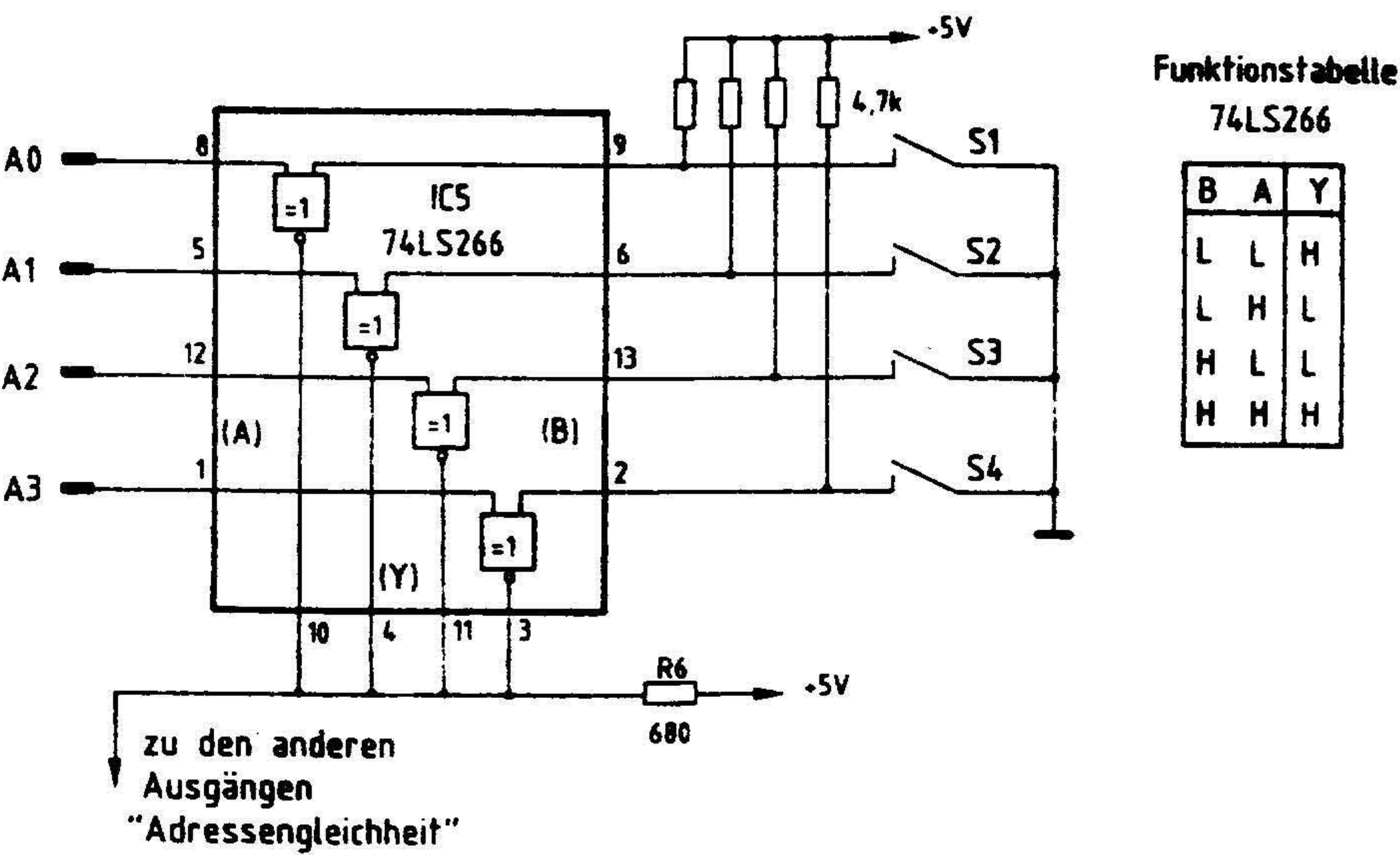


Bild 6: Adressenvergleich für 4 Adreßleitungen und Funktionstabelle 74LS266

Der integrierte Schaltkreis 74 LS 266 enthält vier "Exklusive-NOR-Gatter mit je 2 Eingängen". Jedes der vier Gatter hat einen offenen Kollektorausgang. Der Widerstand R6 ist für alle Ausgänge der gemeinsame Kollektorwiderstand. Die Leitung "Adressengleichheit" kann nur dann H-Pegel annehmen, wenn die Ausgänge aller 16 Gatter (hier nur vier dargestellt) H-Pegel führen. Laut Funktionstabelle für die Gatter müssen dazu die Pegel an den A-Eingängen, die mit den Adreßleitungen verbunden sind, gleich denen an den B-Eingängen sein, die mit den Schaltern verbunden sind. Ungleiche Pegel an den Eingängen ergeben L-Pegel am Y-Ausgang und damit auch auf der Leitung "Adressengleichheit". Offene Schalter erzeugen an den entsprechenden B-Eingängen H-Pegel, geschlossene Schalter L-Pegel. Die in Bild 6 dargestellte Schaltung nennt man auch 4-Bit-Komparator (Vergleicher). Vier solcher Schaltungen bilden dann einen 16-Bit-Komparator. Dabei müssen die Ausgänge aller 16 Gatter miteinander verbunden sein (siehe Bild 2).

2.4. Adressenstop und Einzelschritt-Steuerung

Bild 7 zeigt den Stromlaufplan für diesen Teil der Schaltung. Hier soll nur die Wirkungsweise der Schaltung erklärt werden, nicht aber das Zusammenwirken mit der CPU-Baugruppe.

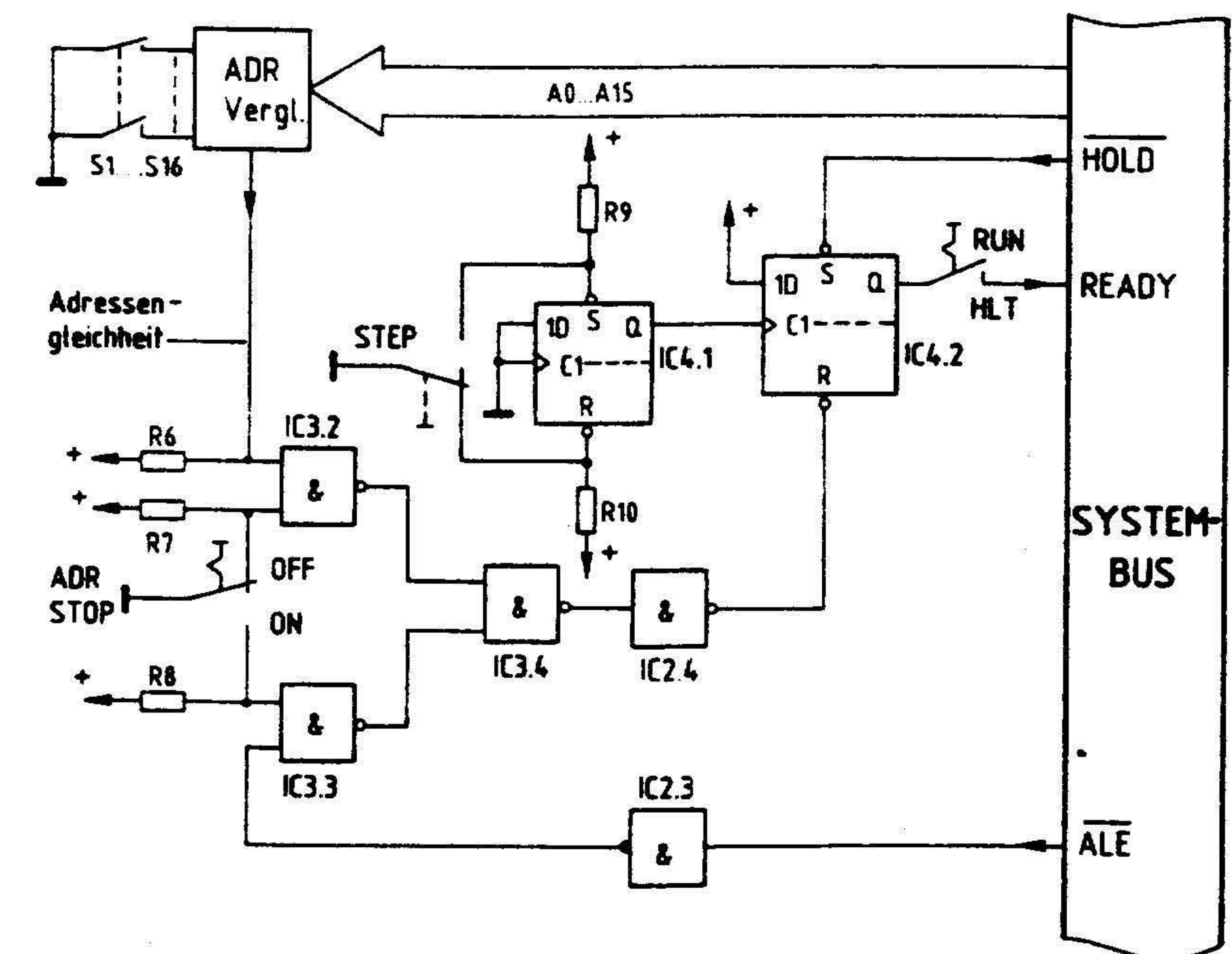


Bild 7: Stromlaufplan für Adressenstop und Einzelschritt-Steuerung

Nach dem Einschalten der Betriebsspannung nimmt der Q-Ausgang von IC 4.2 (D-Flipflop) entweder H- oder L-Pegel (Zufall) an. Ein L-Impuls an HOLD setzt das Flipflop, d.h. sein Q-Ausgang nimmt H-Pegel an. Ein L-Impuls am Rücksetz-Eingang R bringt den Ausgang auf L-Pegel. Dieser L-Impuls kann auf zweierlei Weise erzeugt werden:

Bus-Signalanzeige

1. durch einen L-Impuls auf der Leitung $\overline{\text{ALE}}$; der ADR STOP-Schalter muß dann in Stellung OFF stehen, oder
2. durch einen H-Impuls auf der Leitung "Adressengleichheit"; der ADR STOP-Schalter muß dann in Stellung ON stehen.

Ein nun folgender L-H-Sprung am Takteingang C1 von IC 4.2 setzt den Q-Ausgang wieder auf H-Pegel. Erzeugt wird ein solcher L-H-Sprung durch Betätigen der STEP-Taste. Das IC 4.1 übernimmt dabei die Entprellung der Taste. Der oben erklärte Zusammenhang aller Signale ist im Bild 8 noch einmal als Liniendiagramm dargestellt.

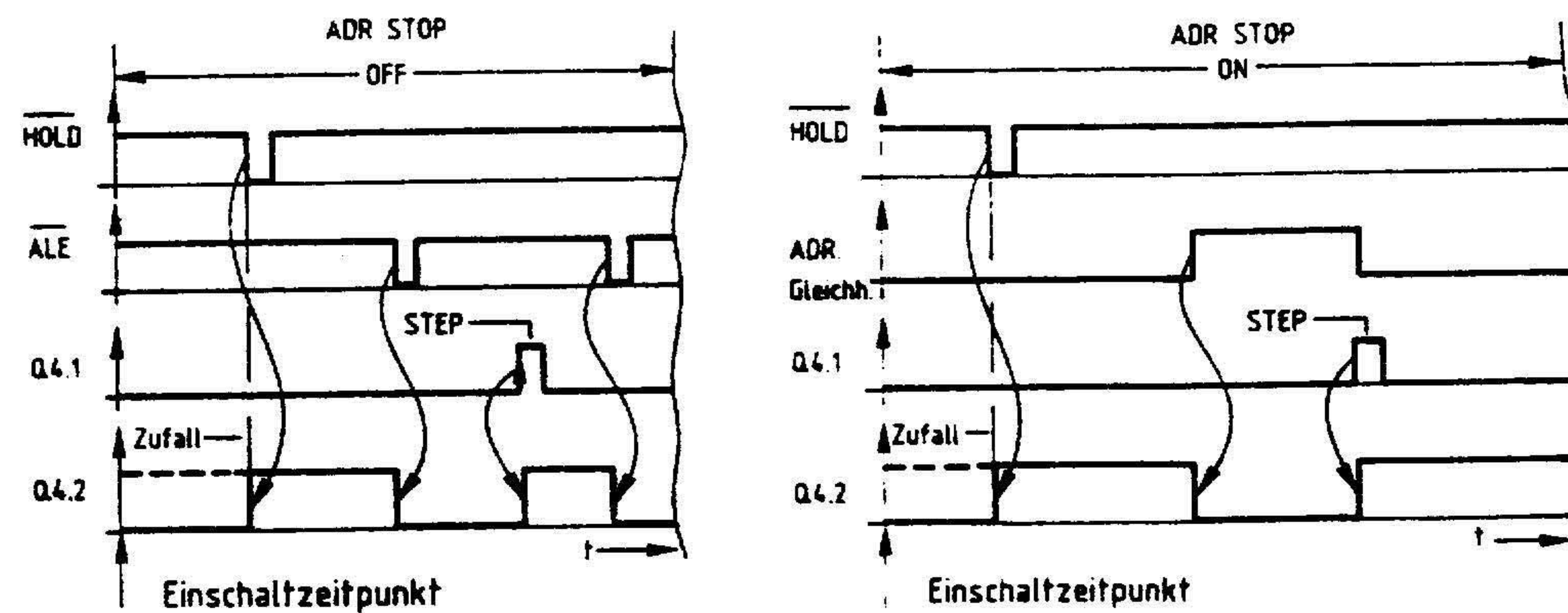
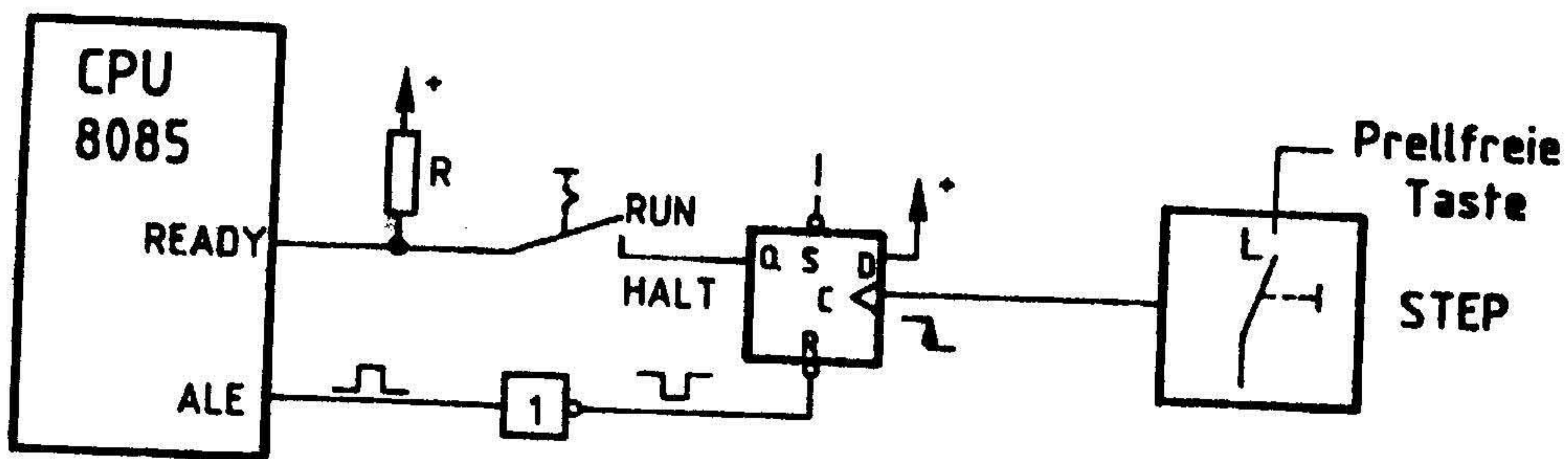


Bild 8: Liniendiagramm der Signale $\overline{\text{HOLD}}$, $\overline{\text{ALE}}$, ADR- Gleichheit, Q4.1 und Q4.2

Grundschialtung zur Einzelschrittsteuerung



RUN/HALT Schalter

HLS
RUN

STEP

READY

ALE

Erläuterungen



Arbeitsmittel

Grundschialtung zur Einzelschrittsteuerung

12

Das Signal HOLD schaltet die Datenleitungen hochohmig!

Augenblicklicher angenommener Zustand:

Die vorher gestartete CPU ist durch die Bussignal-Anzeige angehalten worden. Die READY-Leitung liegt auf L-Signal, die CPU ist im Wartezustand, sie gibt also Signale auf den System-Bus.

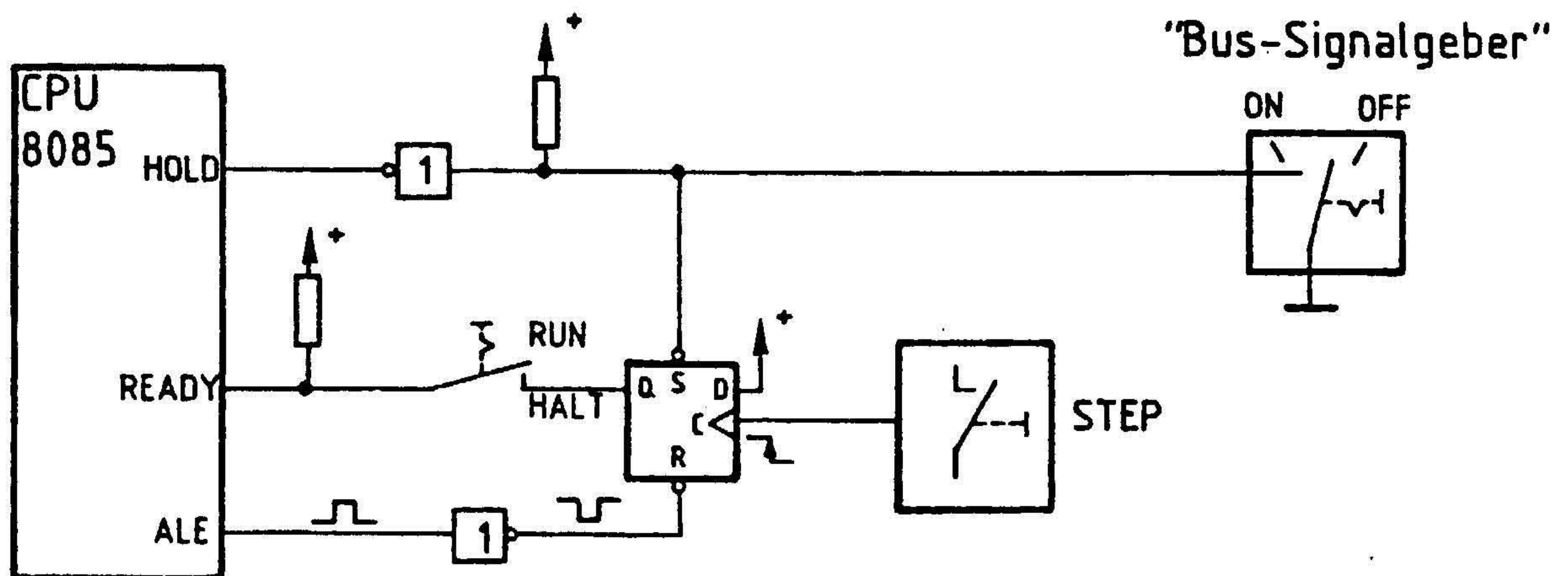
Erläuterungen:

Aus den Herstellerangaben der 8085-CPU geht hervor, das ein HOLD-Signal (H) nicht mehr von der CPU angenommen wird, wenn sie vorher durch ein READY-Signal (L) gestoppt wurde. Wenn die CPU also gerade Wartezyklen im Einzelschritt-Betrieb erzeugt, und gleichzeitig der Bus-Signalgeber eingeschaltet wird, so wird das vom Bus-Signalgeber gesendete HOLD-Signal (H) von der CPU nicht verarbeitet.

Da jetzt aber die CPU und der Bus-Signalgeber gleichzeitig Signale auf den System-Bus senden, wird es bei unterschiedlichen Signalpegeln auf den gleichen Leitungen zu Kurzschlüssen kommen. Um das zu verhindern, muß das Auftreten des HOLD-Signales dazu genutzt werden, den Einzelschrittbetrieb abzuschalten, also READY auf H-Pegel zu setzen. Wenn der Bus-Signalgeber eingeschaltet wird (ON), gelangt L-Pegel an den Setzeingang des D-FF und setzt den Q-Ausgang auf H-Pegel. Damit verläßt die CPU den Wartezustand, wird aber gleichzeitig durch das Signal am HOLD-Eingang (H) vom System-Bus getrennt.

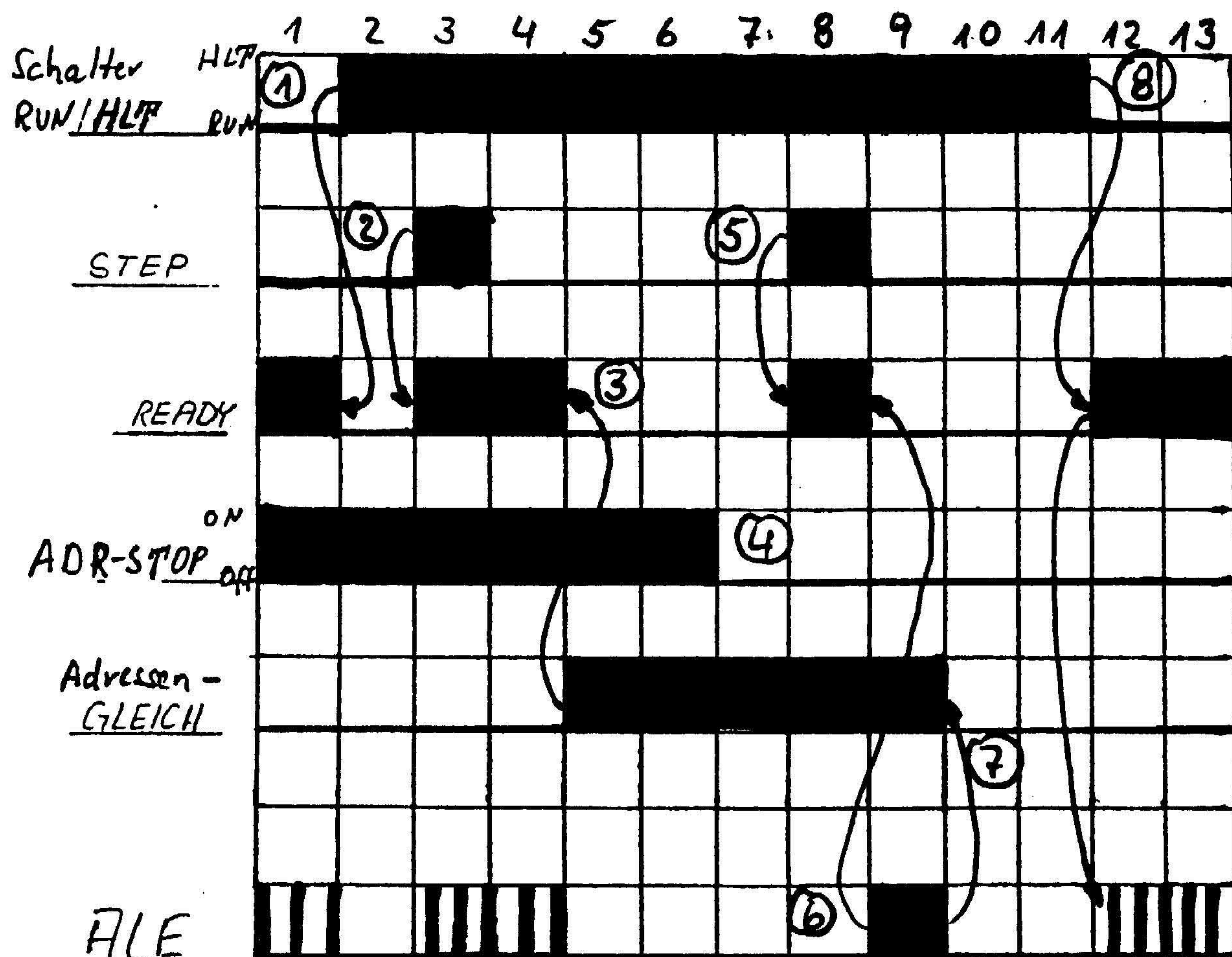
Jetzt ist nur der Bus-Signalgeber Datensender!

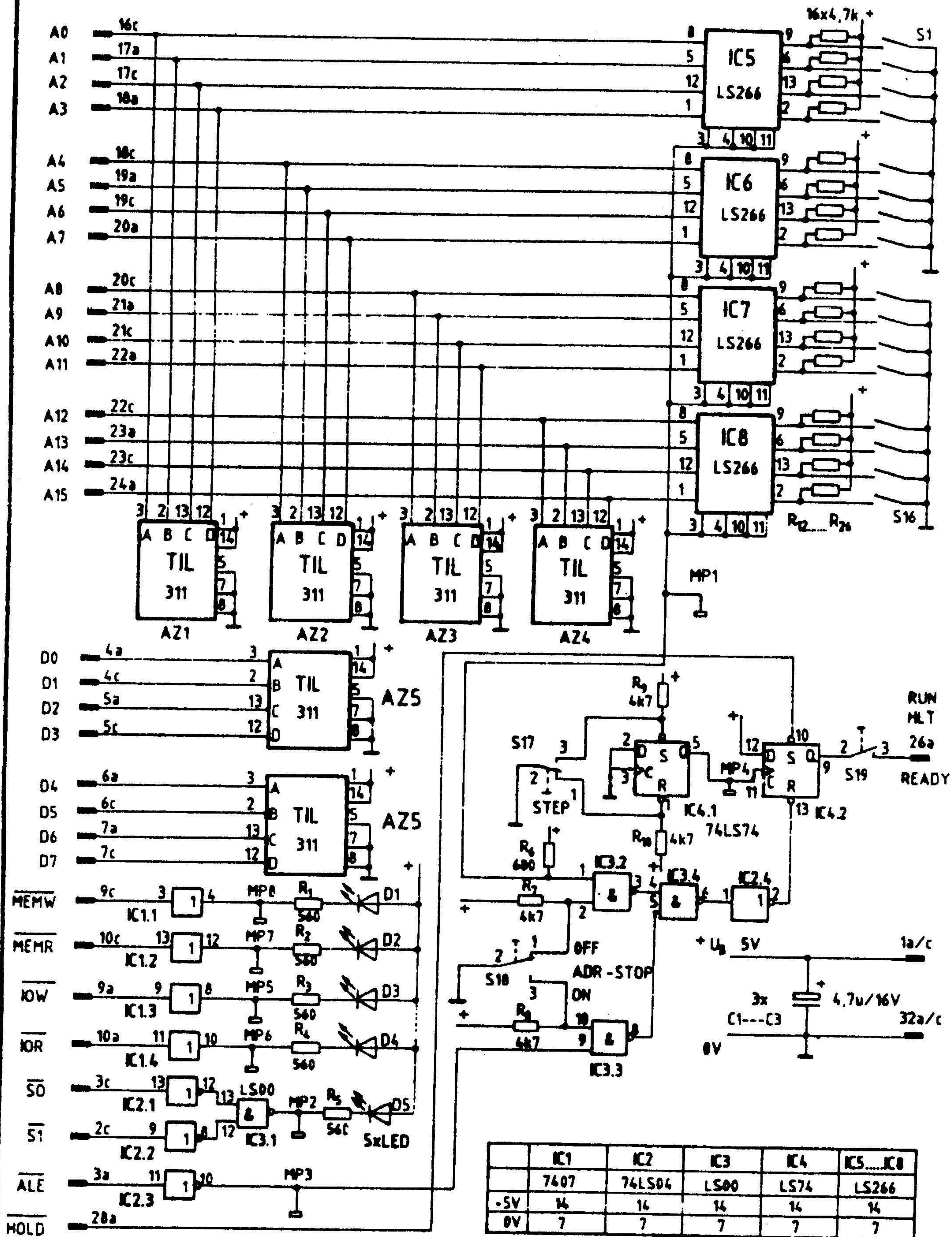
Grundschialtung zur Verhinderung des gemeinsamen Auftreten von HOLD- und READY- Signalen



Bei Fehlersucharbeiten kann es nützlich sein, daß die CPU zunächst bis zu einer bestimmten Adresse ihr Programm abarbeitet und sie anschließend von dort ab im Einzelschrittbetrieb weiterarbeitet.

- Zu (1) Ist der Hardware-Adressenstop aktiviert (ON), so wird bei der Umschaltung von RUN nach HLT die CPU über das READY-Signal angehalten.
- Zu (2) Die Betätigung der STEP-Taste bewirkt eine Freigabe der CPU, die so lange arbeitet, bis die voreingestellte Adresse am Adress-Bus erscheint.
- Zu (3) Durch Adresssgleichheit wird die CPU erneut angehalten. Jetzt kann im Singel-Step weitergearbeitet werden.
- Zu (4) Abschalten der Adressenstop-Einrichtung.
- Zu (5) Durch betätigen der STEP-Taste erneute Freigabe der CPU.
- Zu (6) Anhalten der CPU durch das ALE-Signal
- Zu (7) Mit dem weggehen des ALE-Signals hört die Adressen-gleichheit auf.
- Zu (8) Wird wieder von HLT nach RUN geschaltet, kann die CPU ungebremst weiterarbeiten.

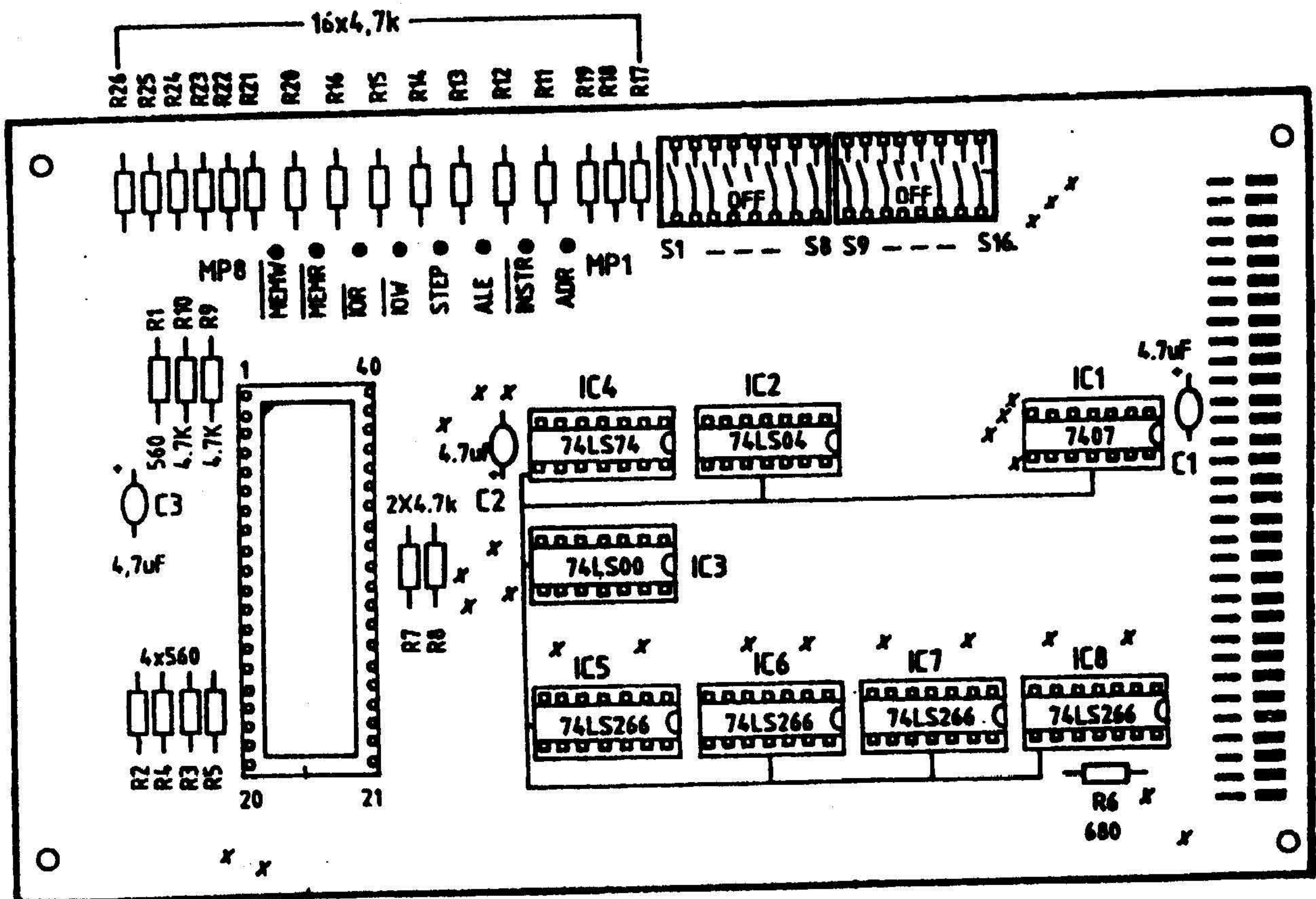




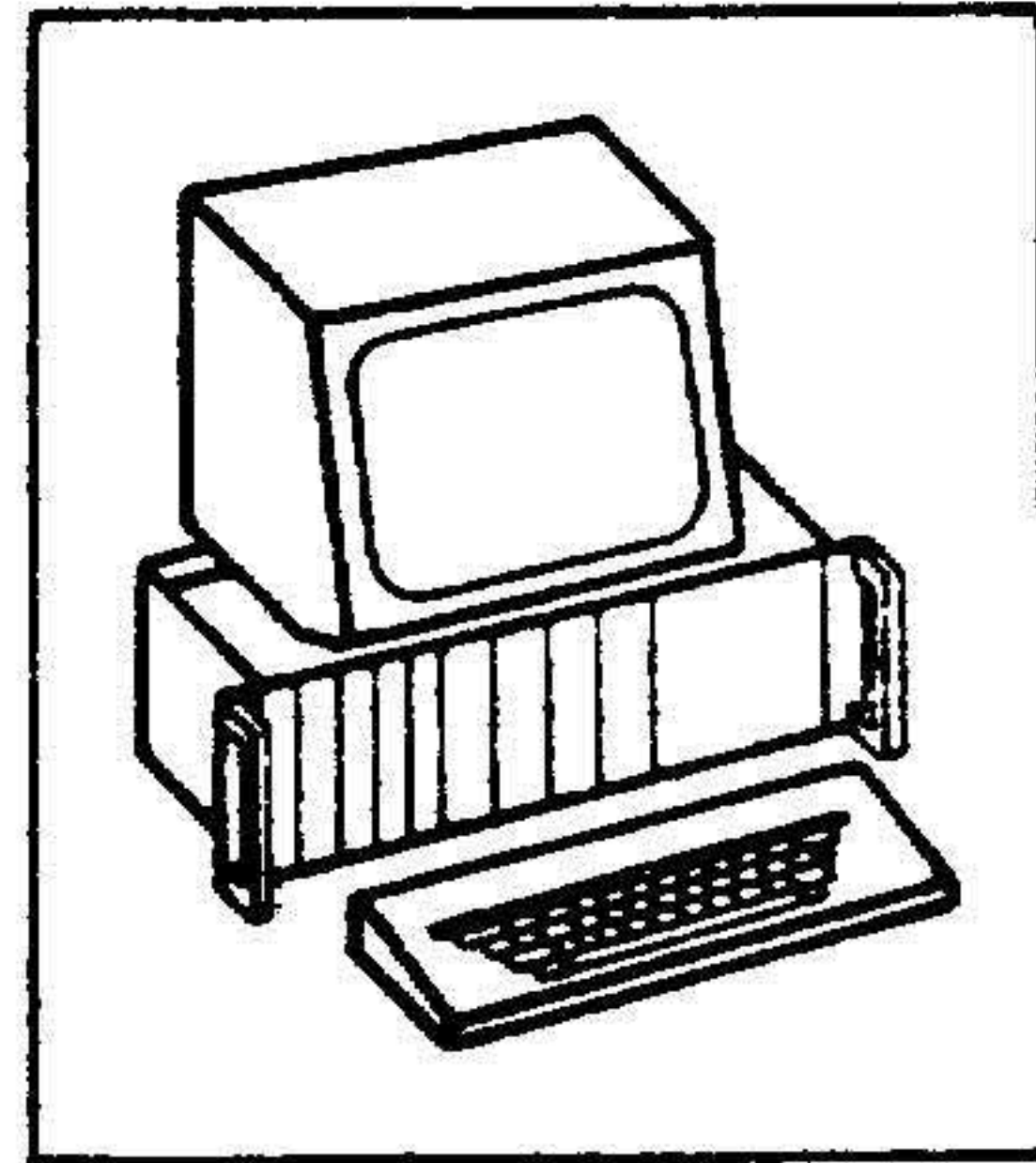
M F A

Stromlaufplan Bus- Signalanzeige

16



FACHPRAKTISCHE ÜBUNG MIKROCOMPUTER-TECHNIK



Bus-Signalgeber

BFZ/MFA 5.1.

Funktionsbeschreibung

BFZ / MFA 5.1. - 1

Bus-Signalgeber

1. Einführung

Beim Aufbau des "Mikrocomputer-Baugruppen-Systems", das aus verschiedenen Baugruppen (wie Bus-System, Mikroprozessor, Speicher und Ein-Ausgabe-Schaltungen) besteht, werden die einzelnen Baugruppen nach der Fertigung zunächst getrennt voneinander geprüft und in Betrieb genommen.

Zu solchen Prüf- und Inbetriebnahmearbeiten benötigt man diesen "Bus-Signalgeber", mit dem man Adreß-, Daten- und Steuersignale auf die entsprechenden Leitungen des Prüflings legt und dort ihre Wirkung kontrolliert. So läßt sich relativ leicht feststellen, ob z.B. Bus-Leitungen kurzgeschlossen sind oder ob sich Speicherinhalte lesen oder ändern lassen.

Darüber hinaus kann man mit dem "Bus-Signalgeber" die Arbeitsweise der CPU mit Einschränkungen nachbilden. Dies ist für das Verständnis der Funktionsweise der CPU sowie ihr Zusammenwirken mit anderen Baugruppen hilfreich. Zur Anzeige der Adreß-, Daten- und Steuersignale dient eine weitere Baugruppe, die "Bus-Signalanzeige", die in der FPU BFZ/MFA 5.2. beschrieben ist.



Diese Übung ist Bestandteil eines Mediensystems, das im Rahmen eines vom Bundesminister für Bildung und Wissenschaft, vom Bundesminister für Forschung und Technologie sowie der Bundesanstalt für Arbeit geförderten Modellversuches zum Einsatz der "Mikrocomputer-Technik in der Facharbeiterausbildung" vom BFZ-Essen e.V. entwickelt wurde.

2. Blockschaltbild, Aufbau und Wirkungsweise

Bild 1 zeigt das Blockschaltbild der Baugruppe "Bus-Signalgeber". Zunächst wird ihre Wirkungsweise anhand dieses Blockschaltbildes erklärt, später erfolgt die Schaltungsbeschreibung der einzelnen Funktionsblöcke.

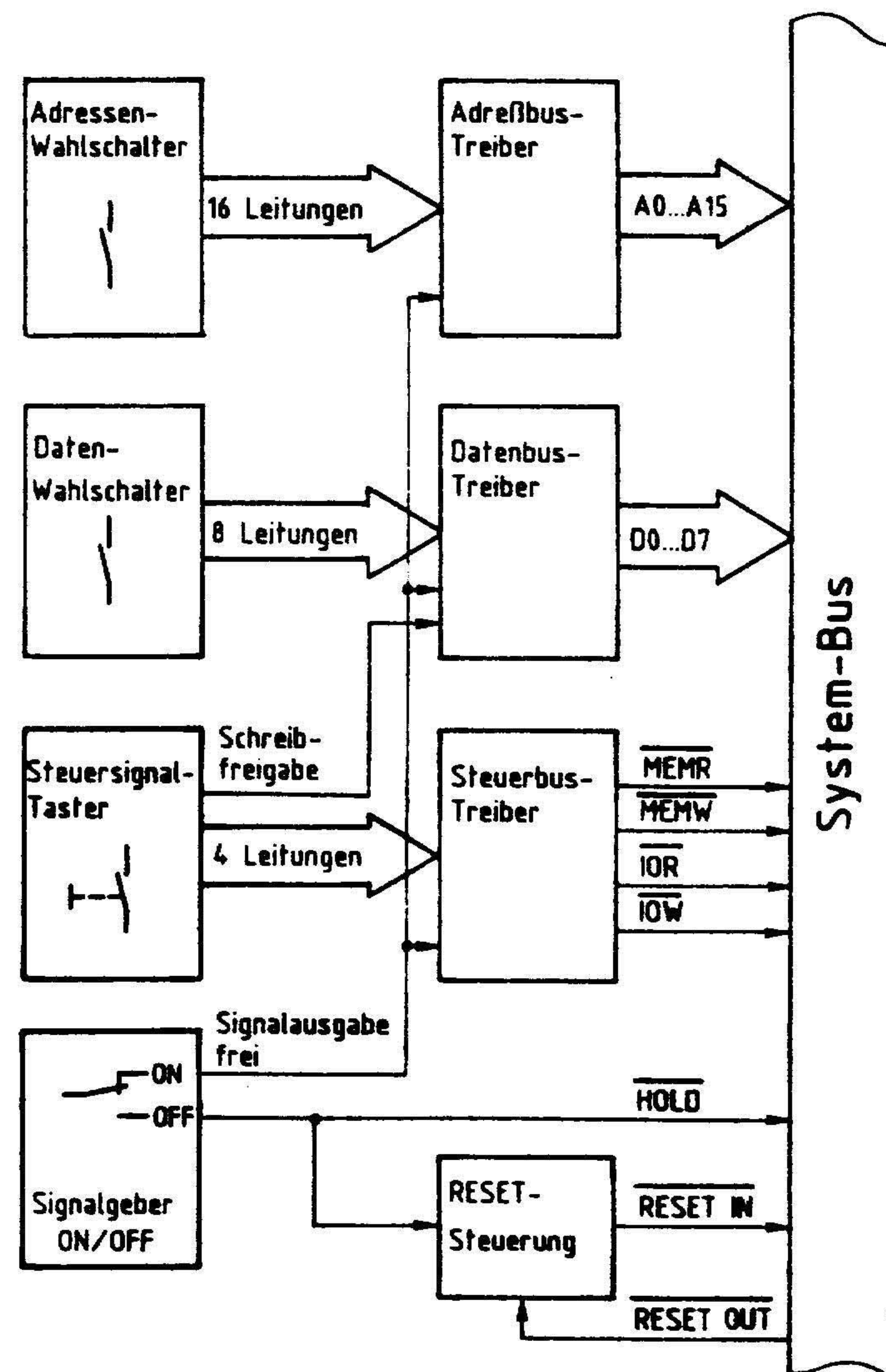


Bild 1: Blockschaltbild Bus- Signalgeber

Wenn der Umschalter "Signalgeber ON/OFF" in Stellung ON steht, sind alle drei Bustreiber für eine Signalabgabe freigeschaltet. Die mit dem Adressen-Wahlschalter eingestellten Adreßsignale stehen auf den 16 Adreßleitungen des System-Busses (A0 ... A15) zur Verfügung. Die mit dem Daten-Wahlschalter eingestellten Datensignale werden jedoch nur dann zum System-Bus durchgelassen, wenn der Datenbus-Treiber zusätzlich über die Leitung "Schreibfreigabe" freigegeben ist. Diese Freigabe liegt immer dann vor, wenn über den Block "Steuersignal-Taster" keine Lesesignale eingegeben werden. Der Block "Steuersignal-Taster" liefert bei Betätigung der entsprechenden Tasten Signale zum

- Lesen von Speicherstellen (MEMR)
- Lesen von Eingabe-Baugruppen (IOR)
- Schreiben in Speicherstellen (MEMW)
- Schreiben in Ausgabe-Baugruppen (IOW)

Will man Daten von einer Speicherstelle (MEMR) oder einer Eingabe-Baugruppe (IOR) lesen, wird der Datenbus-Treiber gesperrt, weil durch die "Lese-Signale" andere Baugruppen veranlaßt werden, Daten auf den Systembus zu schalten. Schaltet man den Umschalter "Signalgeber ON/OFF" in Stellung OFF, werden alle drei Bustreiber für eine Signalabgabe gesperrt und eingestellte Adreß-, Daten- und Steuersignale gelangen nicht mehr auf den System-Bus. Bei dieser Schalterstellung ist die CPU-Baugruppe die aktive Baugruppe, sofern sie sich gemeinsam mit dem Bus-Signalgeber im Baugruppenträger befindet. Damit besteht die Möglichkeit, bei Schalterstellung "ON" mit dem Signalgeber kleine Programme in einen Speicher einzugeben und danach durch Umschaltung des Schalters in Stellung "OFF" die CPU zu veranlassen, das eingebene Programm abzuarbeiten. Durch das Umschalten wird die CPU in ihren Grundzustand gebracht. Dies wird durch die "RESET-Steuerung" über die CPU-Leitung "RESET IN" veranlaßt. Über die Leitung "RESET OUT" quittiert die CPU den Empfang dieses Signals und setzt die "RESET-Steuerung" in deren definierten Grundzustand zurück. Weitere Informationen über die "RESET-Steuerung" finden Sie in der FPU "Prozessor 8085" (BFZ/MFA 2.1.).

Bild 2 zeigt den Stromlaufplan der Baugruppe "Bus-Signalgeber", der zu allen folgenden Schaltungserklärungen mit benutzt werden sollte.

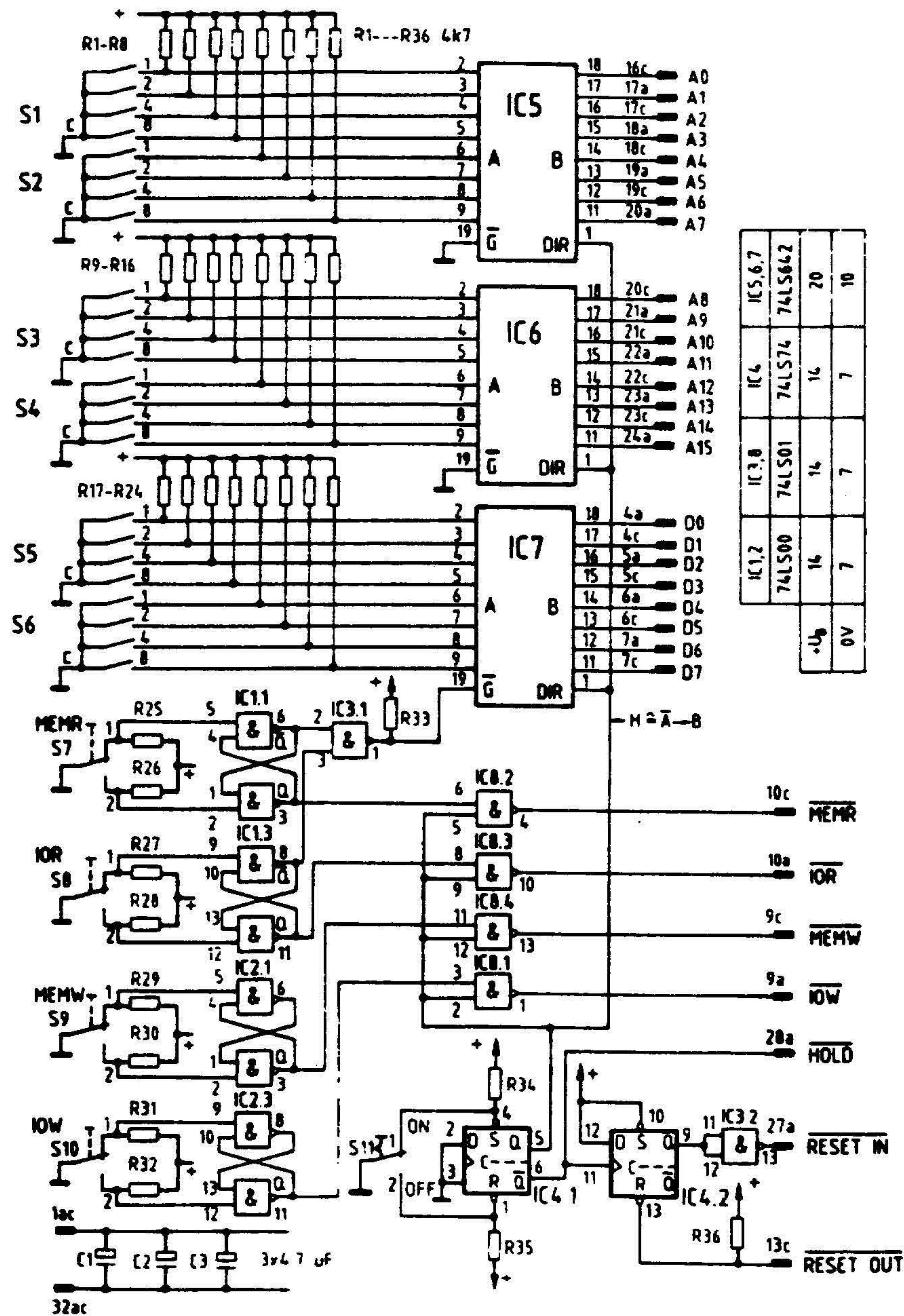


Bild 2: Stromlaufplan "Bus-Signalgeber"

2.1. Die Erzeugung der Adreßsignale

Bild 3 zeigt den Stromlaufplan des Adressen-Wahlschalters und des Adreßbus-Treibers nur für die Adreßleitungen A0 bis A7. Die Innenschaltung des Adreßbus-Treibers ist für eine Leitung dargestellt, sie ist im Baustein insgesamt achtmal vorhanden.

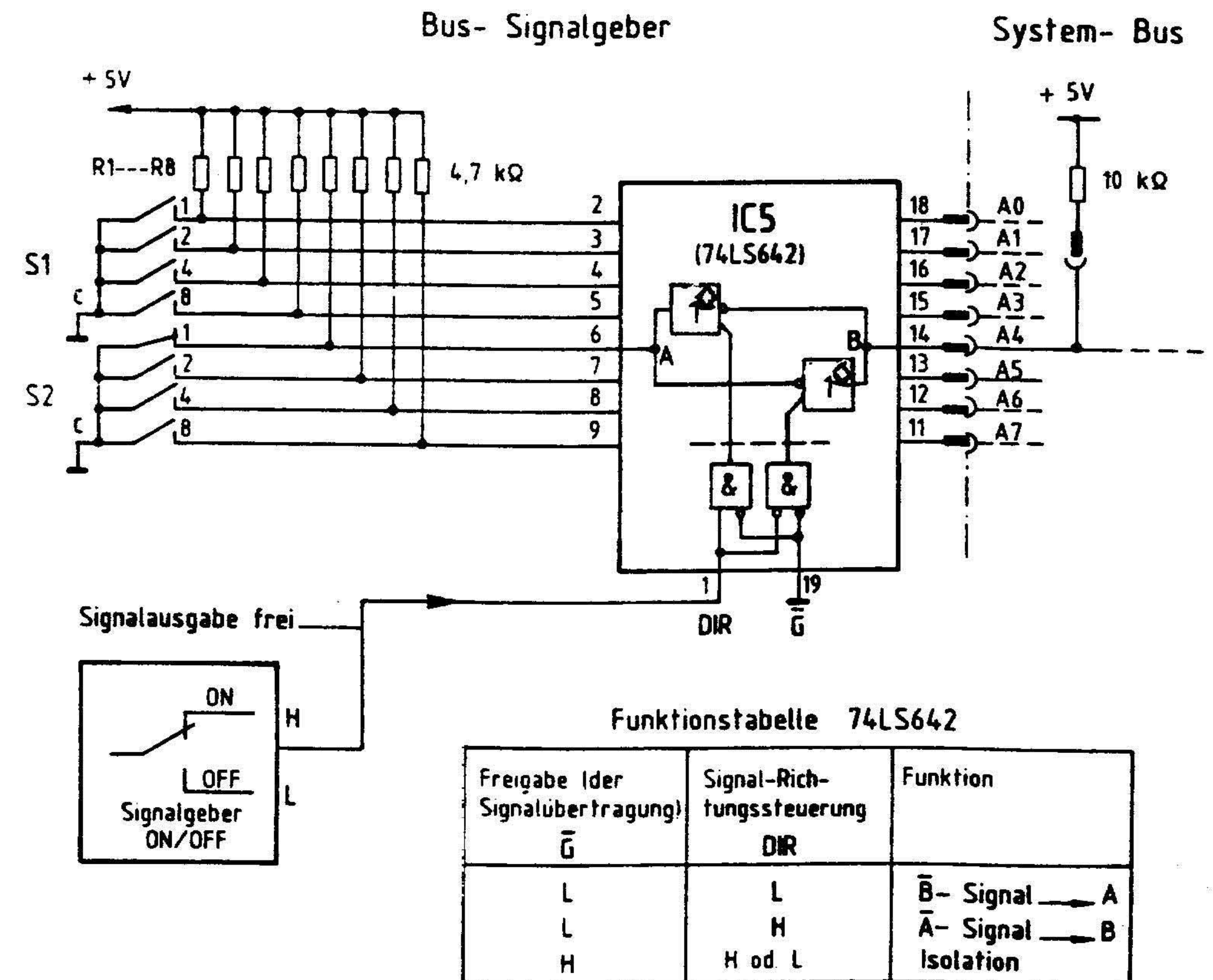


Bild 3: Stromlaufplan "Adressen- Wahlschalter und Adreßbus- treiber für die Adreßleitungen A0 bis A7"

Da der Baustein 74 LS 642 einen Signalfluß von Seite A nach Seite B sowie auch von Seite B nach Seite A ermöglicht und dabei die Signalpegel invertiert, wird er in Datenbüchern als "Acht invertierender Bus-Sende-Empfänger" (Transceiver) bezeichnet. Die internen Inverter sind mit offenen Kollektoren am Ausgang aufgebaut. Die Kollektorwiderstände liegen daher auf beiden Seiten außerhalb des Bausteins. Auf der A-Seite sind es die Widerstände R1 bis R8 (bzw. R9 bis R16 in Bild 2) und auf der B-Seite sind es die 16 10-k Ω -Widerstände (hier nur einer dargestellt) in der Baugruppe Bus-Abschluß (BFZ/MFA 0.2.).

Der "Freigabeeingang für Signalübertragungen" \overline{G} liegt auf L-Pegel, dadurch ist der Baustein für Signalverkehr freigeschaltet (siehe Funktionstabelle Bild 3). Mit dem zweiten Steuereingang DIR läßt sich nun die Übertragungsrichtung einstellen. Befindet sich der Umschalter "Signalgeber ON/OFF" in Stellung ON, wird dem DIR-Eingang H-Pegel geliefert und der Baustein läßt einen Signalfluß von der A- zur B-Seite zu, wobei die Signalpegel jeweils invertiert werden. Die Pegel auf den Bus-Leitungen sind abhängig von der Stellung der Kontakte der Schalter S1 und S2 sowie S3 und S4. Ein geschlossener Kontakt erzeugt auf dem System-Bus H-Pegel, ein offener L-Pegel.

Ist z.B. von Schalter S2 der Kontakt 1, wie in Bild 3 dargestellt, geschlossen, erhält Eingang Pin 6 L-Pegel und am Ausgang Pin 14 erscheint H-Pegel. Alle anderen Ausgänge führen L-Pegel.

Bei L-Pegel am DIR-Eingang (Umschalter auf OFF, Übertragungsrichtung von der B- zur A-Seite) sind die Pegel auf der Bus-Seite nicht mehr von denen auf der Schalter-Seite abhängig, sie führen alle H-Pegel.

2.2. Die Adreß- und Daten-Wahlschalter

Die Angabe von Adressen und Daten erfolgt in der Mikrocomputer-Technik aus Gründen der einfacheren Lesbarkeit in hexadezimaler Schreibweise. Der Mikroprozessor und auch jeder andere Computer verarbeitet jedoch nur binäre Signale als Befehle oder Daten. Solche binären Signale sind die Pegel auf den genannten Adreß- und Datenleitungen. Sie werden mit Hilfe der Kontakte der Schalter S1 bis S4 bzw. S5 und S6 (Bild 2) erzeugt. Die Schalter übernehmen dabei auch die Umcodierung von der hexadezimalen in die binäre Darstellungsweise.

Jeder dieser Schalter stellt in Abhängigkeit von der eingestellten Hexadezimal-Ziffer an seinen Ausgängen vier binäre Signale zur Verfügung. Für die 16 Adreßleitungen werden daher vier Schalter und für die 8 Datenleitungen zwei Schalter benötigt.

Bild 4 zeigt den konstruktiven Aufbau eines solchen Schalters, das zugehörige Schaltbild und das Funktionsprinzip.

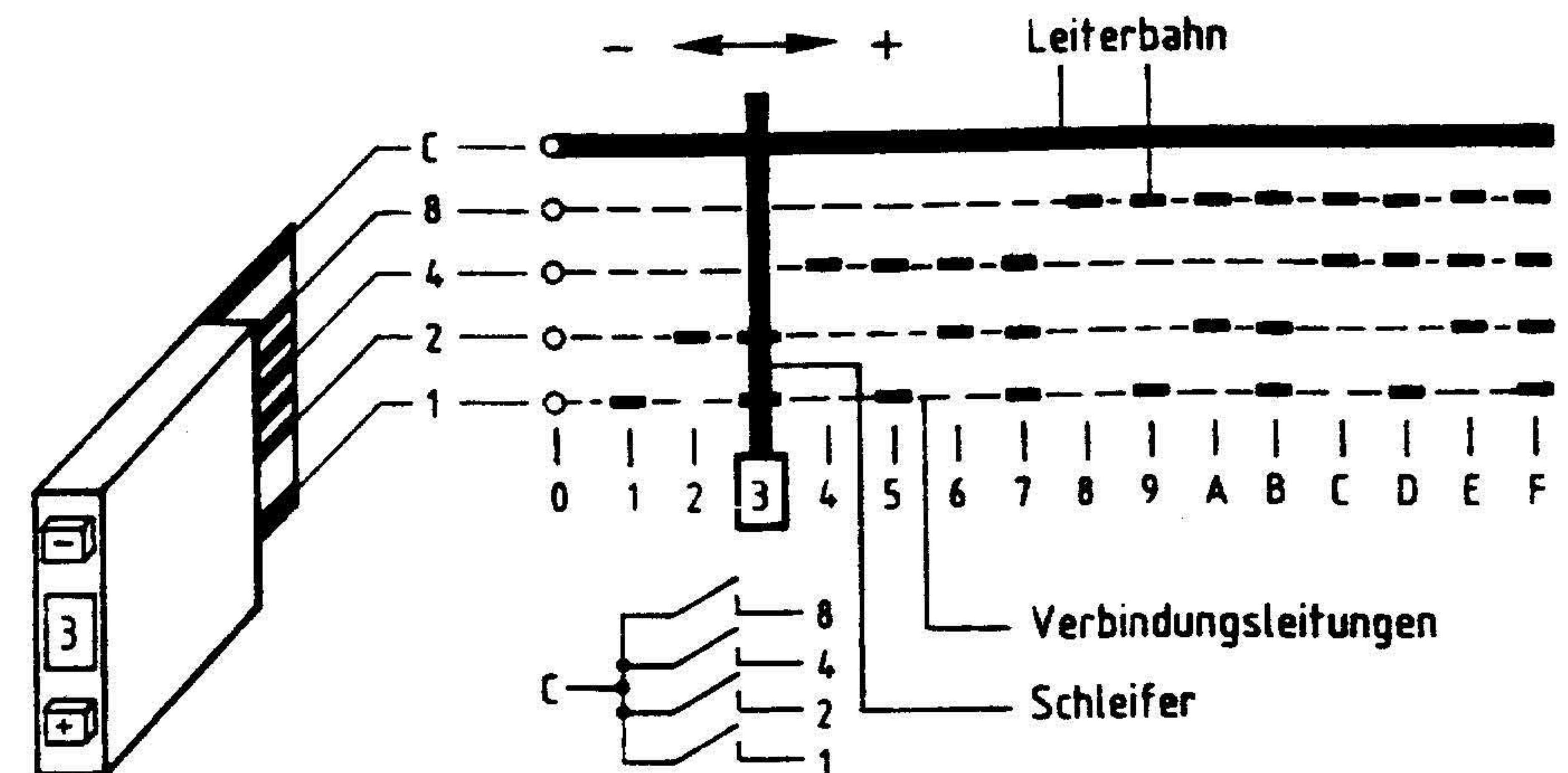


Bild 4: Aufbau, Schaltbild und Funktionsprinzip eines Adreß- bzw. Daten- Wahlschalters

Bei Betätigung der Tasten + oder - wird im Innern des Schalters ein Schleifer bewegt, der den mit C bezeichneten Anschluß je nach eingestellter Ziffer mit den Anschlüssen 8, 4, 2 oder 1 verbindet. In der Stellung "3" z.B. wird C mit 1 und 2 verbunden, in der Stellung D würde C mit 1, 4 und 8 verbunden. Addiert man die Anschlußbezeichnungen der geschlossenen Kontakte, so erhält man die eingestellte Hexadezimal-Zahl. Sollen z.B. für eine Prüfung die Kontakte 1 und 4 geschlossen sein, so ist die einzustellende Hexadezimal-Zahl 5.

2.3. Die Erzeugung der Datensignale

Bild 5 zeigt den Stromlaufplan des Daten-Wahlschalters und des Datenbus-Treibers. Auch hier ist wieder nur ein Leitungsweg dargestellt. Die Schaltung funktioniert, was die Datensignalfreigabe betrifft, genauso, wie die Schaltung für die Adreßsignale. Zusätzlich müssen hier aber die Datensignale gesperrt werden, wenn eine der Steuersignaltasten MEMR oder IOR betätigt wird, denn beide Steuersignale veranlassen andere Baugruppen (Speicher, Eingabe), ihrerseits Daten auf den System-Bus zu schalten. Würden die Datensignale des Signalgebers nicht gesperrt, so käme es auf dem Datenbus zu Kurzschlüssen. Die Sperrung des Datenbus-Treibers erfolgt dadurch, daß bei Betätigung der MEMR- oder IOR-Taste H-Pegel an seinen Freigabeeingang \bar{G} gelegt wird. In der dargestellten, nichtbetätigten Stellung der beiden Taster MEMR und IOR (Lesen) führen die \bar{Q} -Ausgänge der prellfreien Schalter H-Pegel, was am Ausgang des NAND-Gatters den für Signalfreigabe nötigen L-Pegel bewirkt. Sobald eine der beiden Tasten betätigt wird, nimmt der Ausgang von IC 3.1 H-Pegel an und alle Inverter werden gesperrt. Der Signalzustand des Datenbusses wird nun nicht mehr von der Stellung der Daten-Wahlschalter S5 und S6 bestimmt, sondern von den Datensignalen der gelesenen Speicher- oder Eingabe-Baugruppe.

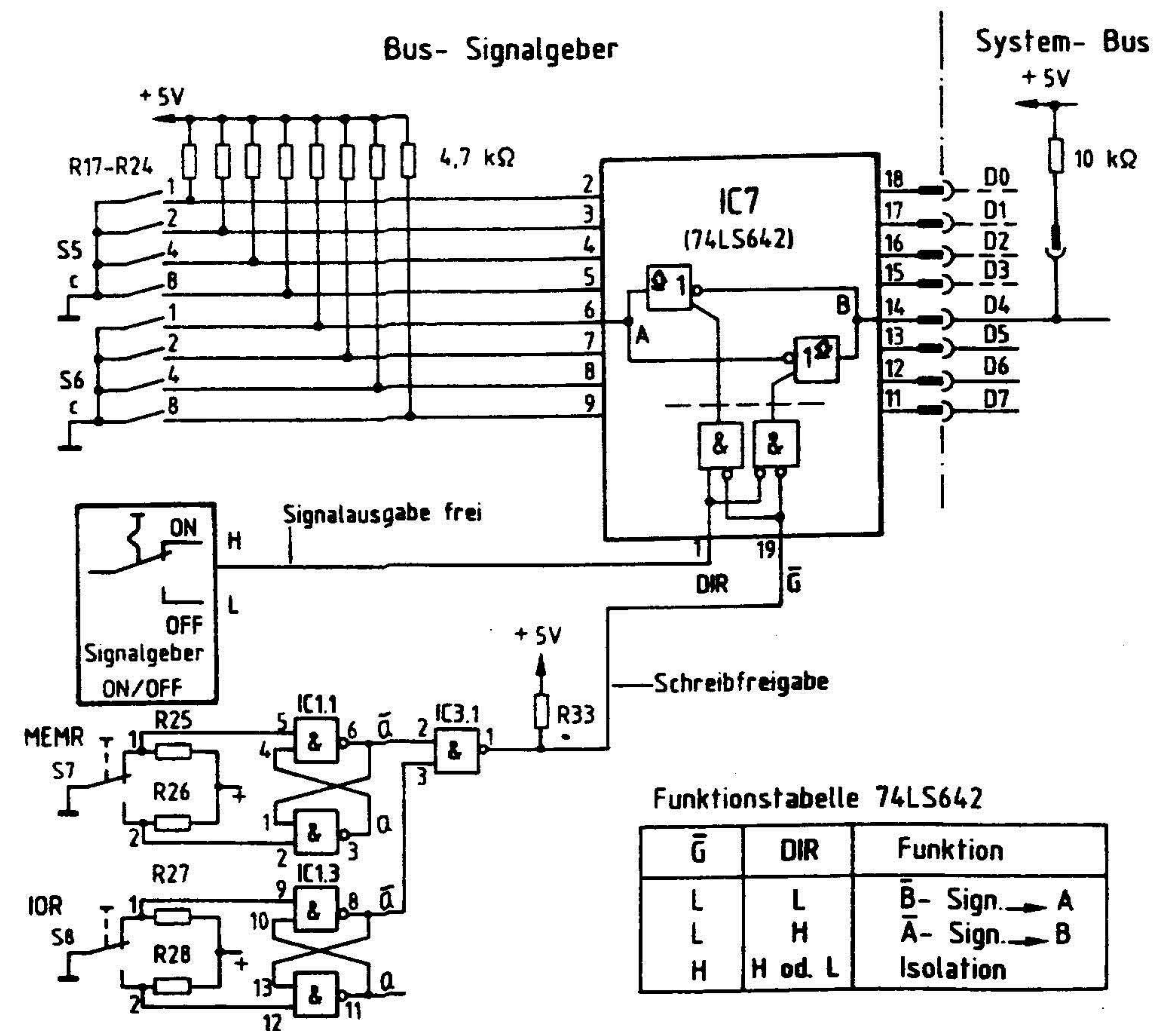


Bild 5: Stromlaufplan "Daten- Wahlschalter und Datenbustreiber"

2.4. Die Erzeugung der Steuerbus-Signale

Bild 6 zeigt ein Beispiel des Steuersignals MEMW (Speicher schreiben), wie das im MC-Baugruppensystem benötigte Steuersignal $\overline{\text{MEMW}}$ erzeugt wird. Alle anderen Steuersignale - $\overline{\text{MEMR}}$, $\overline{\text{IOR}}$ und $\overline{\text{IOW}}$ - werden genauso erzeugt.

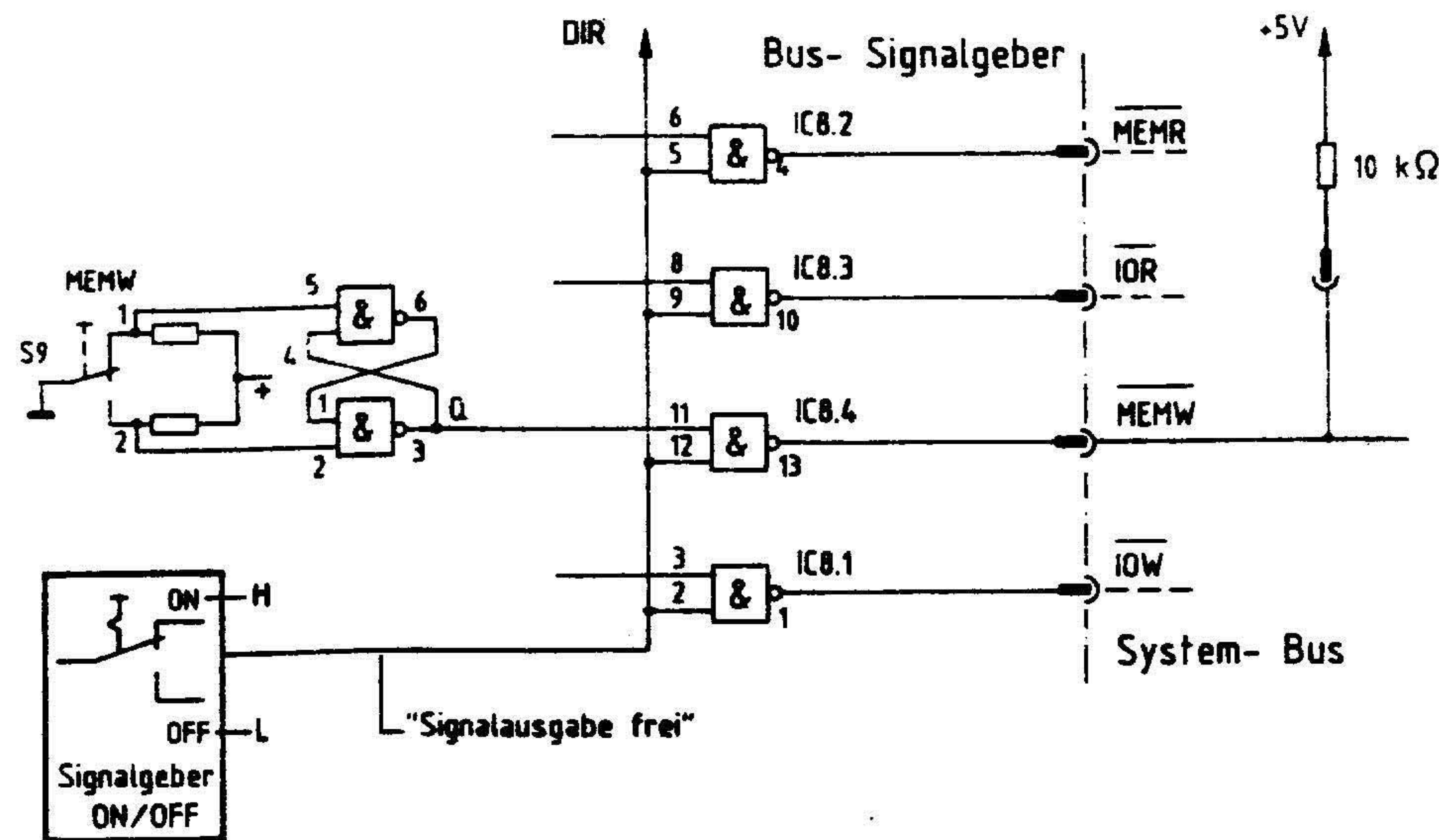


Bild 6: Stromlaufplan "Erzeugung der Steuersignale"

Bei nicht betätigten Steuersignal-Tasten führen die Ausgänge der NAND-Gatter (IC 8.1...4) H-Pegel. Betätigt man eine der Tasten, ändert sich der Pegel des entsprechenden NAND-Gatter-Ausgangs von H auf L und der Lese- oder Schreibvorgang wird ausgeführt. Voraussetzung dafür ist, daß die Gatter mit H-Pegel auf der Leitung "Signalausgabe frei" für Signaldurchgang freigeschaltet sind.

2.5. Die Funktions-Blöcke "Signalgeber ON/OFF" und "RESET-Steuerung"

Bild 7 zeigt den Block "RESET-Steuerung" mit dem Block "Signalgeber ON/OFF", der bisher als einfacher Umschalter dargestellt war.

Das D-Flipflop IC 4.1 dient der Entprellung des Schalters S11. In der Schalterstellung ON ist das Flipflop gesetzt und liefert an seinem Q-Ausgang H-Pegel, mit dem die Adreß-, Daten- und Steuerbus-Treiber für eine Signalausgabe freigeschaltet werden. Die von diesem Ausgang abgehende Leitung wurde "Signalausgabe-frei-Leitung" genannt. Nimmt sie in der Schalterstellung OFF L-Pegel an, werden alle Bus-Treiber für eine Signalausgabe gesperrt.

Das Signal vom $\overline{\text{Q}}$ -Ausgang des IC 4.1 wirkt auf das D-Flipflop IC 4.2 im Block "RESET-Steuerung" und wird gleichzeitig über die $\overline{\text{HOLD}}$ -Leitung zur CPU-Baugruppe geführt. Dort bewirkt ein L-Pegel (Signalgeber ON), daß die CPU-Baugruppe vom Systembus getrennt wird.

Schaltet man S11 in Stellung OFF, so bewirkt die L-H-Flanke des $\overline{\text{HOLD}}$ -Signals ($\overline{\text{Q}}$ von IC 4.1), daß der Q-Ausgang des D-Flipflops IC 4.2 H-Pegel und die $\overline{\text{RESET IN}}$ -Leitung L-Pegel annimmt (siehe Bild 8); hierdurch wird die CPU in den Grundzustand gebracht (Befehlszählerstand auf 0). Voraussetzung für einen L-Pegel auf der $\overline{\text{RESET IN}}$ -Leitung ist, daß das D-Flipflop vorher rückgesetzt war, d.h., daß der Q-Ausgang L-Pegel führte. Diese Bedingung wird aber beim Einschalten des MC-Systems automatisch über die Leitung $\overline{\text{RESET OUT}}$ erfüllt.

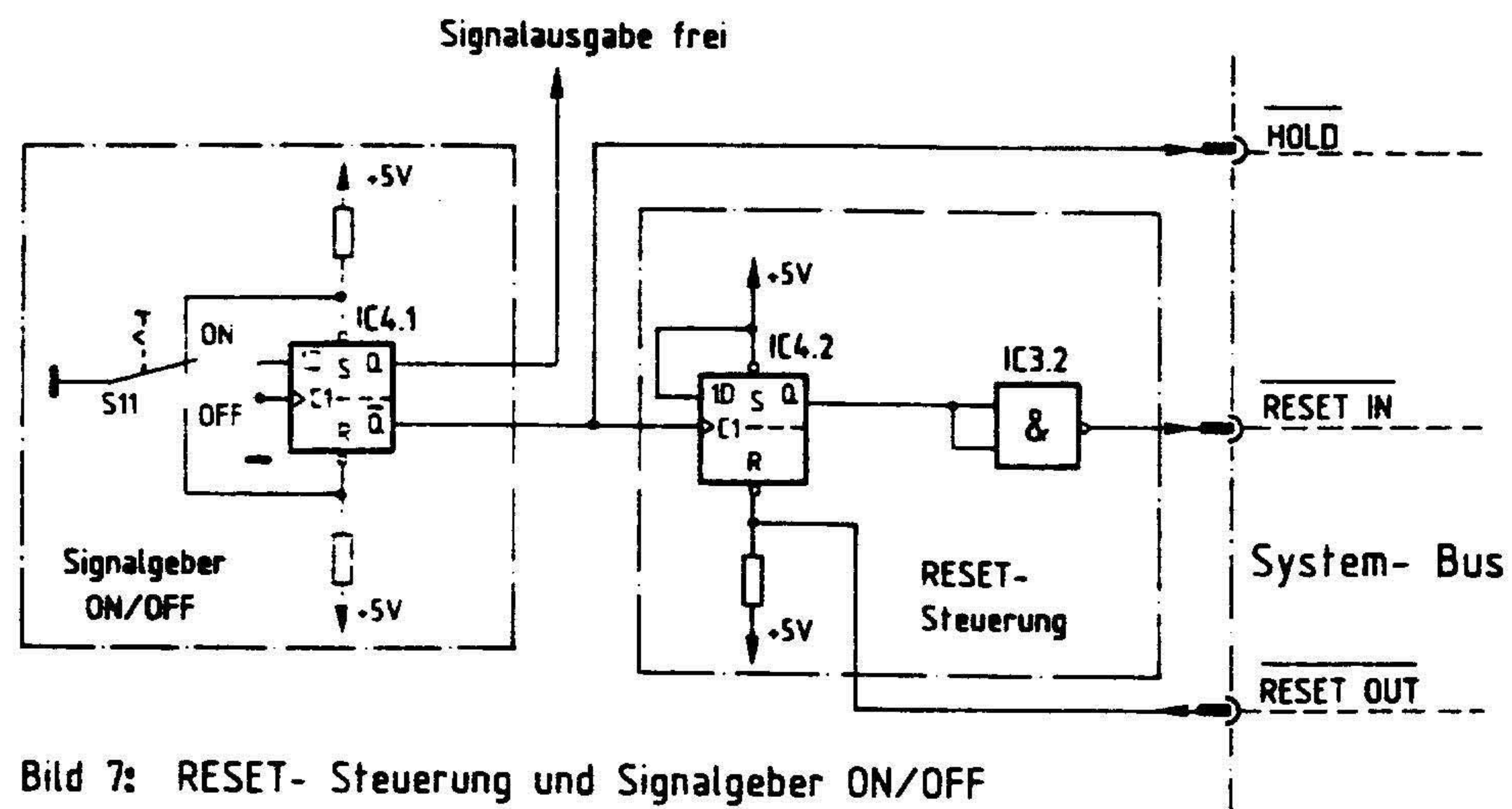


Bild 7: RESET- Steuerung und Signalgeber ON/OFF

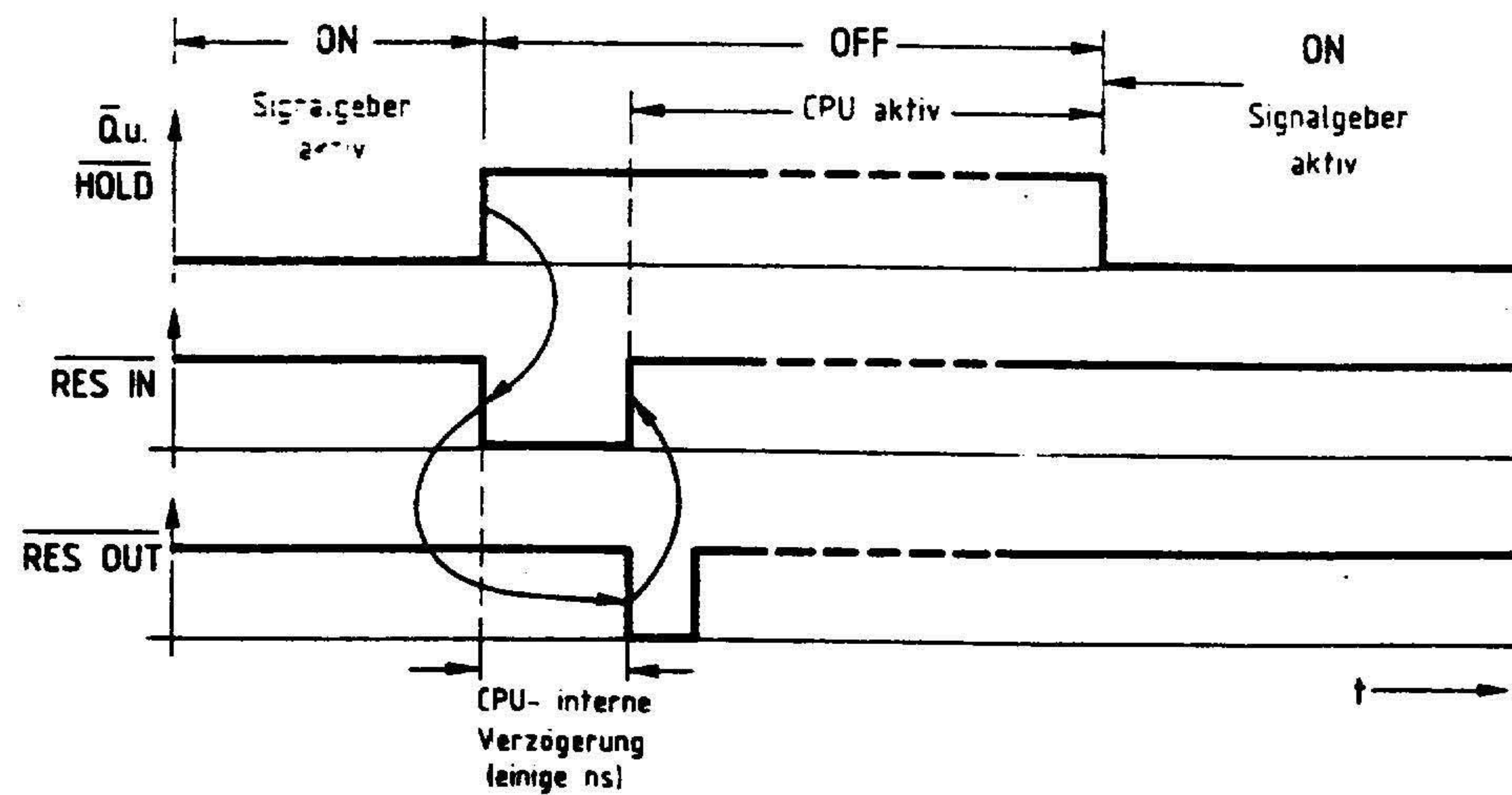
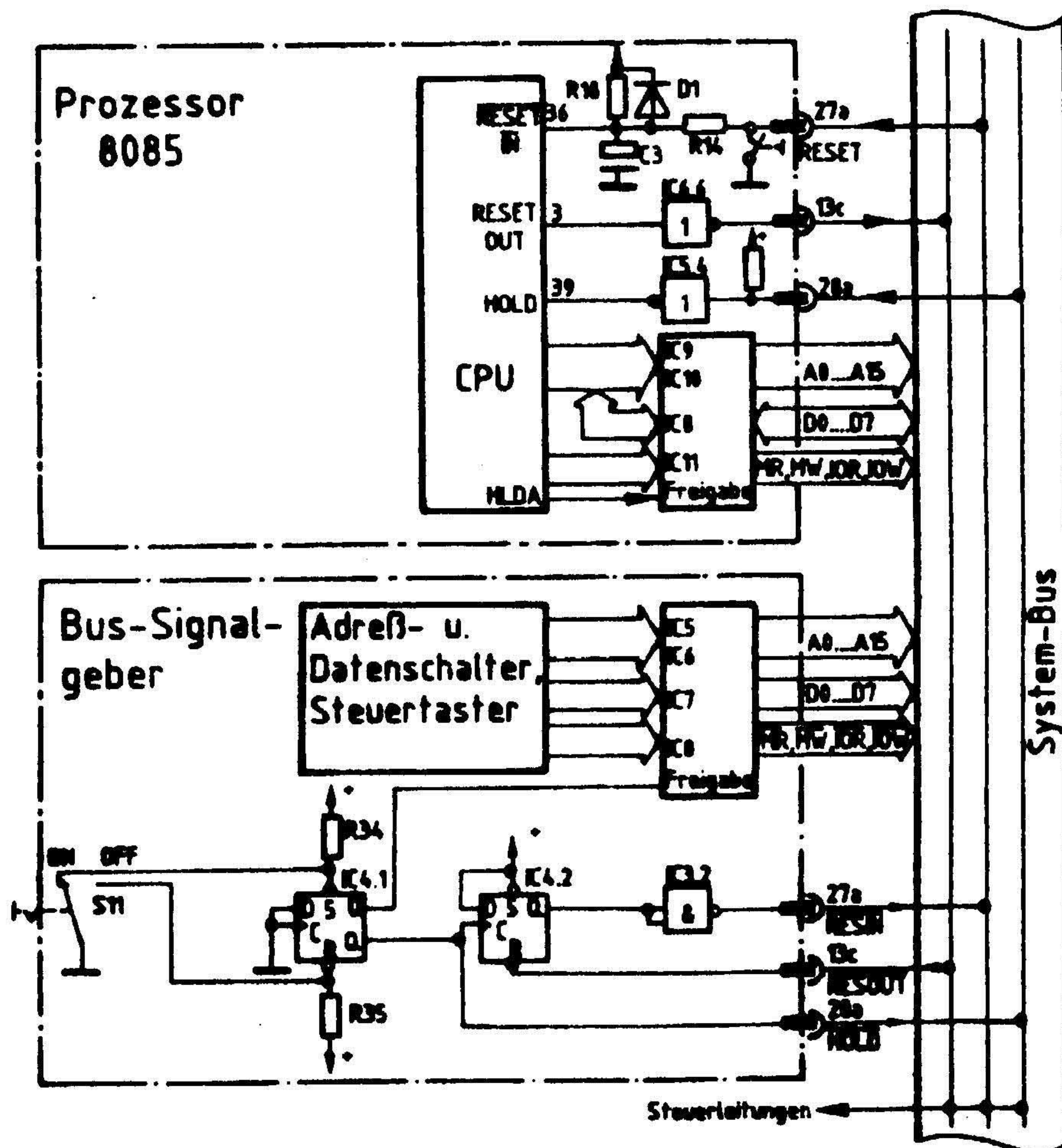
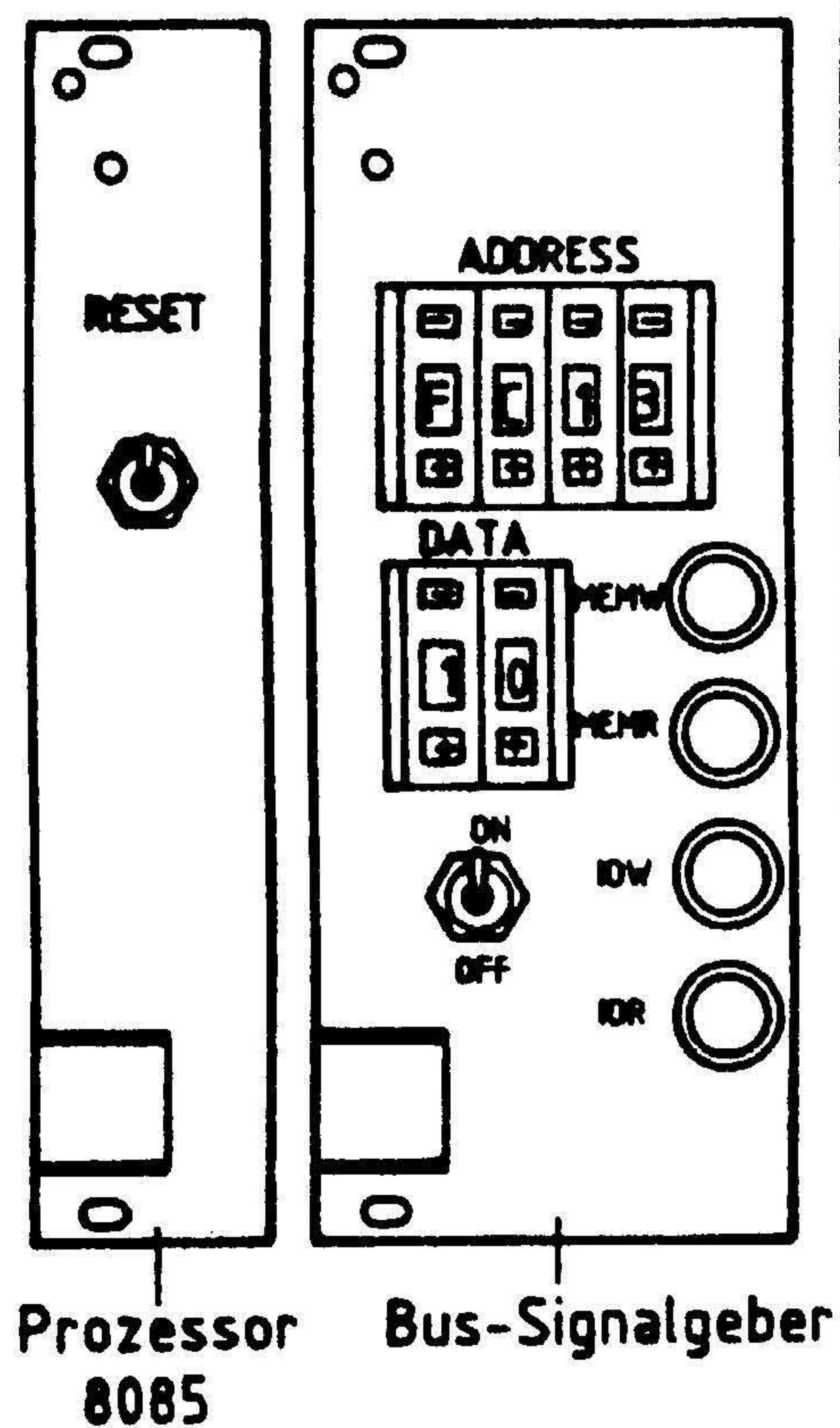
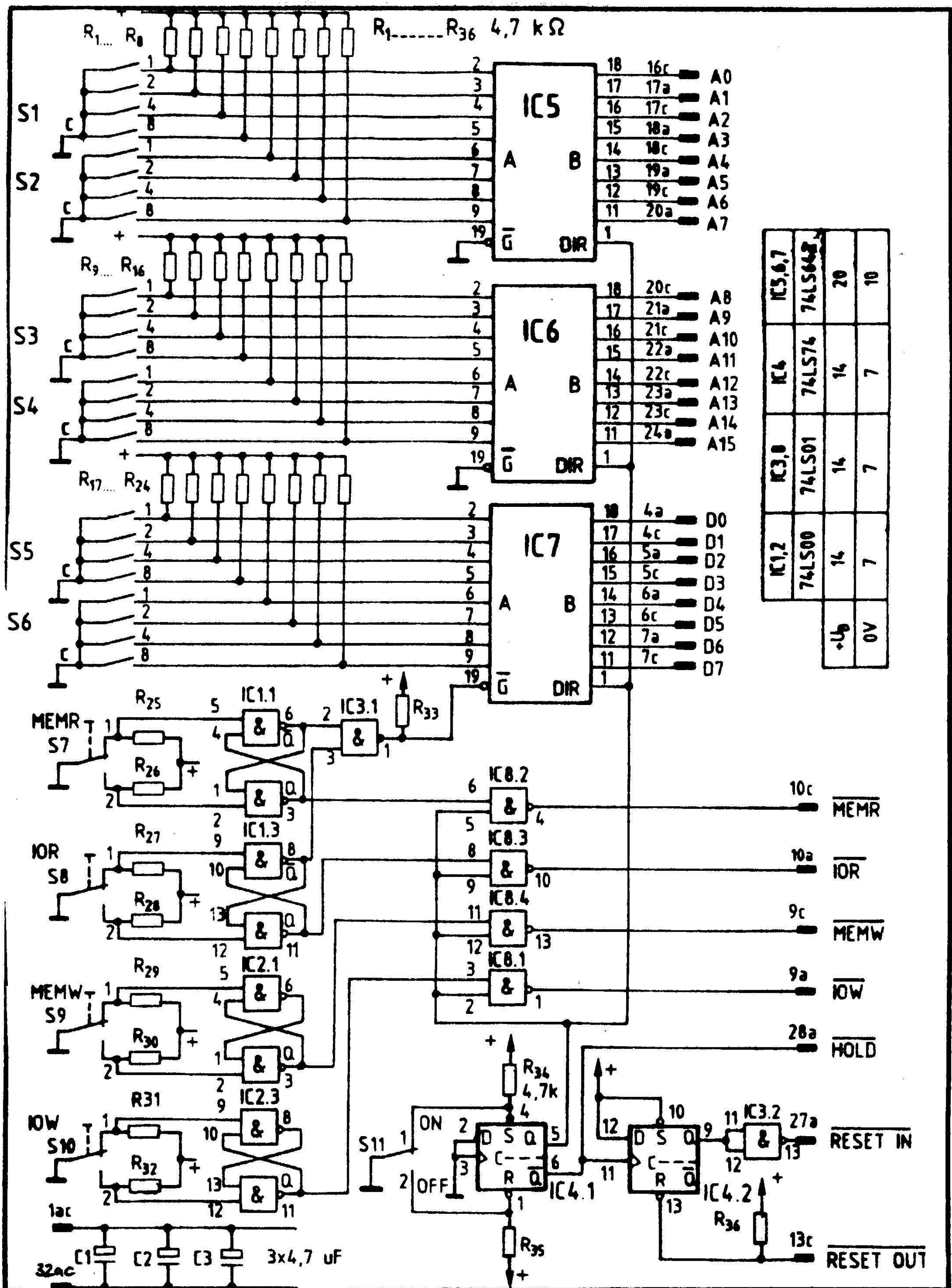


Bild 8: Impulsdiagramm der RESET- Steuerung

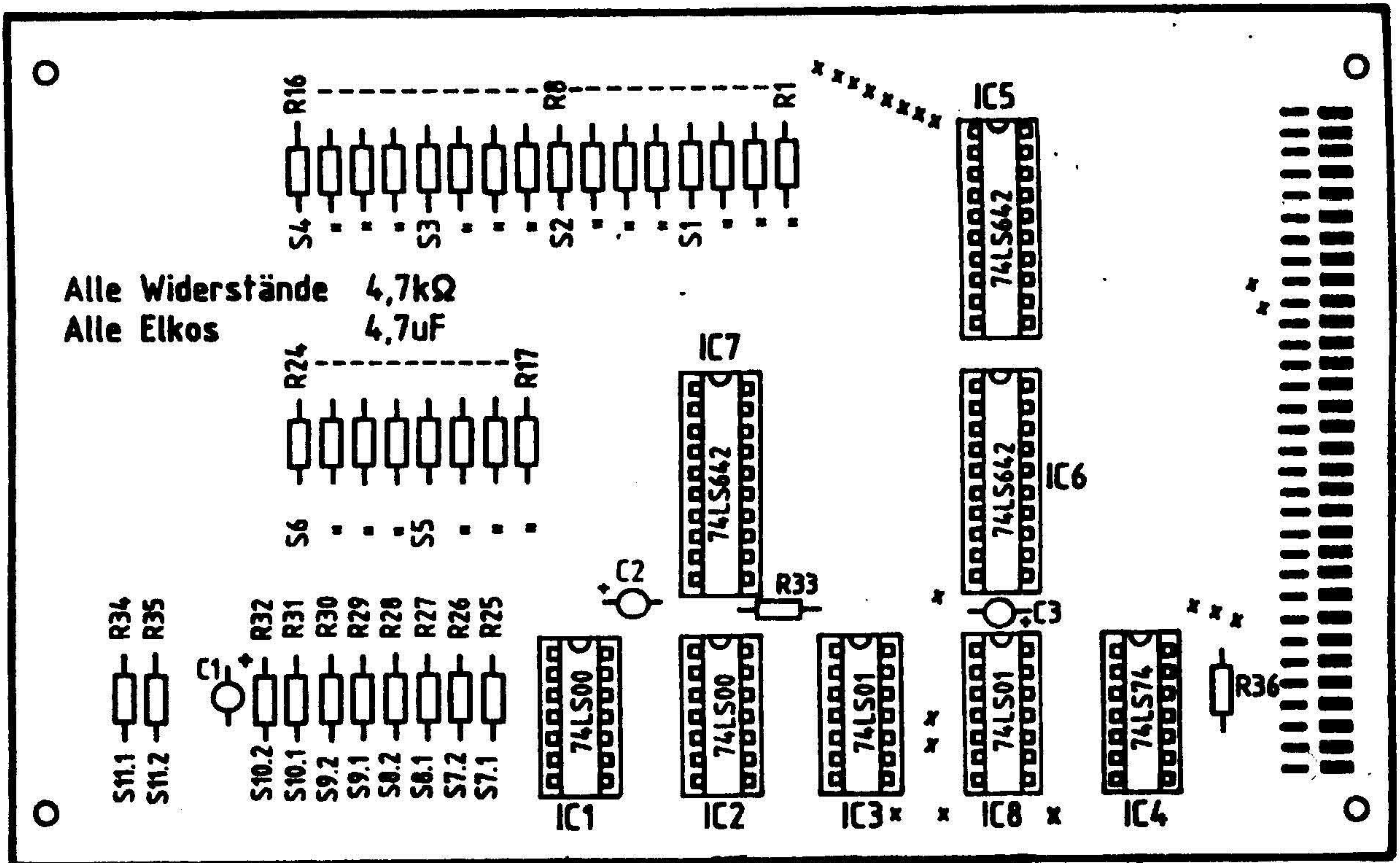




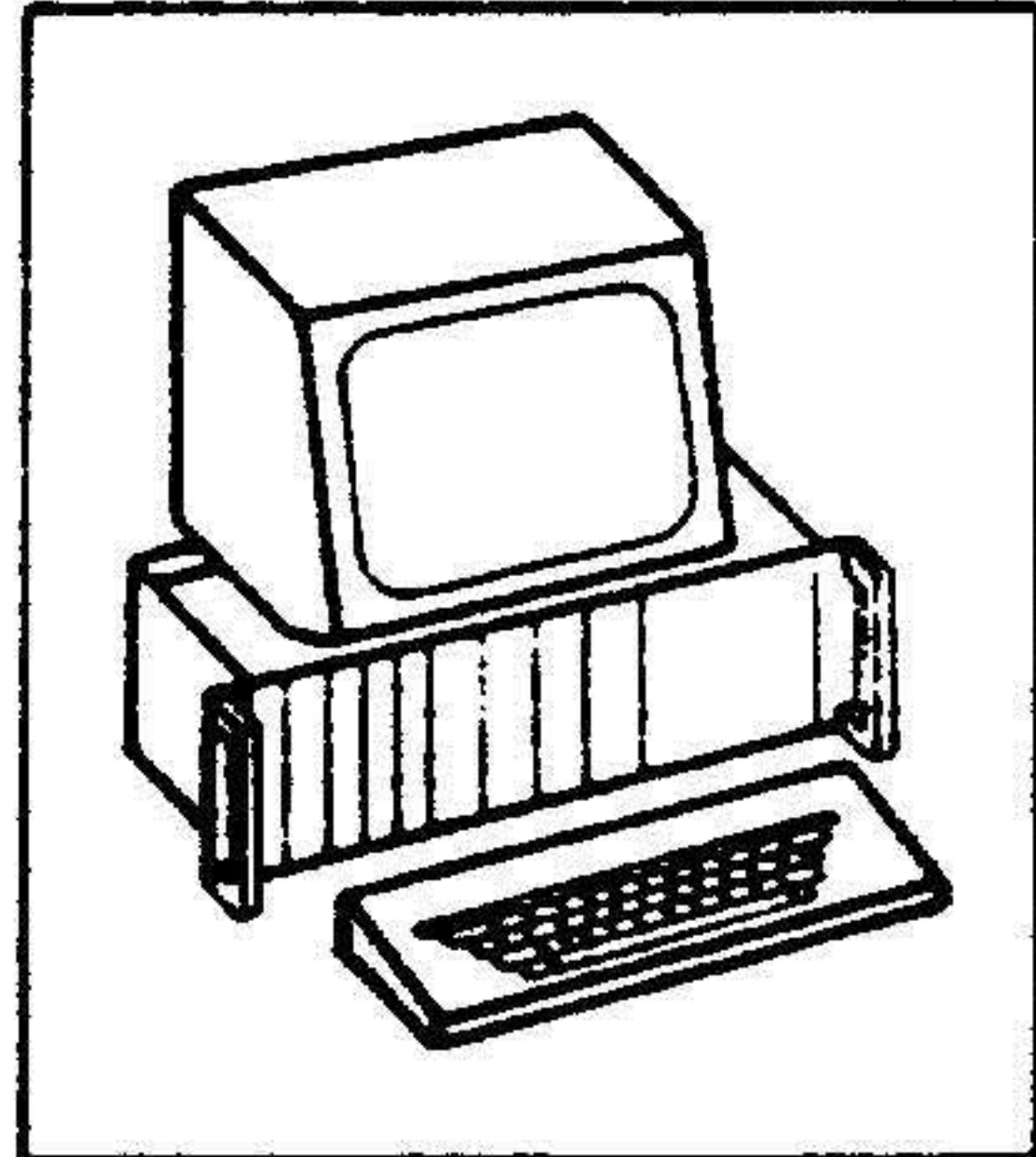
M F A

Schaltbild Bus-Signalgeber

14



FACHPRAKTISCHE ÜBUNG MIKROCOMPUTER-TECHNIK



Inbetriebnahme 8085-System

BFZ/MFA 6.1.



Diese Übung ist Bestandteil eines Mediensystems, das im Rahmen eines vom Bundesminister für Bildung und Wissenschaft, vom Bundesminister für Forschung und Technologie sowie der Bundesanstalt für Arbeit geförderten Modellversuches zum Einsatz der "Mikrocomputer-Technik in der Facharbeiterausbildung" vom BFZ-Essen e.V. entwickelt wurde.

Hinweise

BFZ / MFA 6.1. - 1

Inbetriebnahme 8085-System

1. Einführung

Sind alle Baugruppen des MC-Baugruppensystems fertig und sorgfältig überprüft, so kann das Gesamtsystem in Betrieb genommen werden. Hierbei sollte man unbedingt schrittweise vorgehen, denn nur so lassen sich eventuell noch vorhandene Fehler finden.

Der erste Prüfschritt beschränkt sich auf den Test des Zusammenspiels von Prozessor und RAM-Speicher. In weiteren Prüfschritten werden dann die Ausgabe- und die Eingabe-Baugruppe in den Funktionstest mit einbezogen.

Bei allen Prüfschritten werden mit Hilfe des Bus-Signalgebers kleine Testprogramme in den RAM-Speicher eingeschrieben. Anschließend wird das Zusammenarbeiten der Baugruppen im Einzelschrittbetrieb über die Bus-Signalanzeige, und bei normaler Arbeitsgeschwindigkeit des Prozessors mit einem Oszilloskop verfolgt. Erst danach wird das System in Verbindung mit dem Betriebsprogramm MAT 85 in Betrieb genommen und die Datensichtstation angeschlossen.

2. Vorkenntnisse

Die folgenden Kenntnisse und Fertigkeiten werden für die Durchführung dieser System-Inbetriebnahme vorausgesetzt:

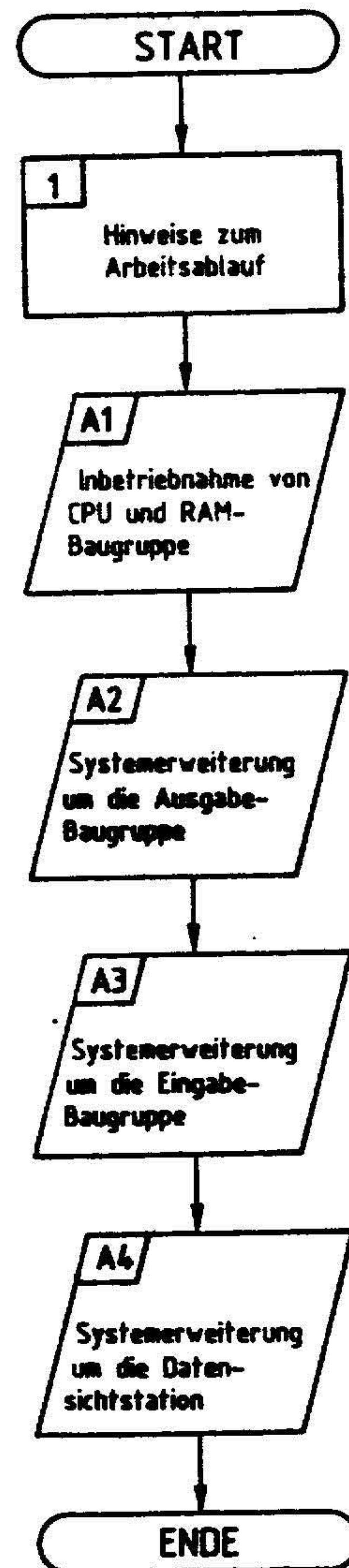
- Wirkungsweise und Bedienung des Bus-Signalgebers
- Wirkungsweise und Bedienung der Bus-Signalanzeige
- Wirkungsweise der CPU beim Abarbeiten eines Befehls
- Einstellen der Port-Adressen der Ein/Ausgabe-Baugruppen
- Einstellen der Basis-Adressen bei RAM/EPROM-Baugruppen
- Laden eines kleinen Programms in den RAM-Speicher mit dem Bus-Signalgeber

Diese Kenntnisse werden in den Abschnitten "Blockschaltbild und Wirkungsweise" der entsprechenden fachpraktischen Übungen beschrieben.

3. Zusatzunterlagen

Im Anschluß an die Arbeitsblätter finden Sie die Bestückungspläne aller Baugruppen, die für diese Inbetriebnahme-Übung benötigt werden.

Flußdiagramm für den Arbeitsablauf



Stckz.	Benennung/Daten	Bemerkung
1	Baugruppenträger mit Bus-Platine BFZ/MFA 0.1.	zusammengebaut und geprüft nach FPO BFZ/MFA 1.2. (Arbeitsblatt A7)
1	Bus-Abschluß BFZ/MFA 0.2.	
1	Trafo-Einschub BFZ/MFA 1.1.	
1	Spannungsregelung BFZ/MFA 1.2.	
1	Prozessor 8085 BFZ/MFA 2.1.	
1	8-K-RAM/EPROM BFZ/MFA 3.1.	
1	8-K-RAM/EPROM BFZ/MFA 3.1.	bestückt mit Betriebssystem "MAT 85 Vers. 1.8"
1	8-Bit-Parallel-Ausgabe BFZ/MFA 4.1.	bestückt mit 2-K-RAM
1	8-Bit-Parallel-Eingabe BFZ/MFA 4.2.	
1	Bus-Signalgeber BFZ/MFA 5.1.	
1	Bus-Signalanzeige BFZ/MFA 5.2.	
1	Adapterkarte BFZ/MFA 5.3.	
1	ASCII - Tastatur BFZ/MFA 8.1.	
1	Video-Interface BFZ/MFA 8.2.	
1	Video-Gerät	
1	Zweistrahlozilloskop	
1	FPO "Prozessor 8085, BFZ/MFA 2.1."	Vertiefen des theoretischen Hintergrundes zu den Arbeitsschritten

Hinweise zum Arbeitsablauf

In dieser Übung werden Sie das Mikrocomputersystem schrittweise in Betrieb nehmen.

Alle zur Inbetriebnahme vorgegebenen Arbeitsblätter enthalten:

- Angaben über den Sinn des jeweiligen Arbeitsschrittes oder der Messung
- Angaben über Vorbereitungen und einzustellende Bedingungen
- Anweisungen zu einzelnen Testschritten mit Erläuterungen der zugehörigen Ergebnisse.

Nach Beendigung eines Arbeitsabschnittes wird die notwendige Theorie zum vorangegangenen Inbetriebnahmeschritt behandelt. Es wird empfohlen, nach dem Durcharbeiten dieses Theorieteils ggf. die Arbeitsschritte noch einmal zu wiederholen.

Name:

Datum:

Inbetriebnahme 8085-System

A1.1

Inbetriebnahme von CPU- und RAM-Baugruppe
im Einzelschritt- und Normalbetrieb

Mit Hilfe des Bus-Signalgebers wird in den RAM-Speicher ein kleines Programm (Schleife) eingegeben. Hierzu wird die CPU vom System-Bus getrennt. Nach der Programmeingabe wird die Abarbeitung des Programms durch den Prozessor im Einzelschritt mit Hilfe der Bus-Signalanzeige und bei normaler Arbeitsgeschwindigkeit mit einem Oszilloskop verfolgt.

RAM-Baugruppe:

Basisadresse mit den DIL-Schaltern auf 0000 stellen. *

RAM-Baustein 6116P-3 in den Sockel IC8 stecken.

(Adreßbereich 0000-07FF)

Bus-Signalanzeige:

Mit den DIL-Schaltern S1 bis S16 die Adresse für den Adreßvergleich auf 0000 stellen. (E000) *

Folgende Baugruppen in den Baugruppenträger stecken:

Bus-Signalgeber

Bus-Signalanzeige über Adapterkarte

Prozessor 8085

RAM-Baugruppe (nach Umstellung der Basisadresse). *

Betriebsspannung einschalten.

Anweisung	Anzeige / Kommentare
Signalgeber: ON/OFF → ON*	ADDRESS- und DATA-Anzeigen entsprechen den Einstellungen der ADDRESS- und DATA-Schalter. Die CPU ist vom Bus getrennt. In dieser Schalterstellung können Programme in den RAM-Speicher geladen werden.
Signalanzeige: RUN/HLT → HLT ADDR. STOP → OFF	Vorbereitung für Einzelschrittbetrieb

* ON/OFF → ON bedeutet: Schalter ON/OFF in Stellung ON.

* Bei 64K-Karte mit Video-Interface
Monitor und Tastatur. Starten durch GO E000 mit der Tastatur

Name:

Datum:

Inbetriebnahme 8085-System

A1.2

Anweisung	Anzeige / Kommentar																
Laden Sie in den RAM-Speicher: <table><tr><th>ADDRESS</th><th>DATA</th></tr><tr><td>0000</td><td>C3</td></tr><tr><td>0001</td><td>00</td></tr><tr><td>0002</td><td>00</td></tr></table>	ADDRESS	DATA	0000	C3	0001	00	0002	00	Alternative Alles unter anderer Adresse z.B. E000 <table><tr><th>ADDRESS</th><th>DATA</th></tr><tr><td>E000</td><td>C3</td></tr><tr><td>E001</td><td>00</td></tr><tr><td>E002</td><td>00</td></tr></table> Es darf dann der RUN/HLT-Schalter erst nach einem GO E000 auf HLT gestellt werden.	ADDRESS	DATA	E000	C3	E001	00	E002	00
ADDRESS	DATA																
0000	C3																
0001	00																
0002	00																
ADDRESS	DATA																
E000	C3																
E001	00																
E002	00																
Signalgeber: ON/OFF → OFF	ADDRESS: 0000 (E000) DATA: C3 MEMR u. INSTR leuchten Jetzt ist die CPU aktiv. Sie sendet die Adresse 0000 aus und liest mit dem Steuersignal MEMR den Inhalt der adressierten Speicherzeile (C3). Die LED INSTR zeigt an, daß die CPU diesen Inhalt als Befehl auffaßt. Die CPU-interne Befehlsentschlüsselung ergibt: - es ist ein Drei-Byte-Befehl, - er lautet "Springe zu dem Befehl, dessen Adresse mit den beiden folgenden Bytes angegeben wird".																
STEP	ADDRESS: 0001 (E001) DATA: 00 MEMR leuchtet Die CPU sendet die Adresse 0001 aus und liest mit MEMR den Inhalt der adressierten Speicherzeile (00).																
STEP	ADDRESS: 0002 (E002) DATA: 00 (E0) MEMR leuchtet Die CPU sendet die Adresse 0002 aus und liest mit Hilfe von MEMR den Inhalt der adressierten Speicherzeile (00).																
STEP	ADDRESS: 0000 (E000) DATA: C3 MEMR u. INSTR leuchten Die CPU führt den Befehl aus, indem sie die Adresse 0000 aussendet und erneut in die Befehlsholphase übergeht. Das Befehlsbyte C3 ist wieder der oben genannte Sprungbefehl.																
3 x STEP	Der beschriebene Arbeitsablauf wiederholt sich.																

Name: _____

Inbetriebnahme 8085-System

Datum: _____

Schalten Sie den RUN/HLT-Schalter an der Bus-Signalanzeige auf RUN.
Die CPU arbeitet jetzt mit "Normalgeschwindigkeit".

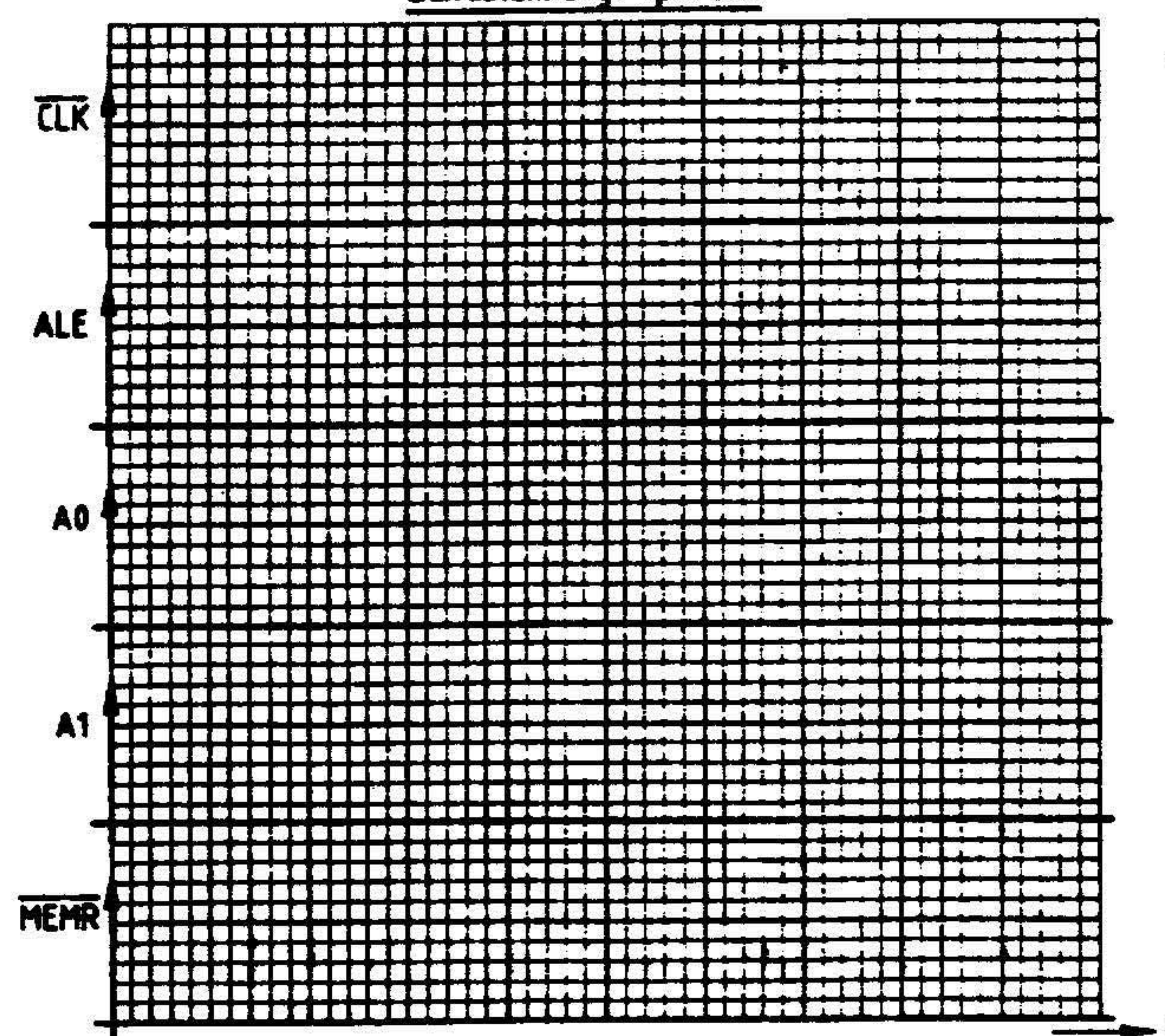
Oszilloskopieren Sie mit einem Zweistrahl-Oszilloskop der Reihe nach die in folgender Tabelle angegebenen Signale. Dabei wird das Ausgangssignal des Adreßvergleichers auf der Bus-Signalanzeige für die externe Triggierung des Oszilloskops verwendet. Aufgrund der Schalterstellung der DIL-Schalter auf der Bus-Signalanzeige liefert der Adreßvergleich immer dann ein Triggersignal, wenn die Adresse 0000 am Adreßbus ansteht.

Tragen Sie die Signalverläufe in das vorbereitete Diagramm ein.

A1.3

Signal	Messbar an...	Bemerkungen
U_{MP1}	MP1-Signalanzeige	Eingang "Ext.Triggerung"
\overline{CLK}	2a-Adapter	Kanal 1, Systemtakt
ALE	MP3-Signalanzeige	Kanal 2
A0	16c-Adapter	Kanal 2
A1	17a-Adapter	Kanal 2
\overline{MEMR}	MP7-Signalanzeige	Kanal 2

Zeitablenkung: 1µs/Div.



Die Signalaufnahme auf
Beiblatt am schluß durchführen.
(Blatt 24)

Name: _____

Inbetriebnahme 8085-System

Datum: _____

Diskussion der Meßergebnisse

A1.4

Nach dem Einschalten der Versorgungsspannung sendet die CPU 8085 über den Adreßbus die Adresse 0000 H aus und aktiviert das Steuerungssignal \overline{MEMR} . Daraufhin speichert sie das Datenwort aus der adressierten Speicherzeile intern ab. Dieses Datenwort wird als Befehl aufgefaßt. Der Befehlsdecoder der CPU entschlüsselt den Befehl und löst den notwendigen weiteren Steuerungsablauf aus. Handelt es sich z.B. um einen Ein-Byte-Befehl, so wird er sofort ausgeführt; ist es dagegen ein Drei-Byte-Befehl, so muß die CPU zunächst noch zwei weitere Bytes aus dem Speicher holen, bevor sie den Befehl ausführt. Danach liest die CPU das nächste Befehlsbyte aus dem Speicher. Damit die CPU im Sinne des Anwenders arbeitet, muß in die Speicherzeilen eine entsprechend sinnvolle Befehlsfolge, ein Programm, geladen werden.

Will man die Arbeitsweise mit einem Oszilloskop prüfen, so muß das Programm die CPU veranlassen, eine sich periodisch wiederholende Befehlsfolge zu durchlaufen. Eine solche Befehlsfolge heißt Programmschleife oder kurz Schleife.

Im Arbeitsschritt A1 bestand diese Schleife aus einem einzigen Befehl, nämlich dem Drei-Byte-Befehl C3 00 00,

springe zu dem Befehl, dessen Adresse in den beiden
folgenden Bytes angegeben wird, also zur Adresse 0000.

Da das Befehlsbyte C3 unter der Adresse 0000 abgespeichert ist, veranlaßt dieser Befehl die CPU immer wieder nach 0000 zurückzuspringen; es entsteht somit eine Schleife.

Ober die Einzelschrittsteuerung und die angezeigten Adreß-, Daten- und Steuersignale konnten Sie den Ablauf des Programms gut verfolgen.

Bild A1 zeigt Ihnen dagegen die Signalfolge, die Sie bei Normalbetrieb der CPU mit dem Oszilloskop aufnehmen konnten.

A1.5

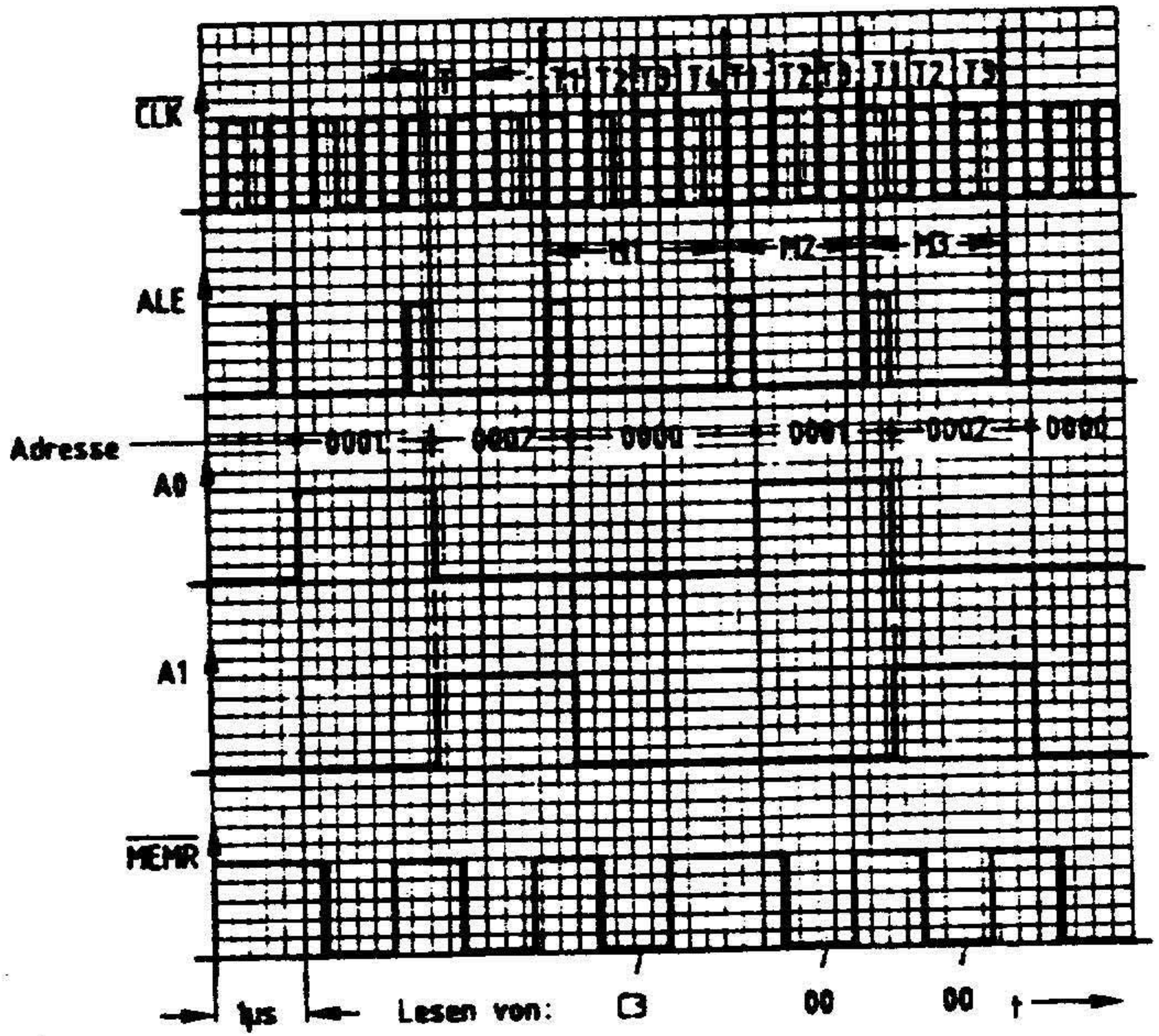


Bild A1: Oszillogramme zum Arbeitsschritt A1

Das Signal am Meßpunkt 1 der Signalanzeige wechselt immer dann auf H-Pegel, wenn der Adreßbus die Adresse 0000 führt. Diese Adresse haben Sie dem Adreßvergleichler auf der Bus-Signalanzeige mit den 16 DIL-Schaltern vorgegeben. Das Signal am Meßpunkt 1 ist das Ausgangssignal dieses Adreßvergleichers. Es wurde zur externen Triggerung des Oszilloskops verwendet. Dadurch haben alle aufgenommenen Signale den richtigen Zeitbezug zueinander.

Das ALE-Signal nimmt jeweils zu Beginn eines neuen Maschinenzykusses für eine halbe Taktperiode (CLK) H-Pegel an. Sie können deutlich erkennen, daß der Maschinenzklus M1 vier Taktperioden (T1 - T4) andauert und die Zyklen M2 und M3 nur je drei. Ursache dafür ist die Befehlsentschlüsselung, die während des Taktzyklusses T4 erfolgt.

Ein L-Pegel auf MEMR zeigt an, daß die CPU Daten aus dem Speicher liest. Um den Drei-Byte-Befehl zu lesen, sind drei Speicherzugriffe erforderlich. Die jeweils gelesenen Datenworte sind in den Signalverlauf für MEMR eingetragen. Die Pegel auf den Adreßleitungen A0 und A1 zeigen an, zu welchen Zeiten die Adressen 0, 1 und 2 ausgegeben werden.

A2.1

Inbetriebnahme von CPU, RAM und Ausgabe-Baugruppe

In den RAM-Speicher wird ein Programm geladen, das die CPU veranlaßt, in einer Schleife den Datenwert 55 (Hex) an die Ausgabe-Baugruppe auszugeben. Die Prüfung erfolgt wieder im Einzelschritt- und Normalbetrieb.

Stellen Sie bei der "8-Bit-Parallelausgabe" die Port-Adresse 13 H ein. Stecken Sie die Baugruppe zusätzlich in den Baugruppenträger und schalten Sie die Betriebsspannung ein.

Anweisung	Anzeige / Kommentare																
Signalgeber: ON/OFF → ON Signalanzeige: RUN/HLT → HLT ADDR.STOP → OFF	Die Anzeige der Daten und Adressen ist abhängig von der Stellung der entsprechenden Schalter auf dem Signalgeber, da die CPU vom Bus getrennt ist. Vorbereitung für den Einzelschrittbetrieb																
Laden Sie in den RAM-Speicher: <table><tr><th>ADDRESS</th><th>DATA</th></tr><tr><td>0000</td><td>3E</td></tr><tr><td>0001</td><td>55</td></tr><tr><td>0002</td><td>D3</td></tr><tr><td>0003</td><td>13</td></tr><tr><td>0004</td><td>C3</td></tr><tr><td>0005</td><td>00</td></tr><tr><td>0006</td><td>00</td></tr></table>	ADDRESS	DATA	0000	3E	0001	55	0002	D3	0003	13	0004	C3	0005	00	0006	00	Alternativen für eine andere Adresse z.B. E000 können benutzt werden.
ADDRESS	DATA																
0000	3E																
0001	55																
0002	D3																
0003	13																
0004	C3																
0005	00																
0006	00																
Signalgeber: ON/OFF → OFF	ADDRESS: 0000 DATA: 3E MEMR u. INSTR leuchten Die CPU sendet die Adresse 0000 aus und liest mit MEMR den Inhalt 3E des adressierten Speicherplatzes. Die LED INSTR zeigt an, daß die CPU diesen Inhalt als Befehl auffaßt. Die Befehlsentschlüsselung ergibt: - es ist ein Zwei-Byte-Befehl - "lade das im zweiten Byte angegebene Datum in den Akkumulator A". (CPU-internes Register)																

Name: _____

Inbetriebnahme 8085-System

Datum: _____

A2.2

Anweisung	Anzeige / Kommentare
STEP	<div>ADDRESS: 0001 DATA: 55</div> <div>MEMR leuchtet</div> <p>Die CPU sendet die Adresse 0001 aus und liest das Datum, das zum vorigen Befehlsbyte gehört. Dieses Datum speichert sie intern ab.</p>
STEP	<div>ADDRESS: 0002 DATA: D3</div> <div>MEMR u. INSTR leuchten</div> <p>Unter der Adresse 0002 wird der Befehl D3 gelesen. Die Befehlsentschlüsselung ergibt:</p> <ul style="list-style-type: none"> - D3 ist ein Zwei-Byte-Befehl - "gib den Inhalt des Akkumulators an das Ausgabe-Port, dessen Port-Adresse in der nächsten Speicherstelle steht".
STEP	<div>ADDRESS: 0003 DATA: 13</div> <div>MEMR leuchtet</div> <p>Die CPU liest den Inhalt der Speicherzeile 0003. Der Inhalt 13 entspricht der Port-Adresse.</p>
STEP	<div>ADDRESS: 1313 DATA: 55</div> <div>IOW leuchtet</div> <p>Der Befehl wird nun ausgeführt. Die CPU sendet dazu die Adresse 1313 aus, stellt auf den Datenleitungen das Datum 55 bereit und aktiviert das Steuersignal IOW. Die CPU 8085 verwendet zur Auswahl der Ein- und Ausgabe-Baugruppen nur acht Adreßleitungen. Es ist daher nicht weiter von Bedeutung, daß sie sowohl auf den unteren als auch auf den oberen acht Adreßleitungen die Port-Adresse aussendet. Da das Datenregister in der Ausgabe-Baugruppe die Daten flankengesteuert übernimmt, wird das übergebene Datum erst mit dem nächsten STEP an den LED's der Ausgabe-Baugruppe sichtbar.</p>
STEP	<div>ADDRESS: 0004 DATA: C3</div> <div>MEMR u. INSTR leuchten</div> <div>LED's B0, B2, B4, B6 der Ausgabe-Baugruppe leuchten.</div>

Name: _____

Inbetriebnahme 8085-System

Datum: _____

A2.3

Anweisung	Anzeige / Kommentare
(Fortsetzung)	<p>Die leuchtenden LED's entsprechen dem Hex-Wert 55. Aus der Speicherzeile 0004 liest die CPU den bereits im Arbeitsblatt A1 behandelten Sprungbefehl C3.</p>
3 x STEP	<div>ADDRESS: 0000 DATA: 3E</div> <div>MEMR u. INSTR leuchten</div> <p>Die CPU hat die Sprungadresse gelesen und ist zum Anfang des Programms zurück gesprungen. Dort findet sie wieder den "Ladebefehl" 3E.</p>
Signalanzeige: RUN/HLT → RUN	<div>ADDRESS u. DATA nicht definierbar</div> <div>MEMR, INSTR u. IOW leuchten schwach</div> <p>Die CPU arbeitet mit Normalgeschwindigkeit. Weil sich die Adreß-, Daten- und Steuersignale sehr schnell ändern, können sie an der Signalanzeige nicht mehr verfolgt werden. Die Port-LED's leuchten dauernd, weil sie durch das Programm nicht mehr gelöscht werden.</p>

Mögliche Experimente:

1. Ändern Sie das Programm so ab, daß die bisher dunklen LED's leuchten.
2. Laden Sie ein Programm, das in schneller Folge abwechselnd zuerst die LED's B0, B2, B4, B6 und dann die LED's B1, B3, B5 u. B7 leuchten läßt.

Diskussion der Beobachtungsergebnisse

A2.4

Im Arbeitsschritt A2 wurde die 8-Bit-Parallel-Ausgabe in die Prüfung mit einbezogen.

Das eingegebene Prüfprogramm bestand aus drei Befehlen.

1. Befehl: Lade den Datenwert 55 H in den Akkumulator der CPU.
2. Befehl: Gib den Wert, der sich im Akkumulator befindet, an die Ausgabebaugruppe aus, deren Port-Adresse 13 beträgt.
3. Befehl: Springe zurück zum 1. Befehl und fahre dort mit der Programmbearbeitung fort.

Die Kommentare zu den Anzeigen im Einzelschrittbetrieb erklären die Arbeitsweise des Programms.

Zu den Experimenten:

Mit dem zweiten Byte des 1. Befehls läßt sich bestimmen, welche LED's am Ausgabeport leuchten. Zur Durchführung des 1. Experimentes ist folgendes Programm erforderlich:

Adresse	Daten
0000	3E
0001	AA
0002	D3
0003	13
0004	C3
0005	00
0006	00



Zur Durchführung des 2. Experimentes muß das Programm wie folgt eingegeben werden:

A2.5

Adresse	Daten	Bemerkungen
0000	3E	Akku mit dem Wert für die Bits B0, B2, B4... laden
0001	55	
0002	D3	Akku an Port 13 ausgeben
0003	13	
0004	3E	Akku mit dem Wert für die Bits B1, B3, B5... laden
0005	AA	
0006	D3	Akku an Port 13 ausgeben
0007	13	
0008	C3	Rücksprung zum Start
0009	00	
000A	00	

Alternativen für eine andere Adresse z.B. E000 können benutzt werden.



Inbetriebnahme von CPU, RAM, Ausgabe- und Eingabe-Baugruppe

A3.1

In den RAM-Speicher wird ein Programm geladen, das die CPU veranlaßt, in einer Schleife Daten von der Eingabe-Baugruppe zu lesen und sie an der Ausgabe-Baugruppe auszugeben. Die Prüfung erfolgt im Einzelschritt- und Normalbetrieb.

Stellen Sie bei der "8-Bit-Parallel-Eingabe" die Portadresse 12 H ein. Stecken Sie die Baugruppe zusätzlich in den Baugruppenträger, schalten Sie die Betriebsspannung ein.

Anweisung	Anzeige / Kommentare																
Signalgeber: ON/OFF → ON Signalanzeige: RUN/HLT → HLT ADDR.STOP → OFF	Die CPU ist vom Bus getrennt. Die mit den Daten- und Adreßschaltern eingestellten Signale werden auf der Signalanzeige angezeigt. Vorbereitung für den Einzelschrittbetrieb.																
Laden Sie in den RAM-Speicher: <table><tr><th>ADDRESS</th><th>DATA</th></tr><tr><td>0000</td><td>DB</td></tr><tr><td>0001</td><td>12</td></tr><tr><td>0002</td><td>D3</td></tr><tr><td>0003</td><td>13</td></tr><tr><td>0004</td><td>C3</td></tr><tr><td>0005</td><td>00</td></tr><tr><td>0006</td><td>00</td></tr></table>	ADDRESS	DATA	0000	DB	0001	12	0002	D3	0003	13	0004	C3	0005	00	0006	00	
ADDRESS	DATA																
0000	DB																
0001	12																
0002	D3																
0003	13																
0004	C3																
0005	00																
0006	00																
Signalgeber: ON/OFF → OFF	<div>ADDRESS: 0000DATA: DB</div> <div>MEMR u. INSTR leuchten</div> <p>Die CPU sendet die Adresse 0000 aus und liest mit MEMR den Inhalt der adressierten Speicherzeile. Der Inhalt DB wird als Befehl aufgefaßt. Die Entschlüsselung des Befehls ergibt:</p> <ul style="list-style-type: none">- es ist ein Zwei-Byte-Befehl- er lautet "lies die acht Bits des Eingabe-Ports, dessen Adresse im folgenden Speicherplatz angegeben ist, und speichere sie im Akku ab."																

A3.2

Anweisung	Anzeige / Kommentare
STEP	<div>ADDRESS: 0001DATA: 12</div> <div>MEMR leuchtet</div> <p>Die CPU liest die Adresse der Eingabe-Baugruppe, deren Signalzustand sie in den Akkumulator transportieren soll.</p>
Stellen Sie die Schalter des E-Ports so ein, daß die LED's B0, B2, B4 u. B6 leuchten	Dieser Signalzustand soll von der CPU gelesen und intern gespeichert werden.
STEP	<div>ADDRESS: 1212DATA: 55</div> <div>IOR leuchtet</div> <p>Die CPU gibt auf den unteren acht Adreßleitungen die Adresse des Eingabe-Ports 12 aus, und liest mit IOR das Datenwort, das dort mit den Schaltern eingestellt worden ist. Die eingestellte Bitkombination entspricht dem Hexadezimalwert von 55.</p>
STEP	<div>ADDRESS: 0002DATA: D3</div> <div>MEMR u. INSTR leuchten</div> <p>Die CPU liest aus Speicherzeile 0002 den Befehl D3. Dies ist der Zwei-Byte-Befehl "gib den Inhalt des Akkus an das Ausgabe-Port, dessen Port-Adresse im nächsten Speicherplatz angegeben ist".</p>
STEP	<div>ADDRESS: 0003DATA: 13</div> <div>MEMR leuchtet</div> <p>Die CPU liest aus Speicherplatz 0003 die Adresse des Ausgabe-Ports.</p>
STEP	<div>ADDRESS: 1313DATA: 55</div> <div>IOW leuchtet</div> <p>Die CPU führt den Befehl aus. Sie gibt die Port-Adresse 1313 des Ausgabe-Ports aus, und schreibt mit Hilfe von IOW das Datenwort 55 ins adressierte Ausgabe-Port. Die Übernahme erfolgt erst mit dem nächsten Step.</p>

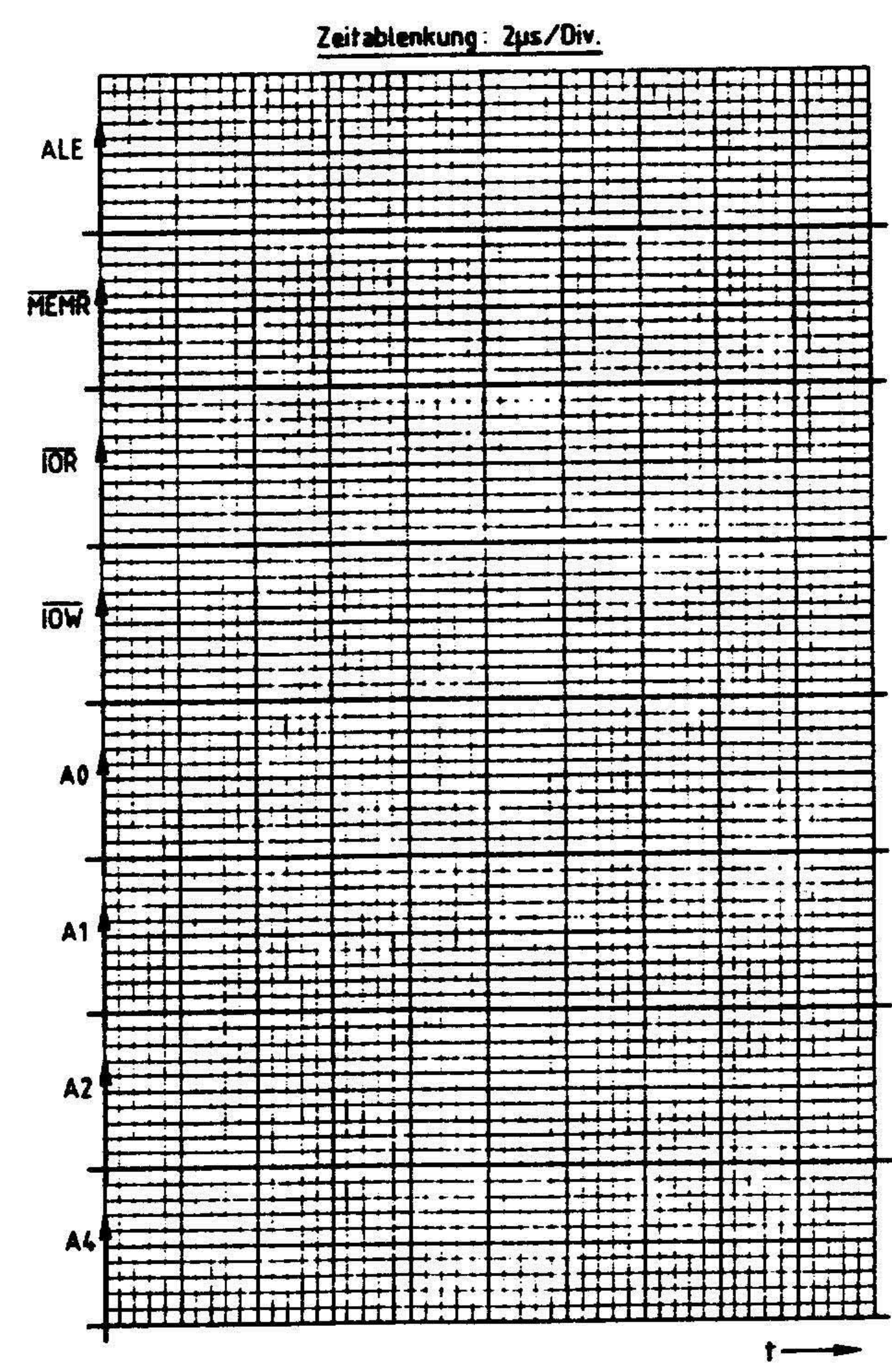
Anweisung	Anzeige / Kommentare
STEP	<div>ADDRESS: 0004</div> <div>MEMR u. INSTR leuchten</div> <div>Die LED's B0, B2, B4 u. B6 des A-Ports leuchten</div> <div>Der Befehl wurde ausgeführt. Unter Adresse 0004 wird der nächste Befehl C3 gelesen. Es ist der bereits oben erklärte Sprungbefehl, mit dem das Schleifenprogramm geschlossen wird.</div>
3 x STEP	Die Programmabarbeitung beginnt erneut bei der Adresse 0000.
Signalanzeige: RUN/HLT → RUN	<div>ADDRESS und DATA: nicht definierbar</div> <div>MEMR, IOR, IOW und INSTR leuchten schwach</div> <div>Ausgabe-Baugruppe: LED's B0, B2, B4 u. B6 leuchten.</div>
Verstellen Sie die Bitkombination der Eingabe-Baugruppe beliebig	An der Ausgabe-Baugruppe erscheint immer derjenige Signalzustand, der an den Schaltern der Eingabe-Baugruppe eingestellt ist.

A3.3

Oszilloskopieren Sie der Reihe nach die in folgender Tabelle angegebenen Signale. Das Ausgangssignal des Adreßvergleichers der Bus-Signalanzeige dient wieder als Triggersignal für die externe Triggerung. Tragen Sie die Signalverläufe in das vorbereitete Diagramm ein.

Signal	Messbar an...	Bemerkungen
U _{MP1}	MP1-Signalanzeige	Ext. Triggereingang
ALE	MP3- "	Kanal 1
MEMR	MP7- "	Kanal 2
IOR	MP6- "	Kanal 2
IOW	MP5- "	Kanal 2
A0	16c-Adapter	Kanal 2
A1	17a-Adapter	Kanal 2
A2	17c-Adapter	Kanal 2
A4	18c-Adapter	Kanal 2

A3.4



Die Signalaufnahme auf Beiblatt am schluß durchführen. (Blatt 26)

→

Name:

Inbetriebnahme 8085-System

Datum:

A3.5

Diskussion der Meßergebnisse

Im Arbeitsschritt A3 wurde die 8-Bit-Parallel-Eingabe-Baugruppe mit in die Prüfung einbezogen. Das Prüfprogramm bestand aus drei Befehlen.

1. Befehl: Lies die acht Bits des Eingabe-Ports mit der Portadresse 12 (das gelesene Datenwort wird im Akku gespeichert).
2. Befehl: Gib den Akkuinhalt an das Ausgabe-Port mit der Portadresse 13.
3. Befehl: Springe zum 1. Befehl zurück.

Im Einzelschrittbetrieb ließ sich die Arbeitsweise dieses Programms gut verfolgen.

Im Betrieb mit normaler Prozessorgeschwindigkeit zeigt sich, daß hier durch ein Programm zwei Baugruppen miteinander "verdrahtet" worden sind; jeder Schaltereingabe folgt, anscheinend ohne Zeitverzögerung, die entsprechende Anzeige.

Versuchen Sie einmal, das folgende Programm zu laden und seine Wirkung zu erkunden. Tragen Sie entsprechende Bemerkungen selbst ein.

Adresse	Daten	Bemerkungen
0000	DB	
0001	12	
0002	2F	
0003	D3	
0004	13	
0005	C3	
0006	00	
0007	00	

Bild A3 zeigt die Oszillogramme, die Sie bei Normalbetrieb der CPU aufnehmen konnten. Der auf die Adresse 0000 eingestellte Adreßvergleich liefert wieder das Triggersignal zur Sicherstellung des richtigen Zeitbezugs. Die eingetragenen Bezeichnungen IN 12, OUT 13 und JMP 0000 sind leicht merkbare Kurzbezeichnungen für die drei Befehle dieses Programms. Die Schreibweise der Befehle in dieser Weise nennt man Mnemo-Code. Die Abkürzungen entstammen der englischen Sprache, JMP z.B. ist die Abkürzung von jump (= springe).

Name:

Inbetriebnahme 8085-System

Datum:

A3.6

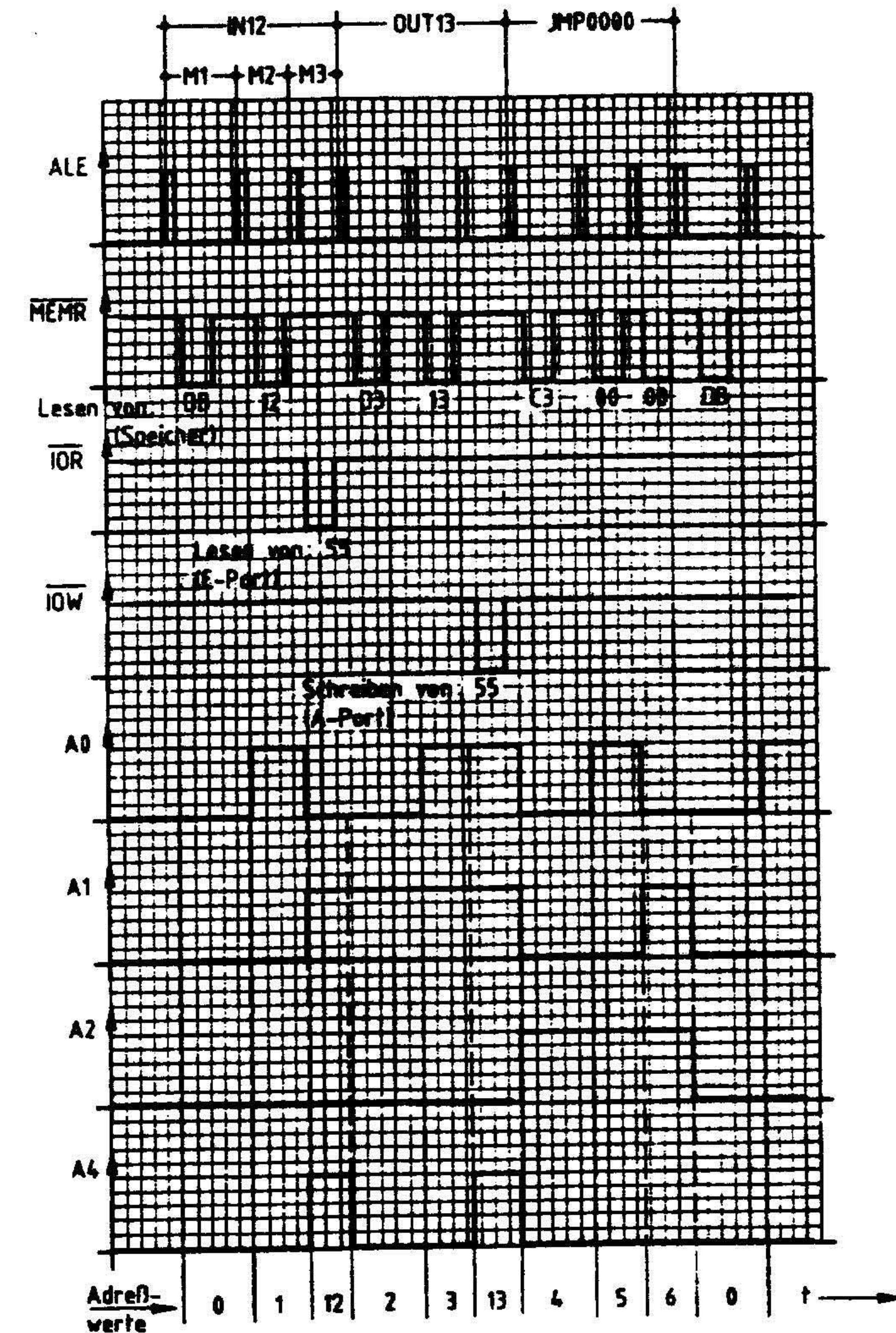


Bild A3: Oszillogramme zum Arbeitsschritt A3

Name:

Inbetriebnahme 8085-System

Datum:

A3.7

Dem Verlauf des ALE-Signals kann man entnehmen, daß die Befehle IN und OUT je drei Maschinenzyklen enthalten. Während des M1-Zyklus werden die Befehlsworte DB bzw. D3 gelesen und entschlüsselt; während M2 werden die Portadressen 12 bzw. 13 gelesen, und während M3 werden die Befehle ausgeführt. Die Ausführung des IN-Befehls erfolgt mit dem Steuersignal \overline{IOR} , die des OUT-Befehls mit dem Steuersignal \overline{IOW} .

Den Pegeln der Adressenleitungen können Sie entnehmen, welche Adreßwerte die CPU im Verlauf der Programmbearbeitung ausgibt

Die Ausführung des Befehls IN erfordert es, daß nach Ausgabe der Adresse 1 zunächst die Port-Adresse 12 ausgesendet wird, ehe unter der Adresse 2 der OUT-Befehl gelesen wird. Auch die Ausführung dieses Befehls unterbricht das "normale" Hochzählen des Adreßzählers der CPU.

→ A4.1

Name:

Inbetriebnahme 8085-System

Datum:

A4.1

Inbetriebnahme von CPU-, RAM- und EPROM-Baugruppe und Datensichtstation in Verbindung mit dem Betriebsprogramm MAT 85

In diesem Prüfschritt wird die CPU durch das Betriebsprogramm MAT 85 gesteuert. Dieses Betriebsprogramm befindet sich in den EPROM's der EPROM-Baugruppe. Es beginnt bei der Speicheradresse 0000 und erfordert RAM-Speicher im letzten K-Byte-Block des Systemspeichers (FC00 - FFFF). Die RAM-Baugruppe ist deshalb so umzurüsten, daß dieser Speicherbereich von einem RAM-IC überdeckt wird.

RAM-Baugruppe:

Basisadresse auf E000 stellen; (letzte 2K des Bereichs)

RAM-IC (6116P-3) in Sockel IC11 stecken;

EPROM-Baugruppe:

Basisadresse auf 0000 stellen;

überprüfen, ob die EPROM's in der richtigen Reihenfolge eingesteckt sind.

Stecken Sie folgende Baugruppen in den Baugruppenträger:

- Prozessor 8085-Baugruppe
- RAM-Baugruppe
- EPROM-Baugruppe
- Video-Interface, daran anschließen die Tastatur und den Bildschirm
- Bus-Signalanzeige

Betriebsspannung und Bildschirm einschalten.

Anweisung	Anzeige / Kommentare
Signalanzeige: ADDR.STOP → OFF RUN/HLT → RUN	<div>ADDRESS: 086H DATA: nicht lesbar</div> <div>MEMR u. INSTR leuchten schwächer</div> <div>Bildschirm: gefüllt mit zufälligen Zeichen</div> <div>Die CPU läuft in einer Programmschleife zwischen den Adressen 0869 und 086D. Sie liest dort Daten, von denen sie einige als Befehle auffaßt. Da sich Datenanzeige und Anzeige der niederwertigen Adreß-Ziffer sehr schnell ändern, sind sie nicht ablesbar. Der Bildschirm wird noch nicht bedient.</div>



Name: _____

Inbetriebnahme 8085-System

Datum: _____

Anweisung	Anzeige / Kommentare
SPACE-Taste betätigen (lange Taste auf der Tastatur)	<div style="text-align: right; font-size: 2em; font-weight: bold;">A4.2</div> <p>Bildschirm:</p> <pre> ASSEMBLER BREAKPOINT DISASSEMBLER GO HELP IN LOAD TAPE MEMORY NEXT INSTRUCTION OUT PRINT REGISTER SAVE TRACE INTERVAL KMD>_ </pre> <p style="margin-left: 100px;">↑ blinkend</p> <p>Das Betriebsprogramm druckt alle verfügbaren "Monitor-Kommandos" aus.</p> <p>Die Zeichenfolge "KMD>_" bedeutet "Kommando eingeben". Das Programm erwartet jetzt die Eingabe eines der Anfangsbuchstaben der aufgeführten Kommandonamen mit nachfolgender Betätigung der CR-Taste (Carriage-Return = Wagen-Rücklauf).</p> <p>Wenn Sie anstelle der SPACE-Taste nach dem Einschalten der Betriebsspannung eine andere Taste betätigen, so wird es nicht zu obigem Ausdruck auf dem Bildschirm kommen. In diesem Fall müssen Sie das Gerät noch einmal ausschalten und den Einschaltvorgang wiederholen.</p> <p>Die Bedeutung aller Monitor-Kommandos und ihre Benutzung wird in der Fachpraktischen Übung "MAT 85 Betriebsprogramm" (BFZ/MFA 7.1.) erklärt.</p>

Name: _____

Inbetriebnahme 8085-System

Datum: _____

Diskussion der Beobachtungsergebnisse

A4.3

Wenn die in A4.2 dargestellten Kommandos auf dem Bildschirm erscheinen, ist die Inbetriebnahme des Systems abgeschlossen.

Wenn die Kommandos nicht erscheinen, überprüfen Sie noch einmal die folgenden Angaben:

- CPU-Baugruppe: V-24-Brücken vorhanden?
Elko C3 = 4,7 µF?
IC1 und IC2 in Ordnung?
(evtl. je ein neues IC einsetzen)
- Video-Interface: Lötbrücken P0-P1, P4-P5, P6-P7
P6-P10 u. P12-P13 verbunden?
- EPROM-Baugruppe: Basis-Adresse auf 0000?
Brücken P1-P2 u. P7-P8 vorhanden?
EPROM-Reihenfolge richtig?
- RAM-Baugruppe: Basis-Adresse auf E000?
Brücken P3-P4 u. P5-P6 vorhanden?
RAM auf Steckplatz IC11?

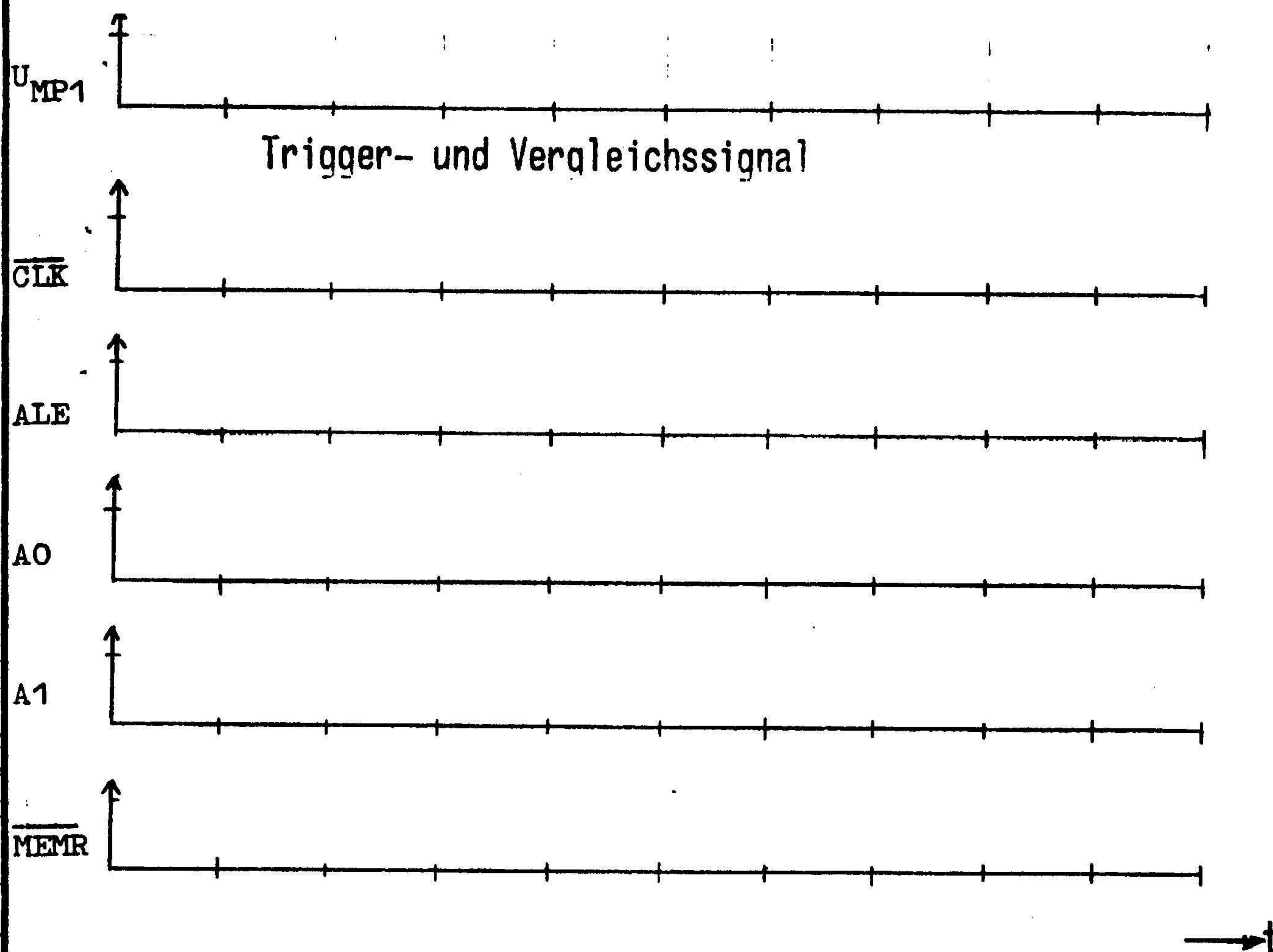
Sollten alle Punkte erfüllt sein, müssen Sie die Einzelinbetriebnahmen der Baugruppen noch einmal durchführen.

Oszilloskopeinstellung:

Zeitablenkung: 0,5 μ s/Div

Triggerung: Kanal 1, positive Flanke

Signal	Messbar an...	Bemerkungen
U_{MP1}	MP1-Signalanzeige	Kanal 1
\overline{CLK}	2a-Adapter	Kanal 2, Systemtakt
ALE	MP3-Signalanzeige	Kanal 2
A0	16c-Adapter	Kanal 2
A1	17a-Adapter	Kanal 2
\overline{MEMR}	MP7-Signalanzeige	Kanal 2



Erläuterungen zu den aufgenommenen Signalen

Das ALE-Signal nimmt jeweils zu Beginn eines neuen Maschinenzklus für eine halbe Taktperiode H-Pegel an. Der Sprungbefehl "JMP 0000" ist also drei Maschinenzklen lang. Der erste Maschinenzklus dauert vier Taktzyklen (T1 bis T4) und der zweite und dritte jeweils drei Taktzyklen. Ursache dafür ist, das im vierten Taktzyklus des ersten Maschinzyklus M1 (Befehlsholphase) die Befehlsentschlüsselung im Befehlsdecoder erfolgt. Das gilt für jeden Befehl.

Insgesamt benötigt der Prozessor zur Abarbeitung des Befehls (hier auch Programmabarbeitungszeit) bei einer Taktfrequenz von 2 MHz 5 μ s.

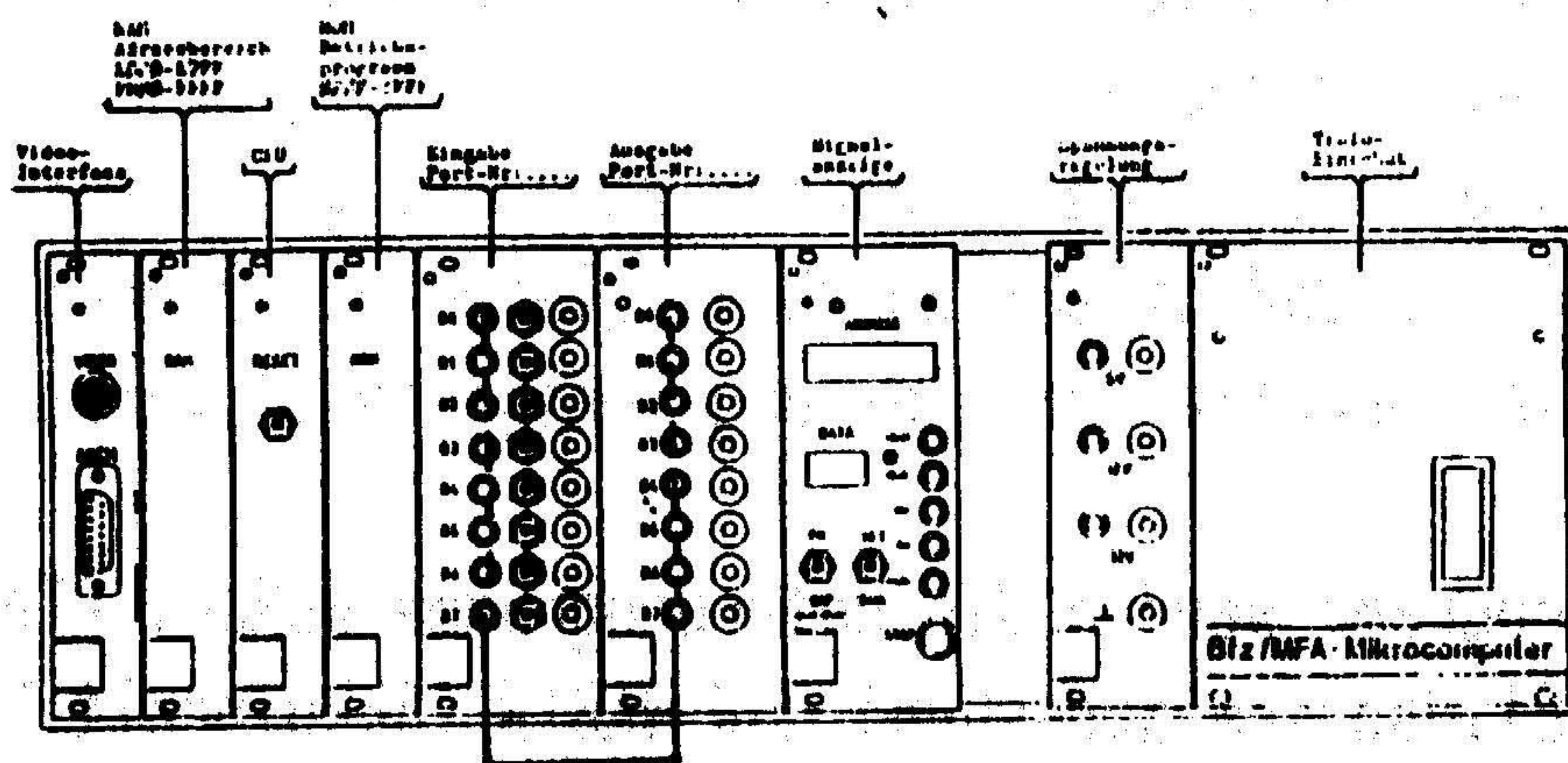
Eine Änderung des Zustandes auf den Adressleitungen findet mit jeder fallenden Flanke des ALE-Signals statt, da dann die Adressinformation der CPU in den ADRESS-TREIBER übernommen wird. Aus dem Verlauf der Adreßsignale A0 und A1 lassen sich, jeweils für die Dauer eines Maschinenzklus, die vom Prozessor ausgegebenen Adressen bestimmen.

Ein L-Signal auf der Steuerleitung MEMR gibt an, daß der Prozessor Informationen aus dem Speicher liest. Zur Ausführung dieses drei Byte-Befehls muß die CPU also dreimal auf den Speicher zugreifen, um die notwendige Information zur Befehlsausführung zu erhalten.



Dynamischer Ein-/Ausgabe-Baugruppentest

Die Eingabe- und die Ausgabe-Baugruppe sollen dynamisch getestet werden. Aus diesem Grund werden jeweils die Ausgänge B0 bis B7 der Ausgabe-Baugruppe mit den Anschlüssen B0 bis B7 der Eingabe-Baugruppe verbunden.



MFA-Grundsystem bestehend aus

- Video-Interface
- CPU-Baugruppe
- RAM-Baugruppe Basisadr. E000 Hex
- ROM-Baugruppe Basisadr. 0000 Hex
- Parallele Eingabe Port-Nr. 01
- Parallele Ausgabe Port-Nr. 02
- Bus-Signalanzeige



Arbeitsmittel

Inbetriebnahme / Fehlersuche

Testprogramme
E/A Test 1

1

Programmbeschreibung

Nach dem Start des Programms werden zyklisch die Testmuster 55 Hex und AA Hex an die Ausgabe-Baugruppe ausgegeben und anschließend geprüft, ob das jeweilige Datum an der Eingabe-Baugruppe anliegt. Sobald ein Fehler auftritt (der zum Beispiel durch eine Leitungsunterbrechung simuliert werden kann), erscheint eine Fehlermeldung auf dem Bildschirm, die den ausgegebenen Wert (Sollwert) und den gelesenen Wert (Istwert) binär anzeigt, so daß direkt durch Vergleich der Binärstellen die fehlerhafte Datenleitung festgestellt werden kann.

Im Programm werden die Unterprogramme WCRLF1 (Text auf den Bildschirm ausgeben) und WABIN (Akkuinhalt binär auf den Bildschirm ausgeben) des Betriebsprogramms aufgerufen.

Beschreibung der verwendeten Unterprogramme des Betriebsprogramms:

- WCRLF1 Gibt einen Wagenrücklauf (CR), eine neue Zeile (LF) und Text in diese neue Zeile aus. Der Text muß hinter dem Befehl "CALL WCRLF1" mit der DB-Anweisung in den Speicher gegeben werden. Das Textende wird mit $\emptyset\emptyset$ gekennzeichnet (Einsprungsadresse $\emptyset\emptyset73$ Hex)
- WABIN Gibt den Akkuinhalt als Binärwert auf den Bildschirm aus
(Einsprungsadresse $\emptyset\emptyset5E$ Hex)



Arbeitsmittel

Inbetriebnahme/Fehlersuche
Testprogramme
E/A Test 1

2

Assemblerprogramm:

```
E000    WCRLF1 EQU 0073
        WABIN EQU 005E
        ANFANG: MVI A, 55
                MOV B, A
                OUT 02
                IN 01
                CPI 55
                JNZ FEHLER
                CMA
                OUT 02
                MOV B, A
                IN 01
                CPI 0AA
                JNZ FEHLER
                JMP ANFANG
        FEHLER: MOV C, A
                CALL WCRLF1
                DB 'SOLL: ', 00
                MOV A, B
                CALL WABIN
                CALL WCRLF1
                DB 'IST: ', 00
                MOV A, C
                CALL WABIN
                JMP 0040
```



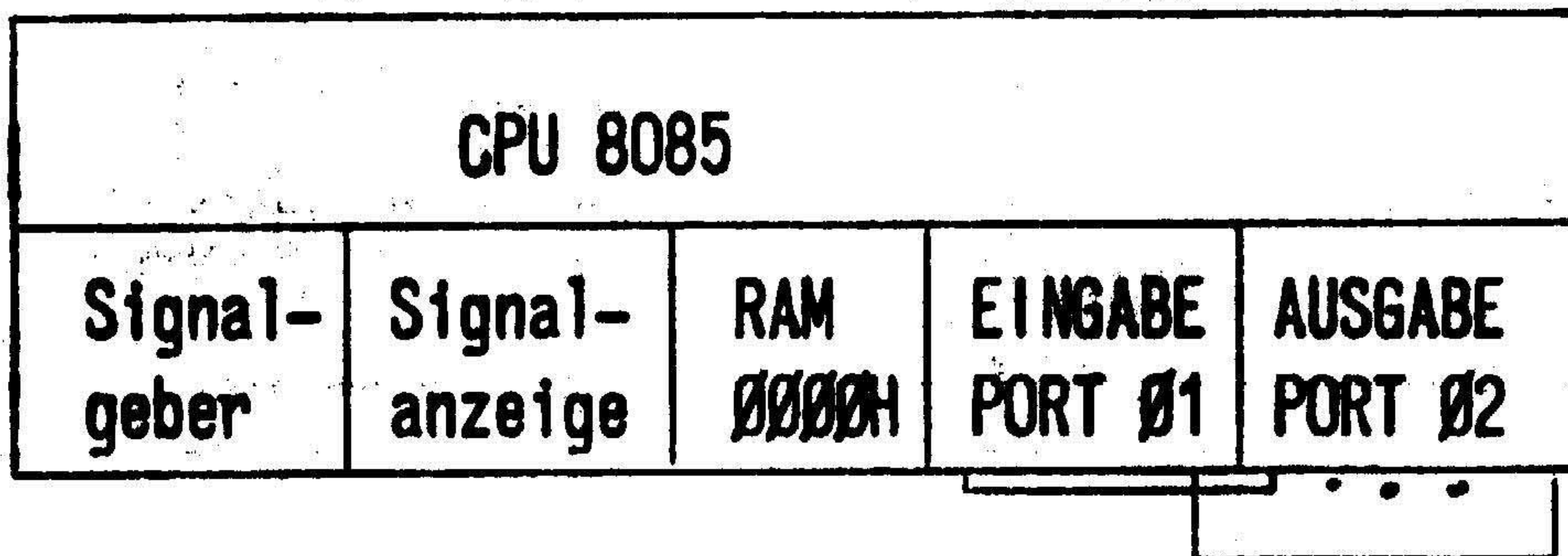
Arbeitsmittel

Inbetriebnahme / Fehlersuche
Testprogramme
EIA Test 1

3

Aufgabe:

Die Ausgänge B0 bis B7 der Ausgabe-Baugruppe werden jeweils mit den Anschlüssen B0 bis B7 der Eingabe-Baugruppe verbunden.



Programm:

Adresse	Inhalt
0000	3E
0001	55
0002	D3
0003	02
0004	DB
0005	01
0006	FE
0007	55
0008	C2
0009	18
000A	00
000B	2F
000C	D3
000D	02
000E	DB
000F	01
0010	FE
0011	AA
0012	C2
0013	18
0014	00
0015	C3
0016	00
0017	00
0018	76



Inbetriebnahme / Fehlersuche
Testprogramme
EIA Test 2

Aufgaben:

1. Stellen Sie das Programm im Mnemonik-Code dar

Adresse	Inhalt	Mnemonik-Code
0000	3E	
0001	55	
0002	D3	
0003	02	
0004	DB	
0005	01	
0006	FE	
0007	55	
0008	C2	
0009	18	
000A	00	
000B	2F	
000C	D3	
000D	02	
000E	DB	
000F	01	
0010	FE	
0011	AA	
0012	C2	
0013	18	
0014	00	
0015	C3	
0016	00	
0017	00	
0018	76	



MFA

Inbetriebnahme / Fehlersuche

Testprogramme

E / A Test 2

5

3. Beschreiben Sie den Programmablauf und geben Sie dabei an, unter welcher Bedingung der letzte Befehl des Programms (HLT) abgearbeitet wird.

4. Was bewirkt der HLT-Befehl?

5. Geben Sie das Programm mit Hilfe des BUS-Signalgebers ein und starten Sie das Programm

6. Welche Aufgabe (Funktion) hat das Programm?



Arbeitsmittel

Inbetriebnahme / Fehlersuche

Testprogramme

E/A Test 2

7

Dynamischer Ein-/Ausgabetest mit hochzählen

START: SUB A

MOV B, A

WEITER: MOV A, B

OUT 00

IN 00

CMP B

JNZ FEHLER

INR B

JMP WEITER

FEHLER: MOV C, A

CALL 0073

DB "DER AUSGEGEBENE WERT IST: ", 00

MOV A, B

CALL 005E

CALL 0073

DB "DER EINGELESENE WERT IST: ", 00

MOV A, C

CALL 005E

CALL 0040

END



Arbeitsmittel

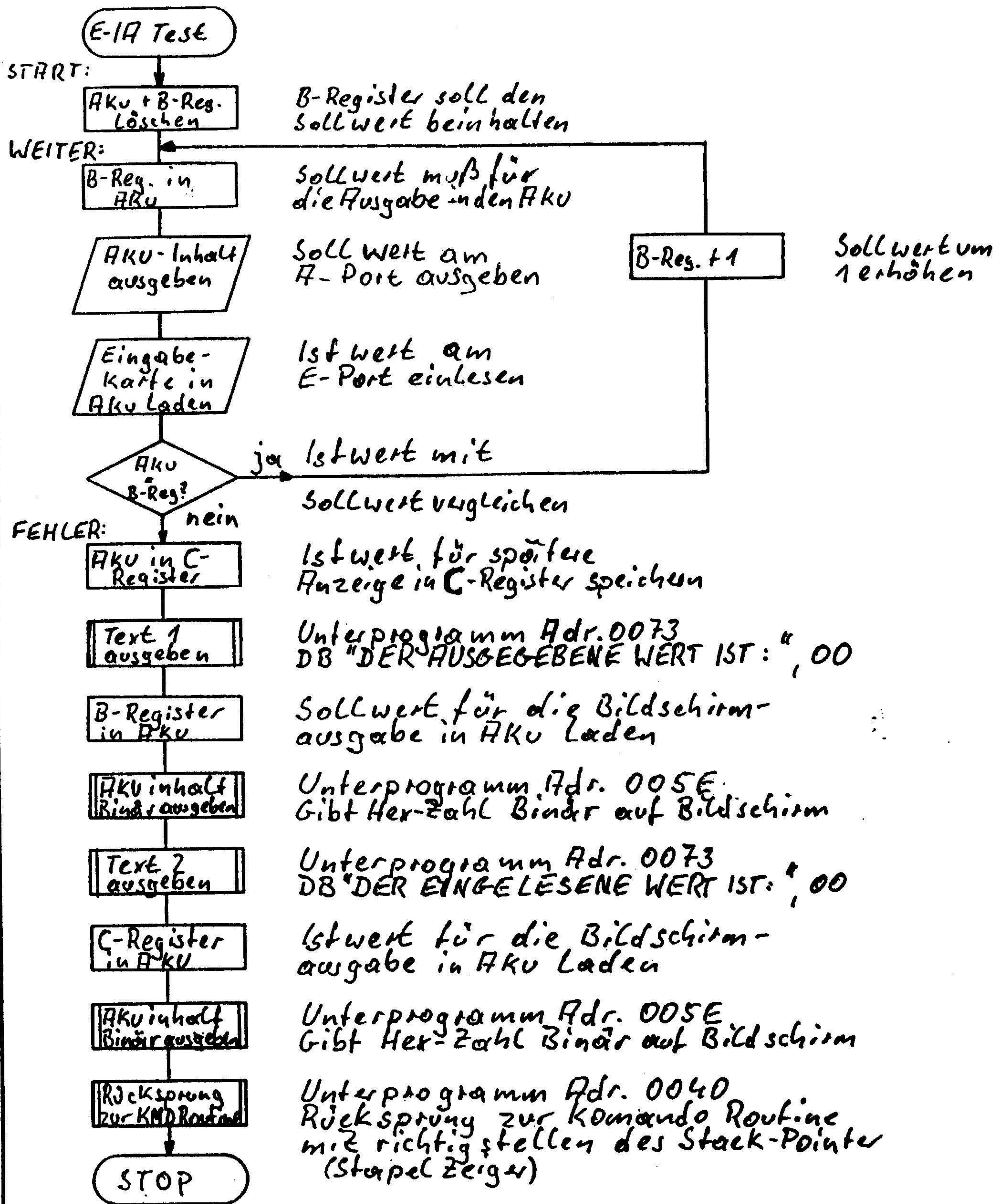
Inbetriebnahme / Fehlersuche

Testprogramme

E/A Test 3

9

Dynamischer Ein-/Ausgabe test mit hoch zählen



Arbeitsmittel

Inbetriebnahme/Fehlersuche
Testprogramme
E/A Test 3

Dynamischer Test der RAM-Speicher

Gegeben sei ein kleines RAM-Testprogramm im Maschinencode.

Aufgabe: Übersetzen Sie dieses Programm in den Mnemo-Code und erstellen Sie anschließend dazu das Flußdiagramm.

Geben Sie danach das Programm ein und testen Sie Ihre RAM-Baugruppe.

Programm:

Maschinencode

Mnemo-Code

```
KMD > MEMORY
START-ADR =0000 E000
FORMAT    =H
E000 03 21
E001 F2 20
E002 00 E0
E003 FF 46
E004 00 36
E005 FF 55
E006 00 7E
E007 3B 2F
E008 03 36
E009 D6 AA
E00A 00 BE
E00B FF C2
E00C 00 13
E00D FF E0
E00E 04 70
E00F F3 23
E010 1B C3
E011 DE 03
E012 00 E0
E013 FF 2B
E014 00 36
E015 FF 76
E016 29 E9
```

↑ alte Speicher-
inhalte (können andere Werte haben)



Arbeitsmittel

Inbetriebnahme/Fehleruche
Testprogramme
RAM Test 1

10

Dieses Programm kann ohne funktionierendes Monitorprogramm oder Datensichtstation mit dem Bus - Signalgeber eingegeben werden, um RAM - Speicher zu testen. Das Programm muß bei der Adresse 0000H beginnen.

RAM - Baugruppe ADR = 0000 / BEGINN: ADR = 0018

```

0000 29 18 74 RAMTST: LXI H,BEGINN
      • 3 46      MOV B,M
      • 4 36 55    MVI M,55
      • 6 7E      MOV A,M
      • 7 2F      CMA
      • 8 36 AA    MVI M,0AA
      • A BE      CMP M
      • B C2 1300  JNZ FEHLER
      • E 70      MOV M,B
000F 23          INX H
0014 C3 03 00    JMP RAMTST+2
0013 2B          FEHLER:DCX H
      • 14 36 76   MVI M,76
0016 E9          PCHL
  
```

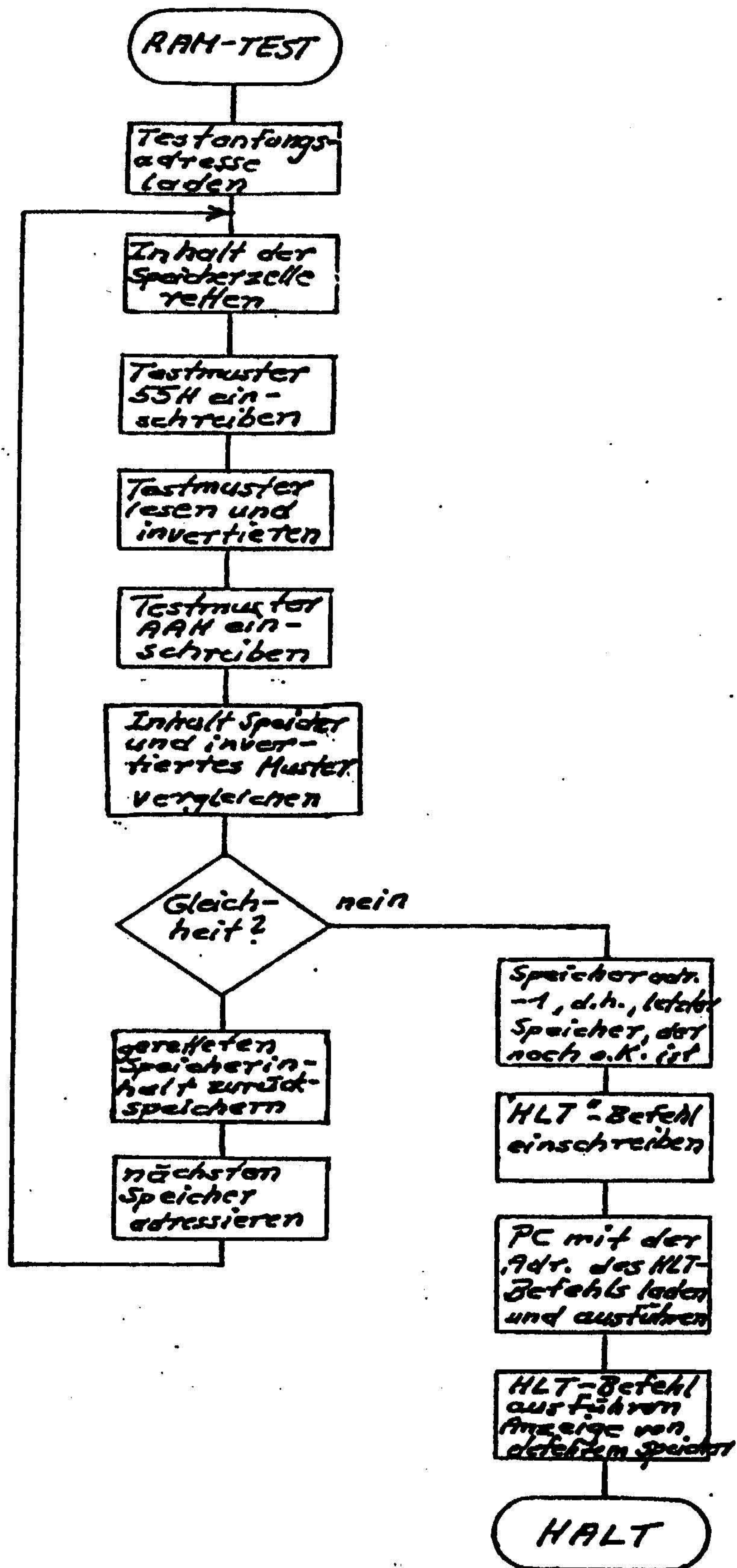


Arbeitsmittel

Inbetriebnahme / Fehlersuche
 Testprogramme
 RAM Test 1a

11

Flußdiagramm: RAM-Testprogramm



Arbeitsmittel

Inbetriebnahme / Fehlersuche
 Testprogramme
 RAM Test 1a

12


```

KMD      EQU 0040H
RCHAR    EQU 0043H
WCHAR    EQU 0052H
WABIN     EQU 005EH
WHLHEX    EQU 005BH
WCRLF     EQU 0070H
WCRLF1    EQU 0073H
CMP 2     EQU 0EA8H
GROSS     EQU 0EE9H

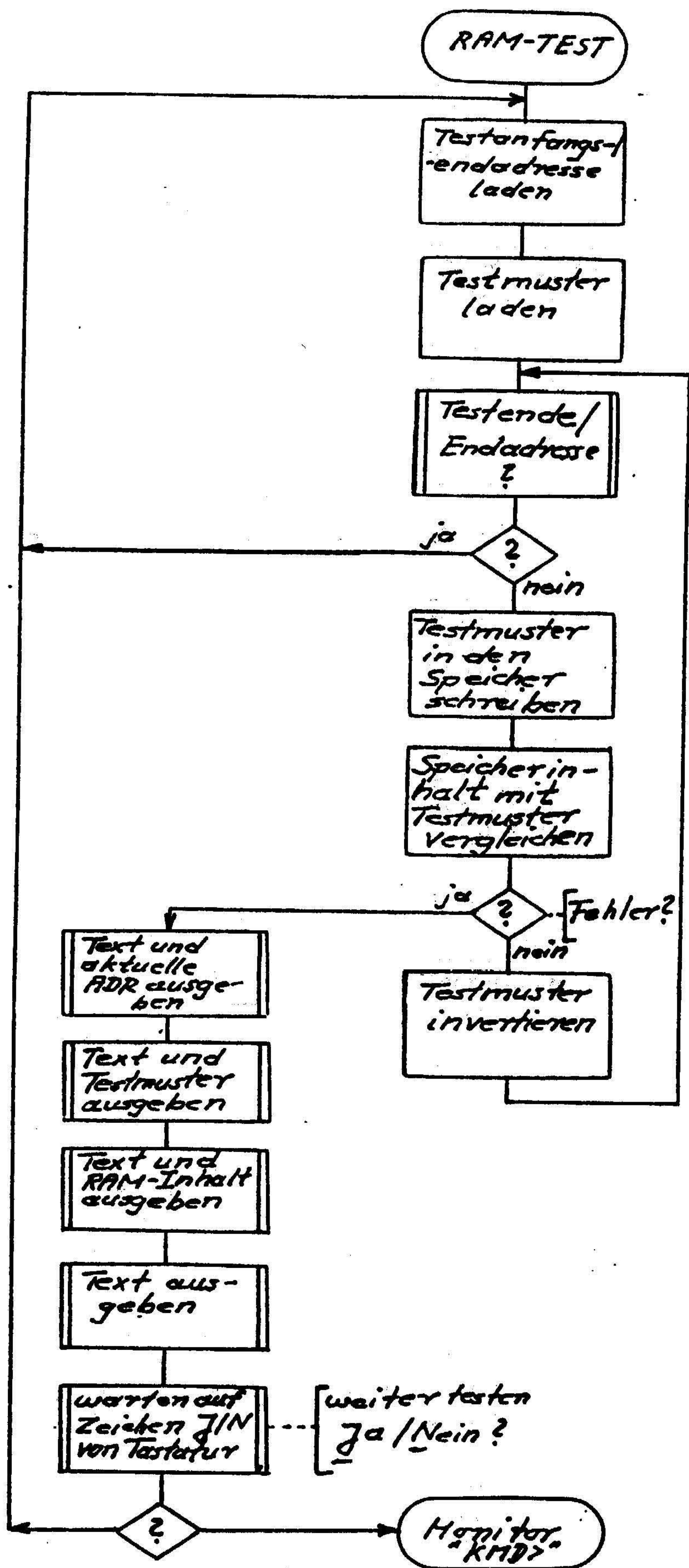
RAMTST:
LXI H,RAMBEG
LXI D,RAMEND
MVI B,55

NEXT:
CALL CMP2
JZ RAMTST
MOV A,B
MOV M,A
CMP M
JNZ FEHLER
CMA
MOV B,A
JMP NEXT

FEHLER:
CALL WCRLF1
DB 'ADR:..', 00H
CALL WHLHEX
CALL WCRLF1
DB 'SOLL= ', 00H
CALL WABIN
MOV A,M
CALL WCRLF1
DB 'IST= ', 00H
CALL WABIN
CALL WCRLF
CALL WCRLF1
DB 'WEITER TESTEN? (J/N):..', 00
CALL RCHAR
CALL WCHAR
CALL WCRLF
CALL GROSS
CPI 'J'
JZ RAMTST
JMP KMD

```

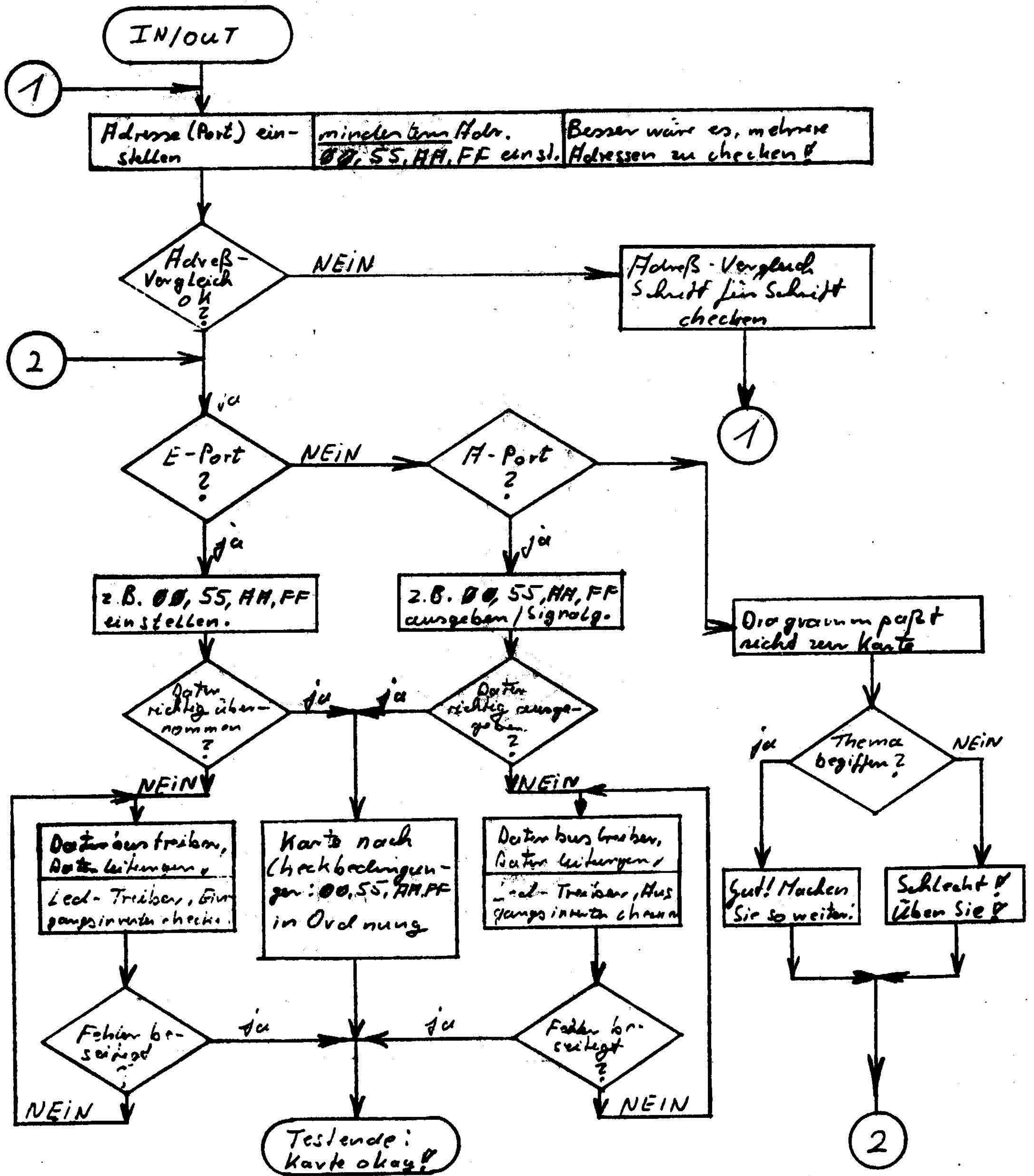


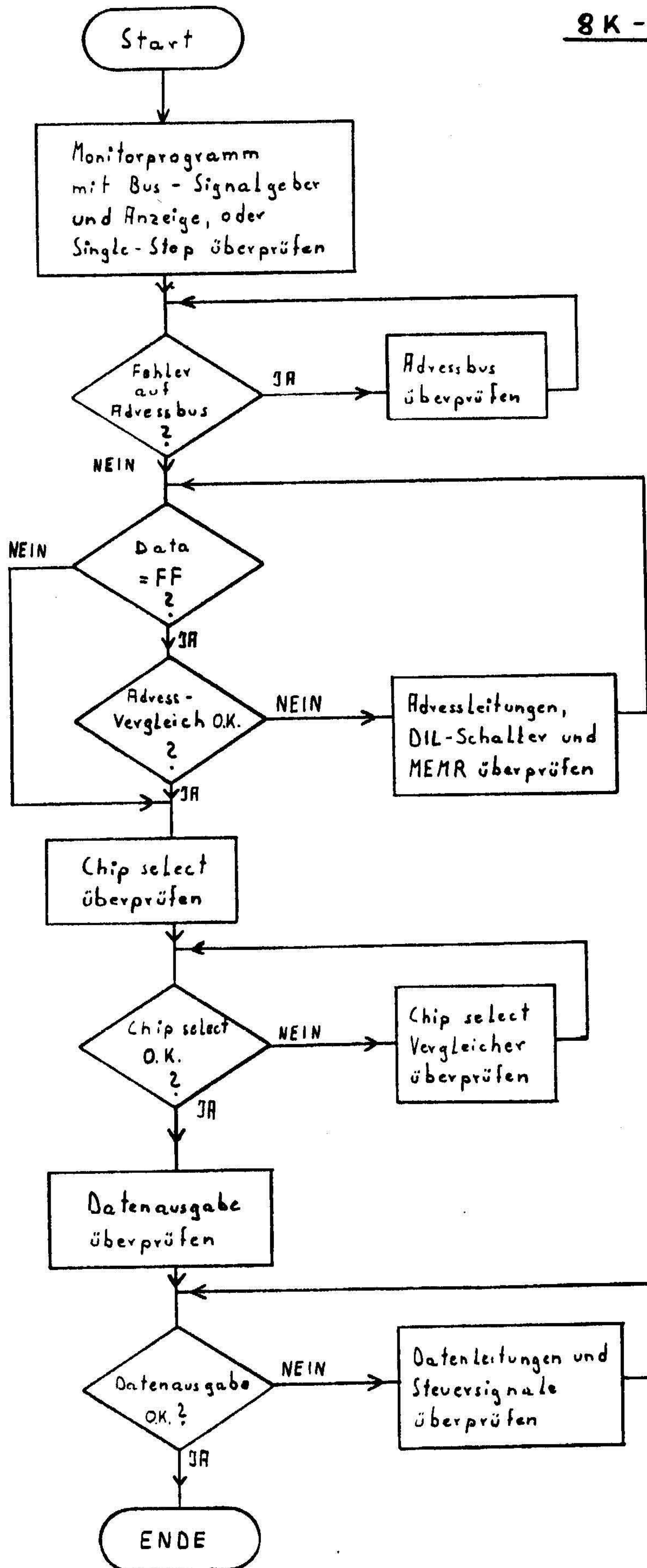


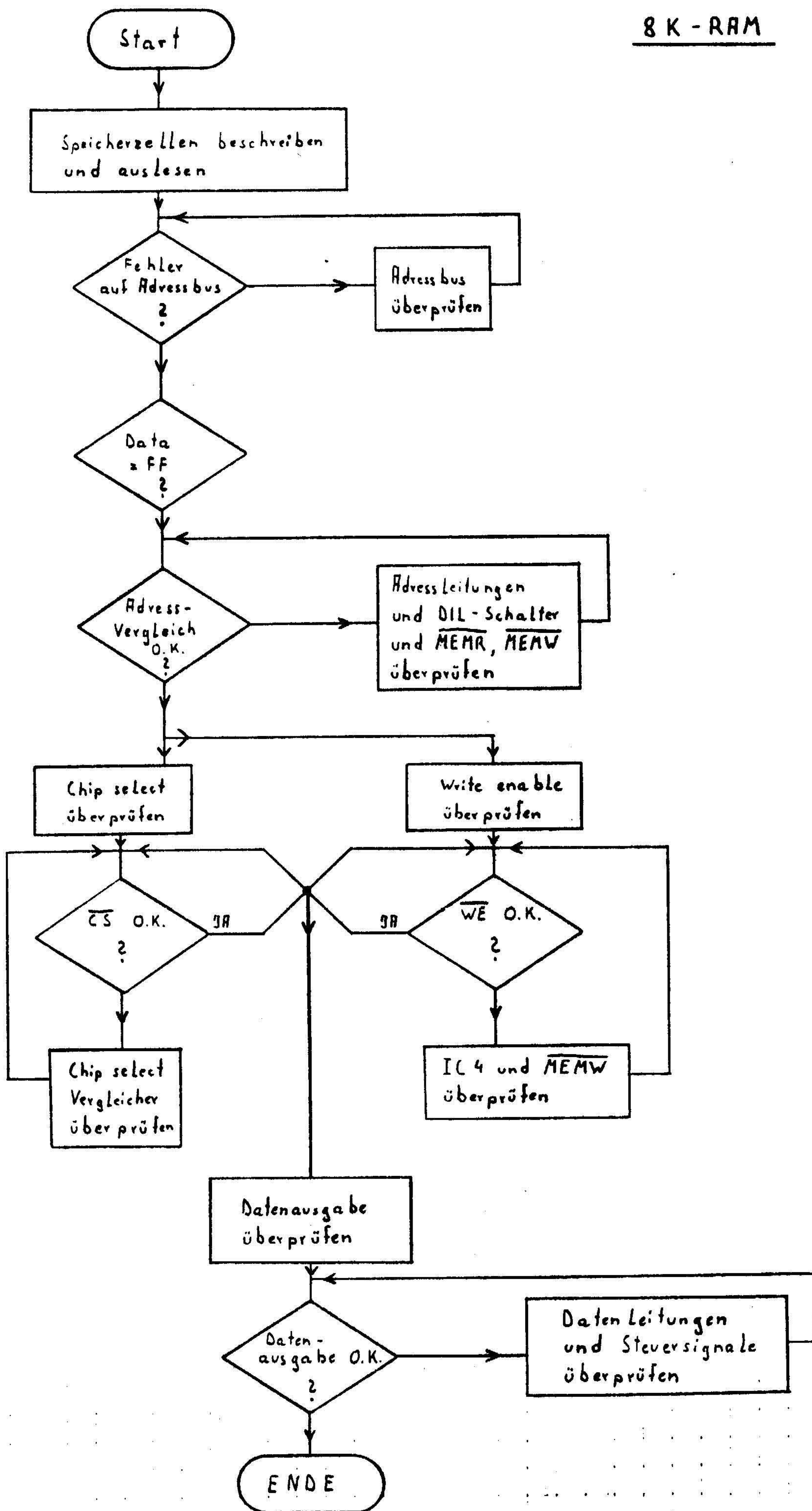


Statische Fehlersuche an Ein- - Ausgabegruppen

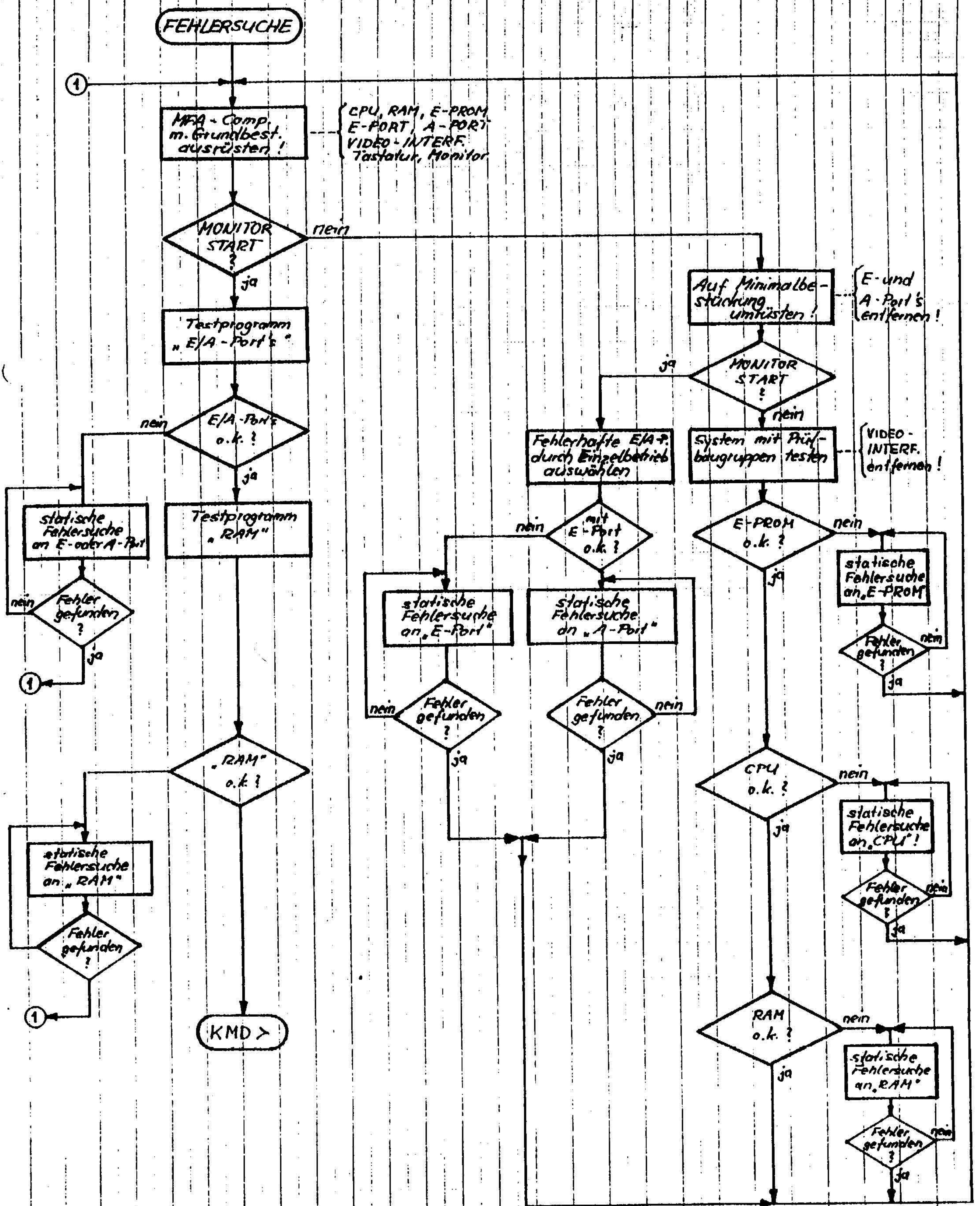
Hammer 1. PP







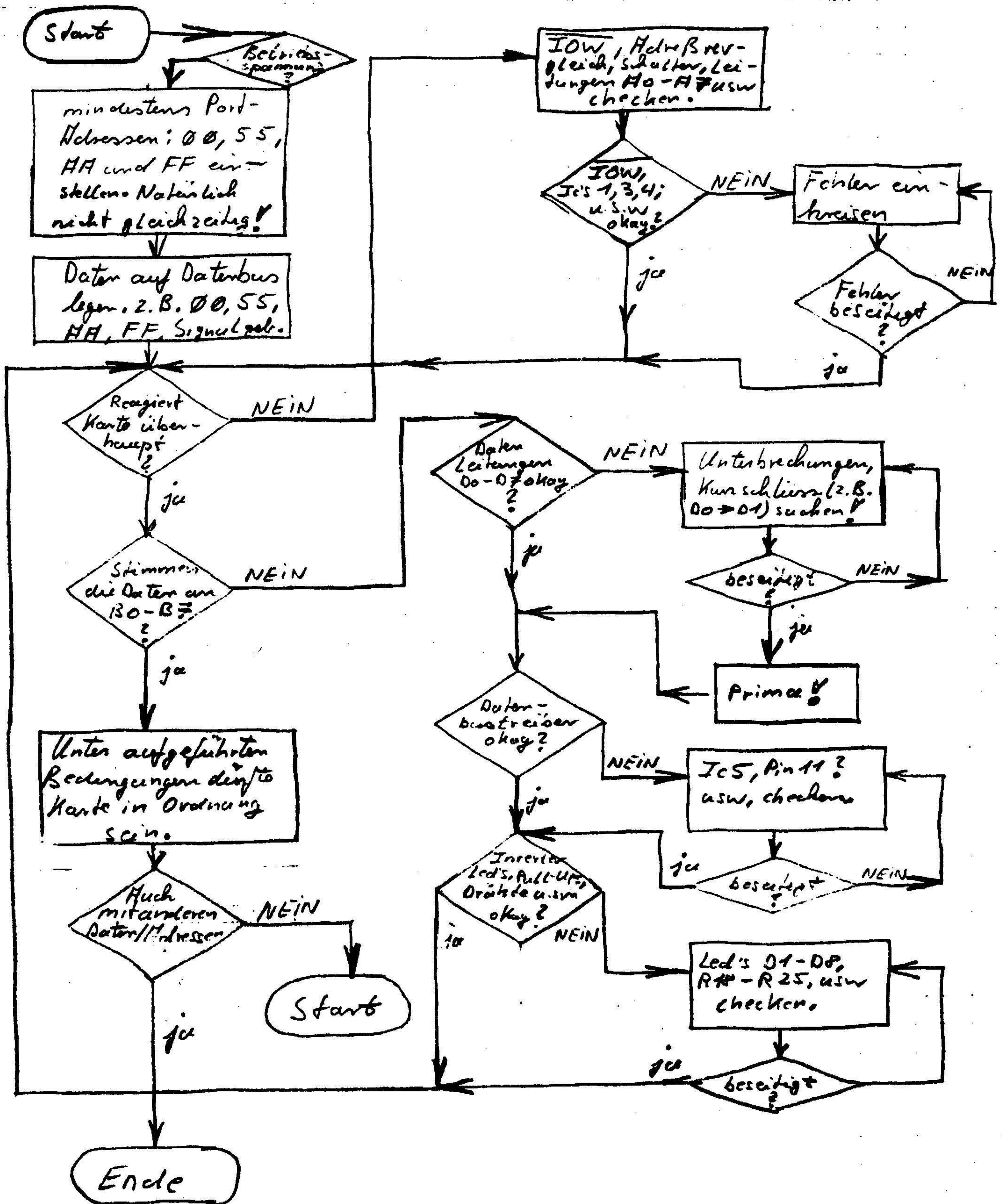
> Systematische Fehlersuche am MFA-Computer <



Einstieg m. Single-Step ins Monitorprogramm

Takt	Adr.	Data	Inst.	MEMW	MEMR	IOW	IOR	Kommentar
0	0000	C3	⊗		⊗	.	.	Befehl: Sprunge zur nachf. Adresse (Speicherplatz)
1	0001	49	.		⊗			L-Byte - von Speicherplatz
2	0002	01			⊗			H-Byte - von Speicherplatz
3	0149	31	⊗		⊗			Befehl: S.P. mit nachf. Adr. Laden
4	014A	80			⊗			L-Byte d. Adr.
5	014B	FC			⊗			H-Byte d. Adr.
6	014C	CD	⊗		⊗			Unterprogramm aufruf (Call), unter folgender Adr.
7	014D	0C			⊗			L-Byte d. Adr.
8	014E	0E			⊗			H-Byte d. Adr. } 0E0C = ES, DS, CS
9	FC7F	01		⊗				POSH, PUSH D, PUSH B, PUSH PSW
10	FC7E	4F		⊗				H-Byte d. Programm-Adr. wird im S.P. unter FC7F (FC00-1) abgesd.
11	0E0C	ES	⊗		⊗			L-Byte d. Programm-Adr. wird im S.P. unter FC7E (FC00-2) abgesd.
12	FC7D	00		⊗				Befehl: PUSH H
13	FC7C	AC		⊗				
14	0E0D	25	⊗		⊗			Befehl: PUSH D
15	FC7B	FF		⊗				
16	FC7A	FA		⊗				
17	0E0E	C5	⊗		⊗			Befehl: PUSH B
18	FC79	00		⊗				
19	FC78	0A		⊗				
20	0E0F	F5	⊗		⊗			Befehl: PUSH PSW
21	FC77	C7		⊗				
22	FC76	A0		⊗				
23	0E10	3A	⊗					Befehl: LDA - xxxx

Ausgabe-Port



LOC	OBJ	LINE	SOURCE STATEMENT
		59	
		60	
		61	
		62	
		63	
		64	
0000		65	ORG 0000
		66	
		67	
		68	
		69	
		70	
		71	
0000	C34901	72	BFZ: JMP RESET
0003	FF	73	DB OFFH
0004	90FD	74	LBANF: DW LBRAM
0006	FF	75	DB OFFH
0007	FF	76	DB OFFH
0008	C33F02	77	JMP CHDUSER
000E	FF	78	DB OFFH
000C	FF	79	DB OFFH
000D	FF	80	DB OFFH
000E	FF	81	DB OFFH
000F	FF	82	DB OFFH
0010	C38CFC	83	JMP RST2
0013	FF	84	DB OFFH
0014	FF	85	DB OFFH
0015	FF	86	DB OFFH
0016	FF	87	DB OFFH
0017	FF	88	DB OFFH
0018	C38FFC	89	JMP RST3
001B	FF	90	DB OFFH
001C	FF	91	DB OFFH
001D	FF	92	DB OFFH
001E	FF	93	DB OFFH
001F	FF	94	DB OFFH
0020	C3DF02	95	JMP BREAK
0023	FF	96	DB OFFH
0024	C38602	97	JMP TRAP
0027	FF	98	DB OFFH
002B	C392FC	99	JMP RST5
002B	FF	100	DB OFFH
002C	C395FC	101	JMP RST55
002F	FF	102	DB OFFH
0030	C398FC	103	JMP RST6
0033	FF	104	DB OFFH
0034	C39BFC	105	JMP RST65
0037	FF	106	DB OFFH
003B	C34D02	107	JMP ABORT
003B	FF	108	DB OFFH
003C	C39EFC	109	JMP RST75
003F	FF	110	DB OFFH
		111	

```

; *
; **
; ***
; *****
; ***** MONITOR-ANFANGS-ADRESSE *****
; *****
; ***
; **
; *

;***** MONITOR START *****

; ANFANG DER LABELTABELLE (ASSEMBLER)

;RST 1: ANWENDER-EINSPRUNG IN MONITOR

;RST 2: ANWENDER-RESTART

;RST 3: ANWENDER RESTART

;RST 4: BRAEKPOINT

;NICHT-MASKIERBARER INTERRUPT (TASTER)

;ANWENDER-RESTART

;RST 5.5: ANWENDER-INTERRUPT

;RST 6: ANWENDER-RESTART

;RST 6.5: ANWENDER-INTERRUPT

;PROGRAMM ABORT

;RST 7.5: ANWENDER-INTERRUPT

```


LOC	OBJ	LINE	SOURCE STATEMENT
		190	
0149	3180FC	191	RESET: LXI SP,MONSTK ;STACK INITIALISIEREN
014C	CD0C0E	192	CALL BPTREN
014F	CD9F07	193	CALL CASINIT ;CASSETTEN I/O INITIALISIEREN
0152	3EC3	194	MVI A,0C3H
0154	3280FC	195	STA SERIN ;ADRESSEN DER SERIELLEN ROUTINEN VORBESETZEN
0157	3283FC	196	STA SEROUT ;MIT DEN NORMALEN ROUTINEN
015A	212D08	197	LXI H,SERI
015D	2281FC	198	SHLD SERIN+1
0160	219F08	199	LXI H,SERO
0163	2284FC	200	SHLD SEROUT+1
		201	;POWER UP ODER WARMSTART ?
0166	21DEFC	202	LXI H,RESEUF
0169	3E5A	203	MVI A,5AH
016B	BE	204	CMP H
016C	CA6502	205	JZ TASTERRESET ;WARMSTART, RAM IST SCHON INITIALISIERT
016F	77	206	MOV H,A ;POWER UP, BZW. KALTSTART
0170	21A1FC	207	LXI H,BRAM ;RAM INITIALISIEREN (=0 SETZEN)
0173	0E3D	208	MVI C,ERAM-BRAM
0175	3600	209	RESET2: MVI H,0
0177	23	210	INX H
0178	0D	211	DCR C
0179	C27501	212	JNZ RESET2
017C	2132FC	213	LXI H,USRSTK ;ANWENDER-STACK INITIALISIEREN
017F	22D9FC	214	SHLD SPWERT
0182	3E48	215	MVI A,'H'
0184	32A1FC	216	STA FORMAT ;FORMAT = HEX
0187	CD600B	217	CALL SERINIT ;SERIELLEN I/O INITIALISIEREN
018A	CD8818	218	CALL LBINIT ;LABELTABELLE LOESCHEN
018D	CD130C	219	CALL WCRLF1
		220	
0190	42465A2D	221	DB 'BFZ-MONITOR VERSION 1.8',LF,0
0194	4D4F4E49		
0198	544F5220		
019C	56455253		
01A0	494F4E20		
01A4	312E38		
01A7	0A		
01AB	00		
		222	
01A9	CD8503	223	CALL HELP ;ALLE KOMMANDOS AUSDRUCKEN
		224	;
		225	;KOMMANDO-DEKODIERER
		226	
01AC	3180FC	227	CHD: LXI SP,MONSTK ;STACK INITIALISIEREN
01AF	CDE410	228	CALL TRINIT ;TRACE INITIALISIEREN
01B2	CD060B	229	CALL LCLR ;ZEILENZAEHLER AUSSCHALTEN
01B5	AF	230	XRA A ;AKKU = 0
01B6	32C7FC	231	STA BCKFLG ;"+,-" ABSCHALTEN
01B9	32CAFC	232	STA RUBFLG ;RUBOUT EINSCHALTEN
01BC	32C9FC	233	STA GROFLG ;NUR GROSSBUCHSTABEN
01BF	CDAA0C	234	CALL RCLR ;EINGABEPUFFER LOESCHEN
01C2	CD130C	235	CALL WCRLF1
01C5	0A	236	DB LF,0
01C6	00		

LOC	OBJ	LINE	SOURCE STATEMENT
OE01	3F	2580	CNC
OE02	E1	2581	POP H
OE03	C1	2582	POP B
OE04	7B	2583	MOV A,B
OE05	C1	2584	POP B
OE06	D1	2585	POP D
OE07	E1	2586	POP H
OE08	C9	2587	RET
		2588	
		2589	*****
		2590	;* BPTNUM - ANZAHL DER BREAKPOINTS IN (C) ABLIEFERN
		2591	;* CALL BPTNUM
		2592	;* (C) = ANZAHL BREAKPOINTS
		2593	*****
OE09	OE04	2594	BPTNUM: MVI C,BPTANZ
OE0B	C9	2595	RET
		2596	
		2597	*****
		2598	;* BPTREM - BREAKPOINTS AUS PROGRAMM ENTFERNEN
		2599	;* CALL BPTREM
		2600	*****
OE0C	E5	2601	BPTREM: PUSH H
OE0D	D5	2602	PUSH D
OE0E	C5	2603	PUSH B
OE0F	F5	2604	PUSH PSW
OE10	3AC6FC	2605	LDA BPTFLG
OE13	B7	2606	ORA A
OE14	CA320E	2607	JZ BPTRE3
OE17	21A2FC	2608	LXI H,BPTADR
OE1A	OE04	2609	MVI C,BPTANZ
OE1C	5E	2610	BPTRE1: MOV E,H
OE1D	23	2611	INX H
OE1E	56	2612	MOV D,H
OE1F	23	2613	INX H
OE20	7B	2614	MOV A,E
OE21	B2	2615	ORA D
OE22	CA2D0E	2616	JZ BPTRE2
OE25	1A	2617	LDAX D
OE26	FEE7	2618	CPI 0E7H
OE28	C22D0E	2619	JNZ BPTRE2
OE2B	7E	2620	MOV A,H
OE2C	12	2621	STAX D
OE2D	23	2622	BPTRE2: INX H
OE2E	0D	2623	INR C
OE2F	C21C0E	2624	JNZ BPTRE1
OE32	F1	2625	BPTRE3: POP PSW
OE33	C1	2626	POP B
OE34	D1	2627	POP D
OE35	E1	2628	POP H
OE36	C9	2629	RET
		2630	

;CARRY TOGGELN

; (A) UEBER (B) RESTAURIEREN,
; DA POP PSW CARRY AENDERN MUERDE

(C) = ANZAHL BREAKPOINTS

BREAKPOINTS AUS PROGRAMM ENTFERNEN

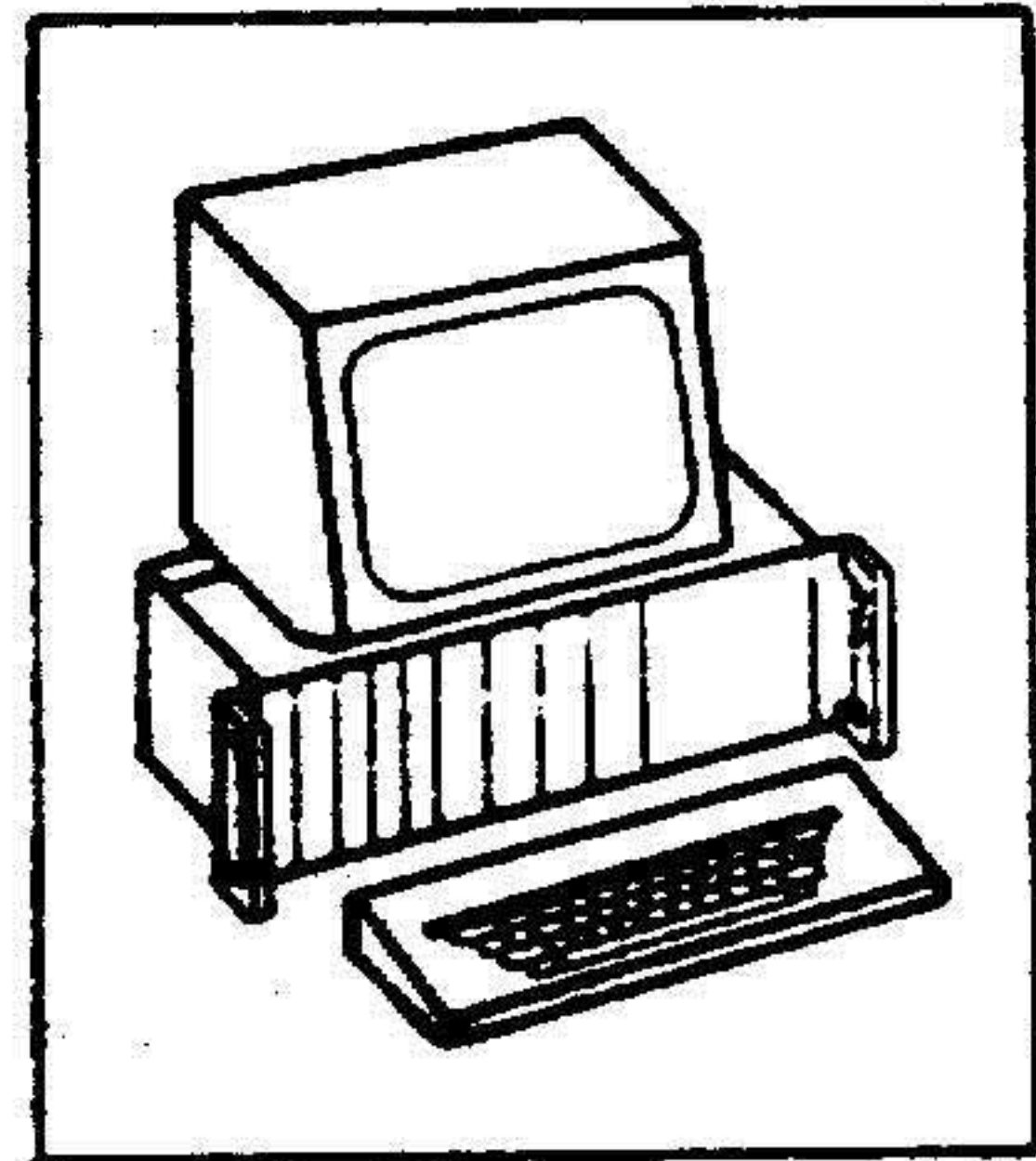
;ALLE REGISTER RETTEN

;BREAKPOINTS EINGESCHALTET ?
; NEIN, EXIT
; JA, BREAKPOINTS ENTFERNEN

;BREAK-ADR HOLEN

;BREAK-ADR = 0 ?
; JA
; NEIN, PROGRAMM-OPCODE HOLEN
; RST 4 ? (MUSS!)
; NEIN, NICHTS TUN
; JA, ALTEN OPCODE HOLEN
; UND WIEDER EINFUEGEN

FACHPRAKTISCHE ÜBUNG MIKROCOMPUTER-TECHNIK



Prozessor 8085

BFZ/MFA 2.1



Diese Übung ist Bestandteil eines Mediensystems, das im Rahmen eines vom Bundesminister für Bildung und Wissenschaft, vom Bundesminister für Forschung und Technologie sowie der Bundesanstalt für Arbeit geförderten Modellversuches zum Einsatz der "Mikrocomputer-Technik in der Facharbeiterausbildung" vom BFZ-Essen e.V. entwickelt wurde

1. Einleitung

Die Baugruppe "Prozessor 8085" steuert mit Hilfe der beiden Speicherbaugruppen EPROM (Lesespeicher) und RAM (Schreib-/Lesespeicher) den Ablauf des gesamten Mikrocomputers. Über eine Datensichtstation und Ein- und Ausgabe-Baugruppen kann der Mensch oder eine Maschine Verbindung mit dem Mikrocomputer aufnehmen. Den Kern der Baugruppe "Prozessor 8085" stellt die CPU 8085A (Central-Prozessing-Unit = zentrale Prozessor Einheit) dar, man nennt sie auch Mikroprozessor oder kurz MIP. Sie übernimmt die eigentlichen Steuer- und Rechenvorgänge, hierzu benötigt sie noch einige Hilfsbausteine, deren Funktionen im folgenden erklärt werden; der innere Aufbau der CPU aus Registern, Akkumulator arithmetischer logischer Einheit usw. wird in der FTO "Mikroprozessor" BFZ/MFA 10.4. erklärt. Durch die verwendete CPU ist die Anzahl der Leitungen vom Adreß- und Daten-Bus festgelegt. Sie verfügt über einen 16-Bit-Adreß-Bus und einen 8-Bit-Daten-Bus. Mit den 16 Adreßleitungen kann die CPU maximal $2^{16} = 65536$ Speicherplätze mit einer Datenbreite von 8 Bit (1 Byte) adressieren.

Der Befehlssatz ist durch die CPU ebenfalls fest vorgegeben.

Mit dem 8085 vergleichbare Mikroprozessoren sind zum Beispiel der 8080 von INTEL (der Vorgänger des 8085), der 6500 von Rockwell, der 6800 von Motorola und der Z80 von Zilog. Sie alle gehören zur Gruppe der 8-Bit-Mikroprozessoren, d.h. sie verfügen über einen 8-Bit-Daten-Bus. Im Handel erhältlich sind auch schon Weiterentwicklungen obiger Prozessortypen mit einem 16-Bit-Daten-Bus; sie sind leistungsfähiger, jedoch komplizierter aufgebaut und schwieriger zu handhaben.

Im Gegensatz zu den anderen Baugruppen des Mikrocomputersystems benötigt die CPU-Baugruppe zum Betrieb ein Programm (Software). Für die Erstellung und Inbetriebnahme der Baugruppe ist es aber noch nicht erforderlich.

1.1. Stromlaufplan der Baugruppe "Prozessor 8085"

Bild 1 zeigt den Stromlaufplan der Baugruppe. Sie sollten ihn zur Orientierung bei allen folgenden Schaltungserklärungen mit benutzen.

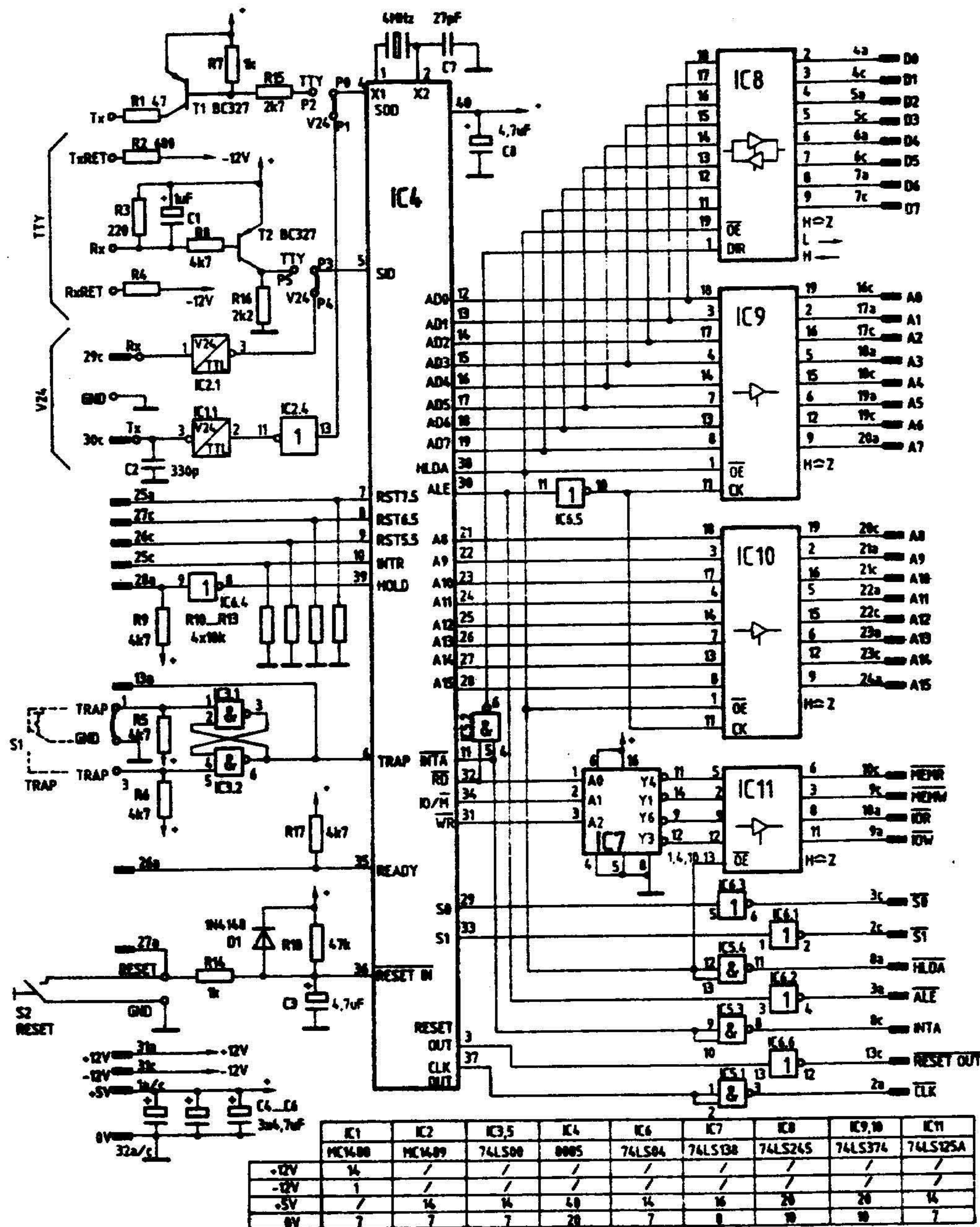


Bild 1: Stromlaufplan "Prozessor 8085"

2. Arbeitsweise des Prozessors

Der Prozessor bearbeitet Befehle nach einem fest vorgegebenen Takt, den man Arbeitstakt nennt. Seine Arbeitsgeschwindigkeit wird durch diesen Takt bestimmt. Die zu bearbeitenden Befehle müssen ihm über ein Programm mitgeteilt werden, das in einem Speicher in binärer Form abgelegt ist. Die CPU 8085 "versteh" 93 verschiedene Befehle, sie bilden den Befehlssatz des Prozessors. Ein Befehl kann aus einem Byte (8 Bit), aus zwei oder aus drei Bytes bestehen. Das Flußdiagramm (Bild 2) zeigt, wie solche Befehle abgearbeitet werden.

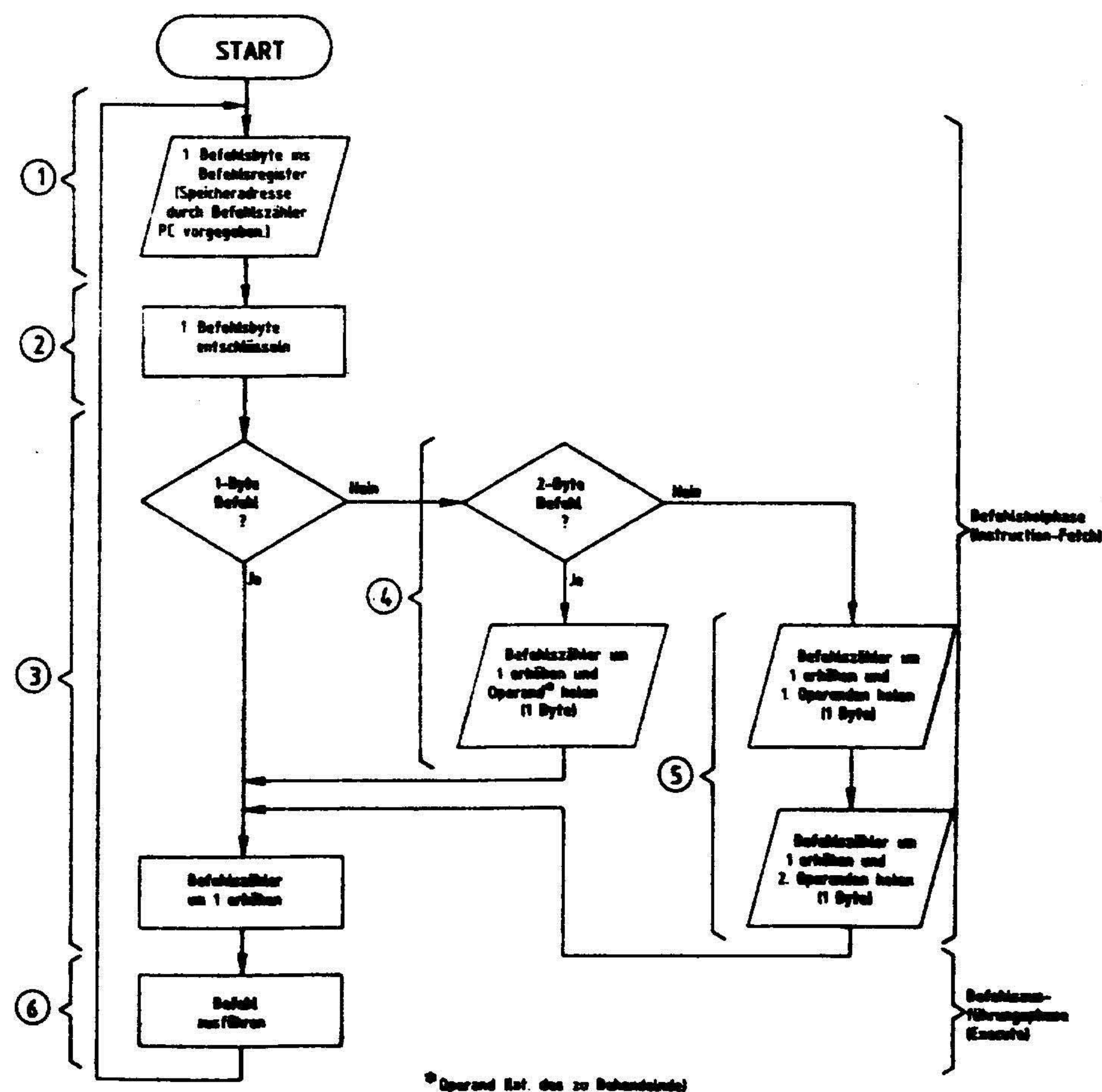


Bild 2: Einfaches Flußdiagramm "Befehlsabarbeitung"

Prozessor 8085

Zu 1: Nach dem Starten eines Programms holt sich der Prozessor ein Befehlsbyte (Operationscode, kurz Op-Code genannt) aus dem Speicher in ein internes 8-Bit-Register, das Befehlsregister. Der Speicherplatz wird dabei durch ein 16-Bit-Register, den Befehlszähler (Programm-Counter, kurz PC) adressiert.

Zu 2: Dieses erste Byte entschlüsselt (decodiert) der Prozessor und steuert entsprechend den weiteren Ablauf.

Zu 3: Handelt es sich um einen Befehl, der keine weiteren Daten oder Adressen benötigt (1-Byte-Befehl), so erhöht der Prozessor den Befehlszähler und führt den Befehl aus.

Beispiel eines 1-Byte-Befehls:

Bilde das Komplement vom Inhalt des Registers A (Akkumulator, kurz Akku), d.h. jede 1 des im Akku stehenden Bytes wird durch eine 0 ersetzt und umgekehrt.

Mnemonischer-Code*	Hexadezimal-Code	Binär-Code
CMA	2F	0010 1111

Aufgrund dieses einen Befehlsbytes kann der Prozessor den Befehl ausführen.

Zu 4: Benötigt der vom Prozessor geholt Befehl weitere Angaben, wie zum Beispiel eine zum Befehl gehörende Konstante (Operand), so erhöht er zuerst den Befehlszähler, holt den Operanden und führt dann den Befehl aus.

Beispiel eines 2-Byte-Befehls:

Verknüpfe das im Akku stehende Byte mit dem zweiten Byte des Befehls UND. Das zweite Byte wird hier willkürlich mit 80 (hexadezimal) gewählt.

Mnemonischer-Code	Hexadezimal-Code	Binär-Code
ANI 80	E6 80	1110 0110 1000 0000

2. Byte, Operand

1. Byte, Operationscode

* mnemonisch = leichter merkbar

Prozessor 8085

Außer dem Operationscode ANI (E6) benötigt der Prozessor noch eine Bitkombination (Operand, hier 80H), mit der er den Akkumulatorinhalt UND-verknüpfen soll.

Zu 5: Folgt dem ersten Befehlsbyte eine Speicheradresse (2 Byte), so muß der Prozessor den Befehlszähler zweimal erhöhen und das jeweilige Adreß-Byte holen, um danach den Befehl ausführen zu können.

Beispiel eines 3-Byte-Befehls:

Springe (JUMP) zur angegebenen Adresse, nämlich F800H.

Mnemonik	Hexadezimal	Binär
JMP F8 00	C3 00 F8	1100 0011 0000 0000 1111 1000

3. Byte, 2. Operand (niederwertiges Adreßbyte)

2. Byte, 1. Operand (höherwertiges Adreßbyte)

1. Byte, Operationscode

Wie das Beispiel zeigt, folgt in der hexadezimalen und in der binären Darstellung des Befehls dem Operationscode zuerst das niederwertige Byte und dann das höherwertige Byte der Speicheradresse. In dieser Reihenfolge muß eine zum Befehl gehörende Adresse im Speicher stehen.

Zu 6: Beispiel für die Ausführung des Befehls CMA:

Angenommener Akku-Inhalt vor der Befehlsausführung:

0110 1101

Akku-Inhalt nach der Befehlsausführung:

1001 0010

Jedes Bit des Akkumulators ist durch den Befehl CMA invertiert worden.

2.1. Die Taktsteuerung

Die CPU besitzt einen internen Taktoszillator, dessen Frequenz von einem außen angeschlossenen 4-MHz-Quarz abgeleitet wird. Sie halbiert die vom Quarz gelieferte Taktfrequenz und formt sie in ein Rechtecksignal um.

Nach dem so gewonnenen 2-MHz-Takt, der als Systemtakt dient, laufen alle Vorgänge in der CPU ab. Gleichzeitig steht der Systemtakt am Ausgang "CLK OUT" (CLOCK OUT) für weitere Anwendungen im Mikrocomputer zur Verfügung (Bild 3). Rechts im Bild sind die Oszillogramme der Ein- und Ausgangstaktfrequenz und die Meßpunkte an der CPU angegeben.

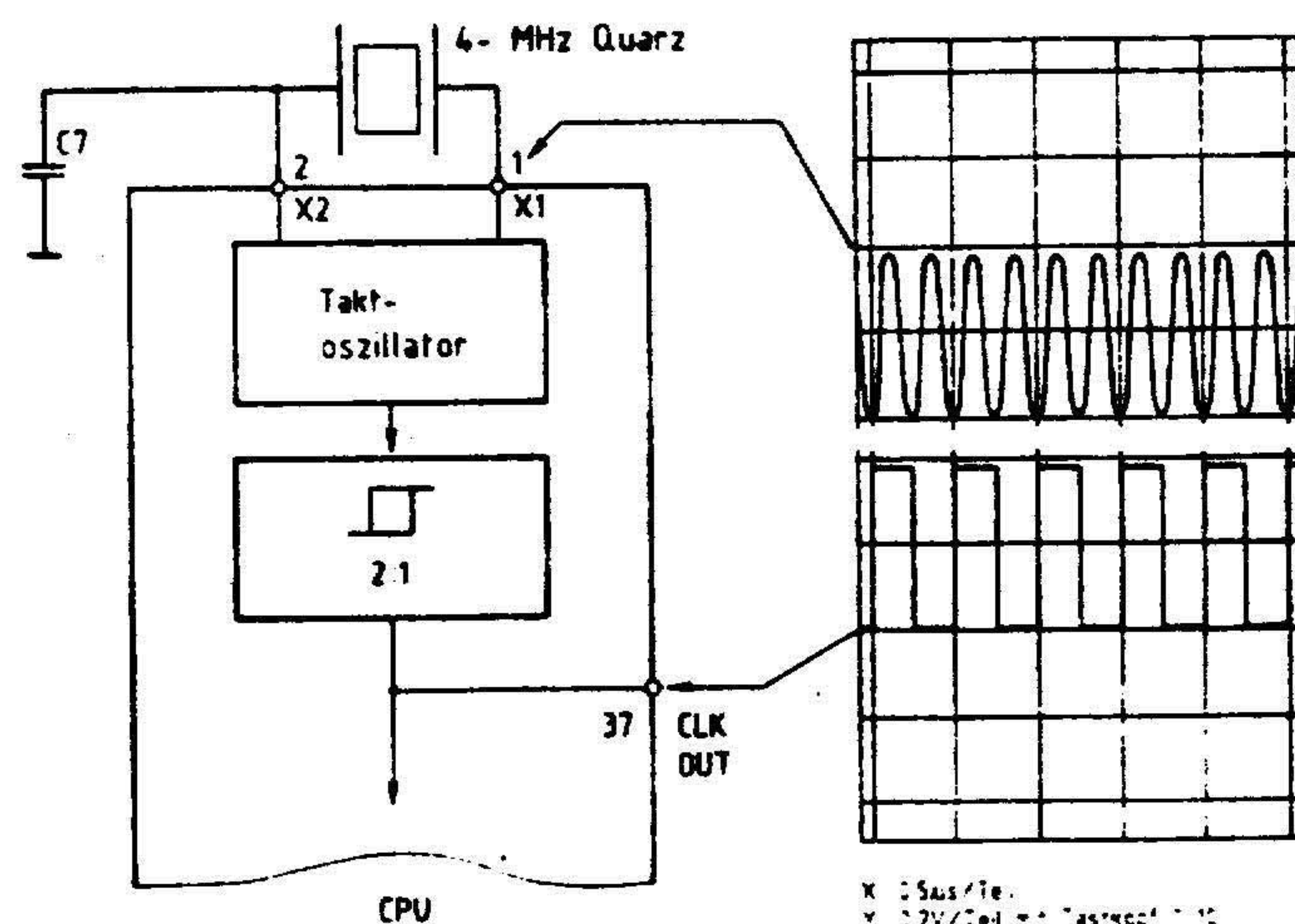


Bild 3: Takterzeugung und oszillografische Darstellung des Taktes

Wie schon im Flußdiagramm Bild 2 zu sehen war, unterteilt sich die Abarbeitung eines Befehls in zwei Phasen:

- in die Befehlsholphase (instruction fetch)
- in die Befehlsausführungsphase (execute)

Beide Befehlsphasen stehen in zeitlichem Zusammenhang zum Systemtakt.

Jede Befehlsabarbeitung beginnt mit der Befehlsholphase.

Bild 4 zeigt den Verlauf einiger wichtiger Signale der Befehlsholphase. Die Abarbeitung erfolgt während der Taktzyklen T1 bis T4.

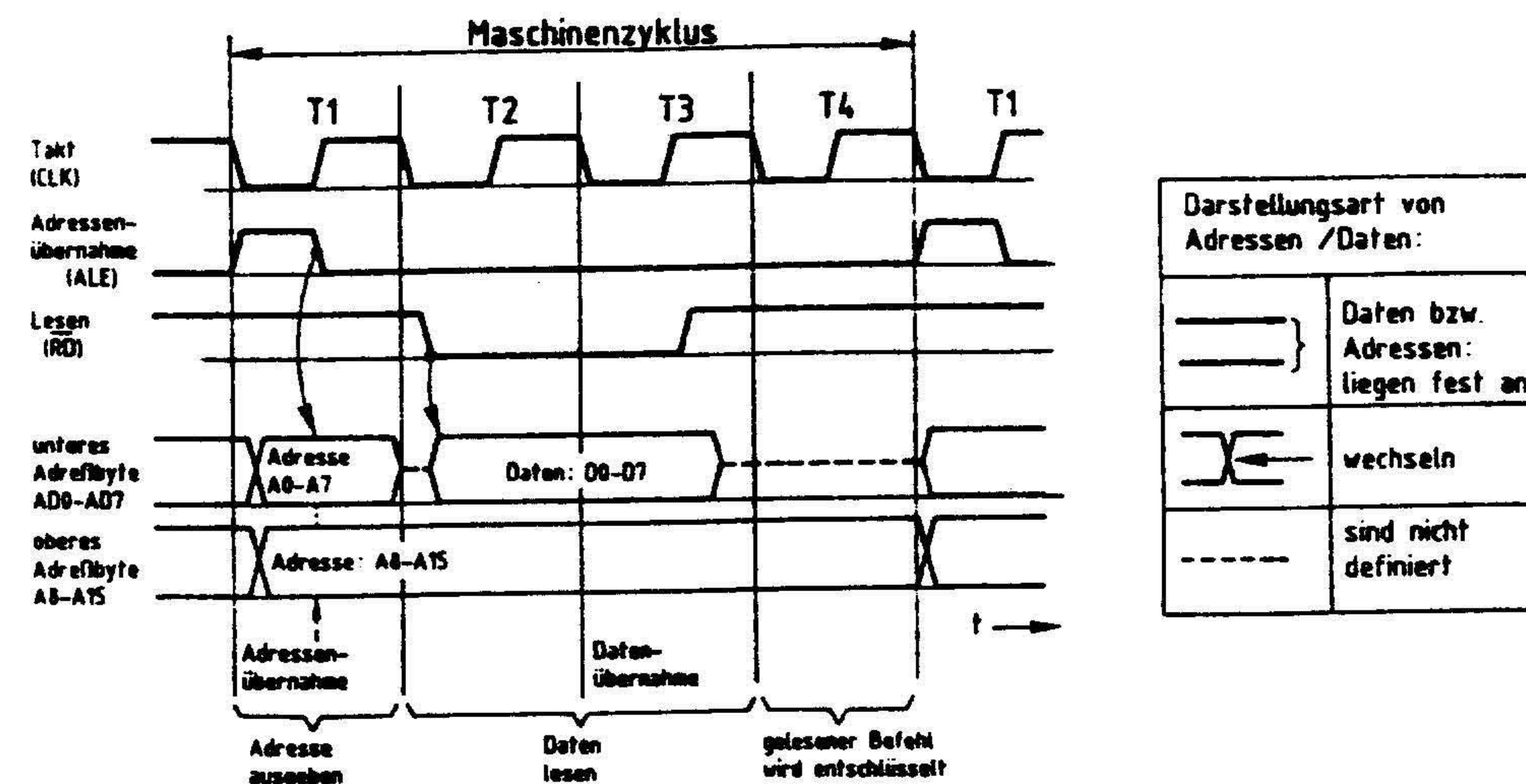


Bild 4: Signalverlauf "Befehl holen und entschlüsseln" (Befehlsholphase)

Beschreibung des Signalverlaufes

Takt T1: Während dieser Zeit gibt der Prozessor die Adreßsignale aus. Das niederwertige Adreß-Byte steht auf den Leitungen AD0 ... AD7 nur etwa während eines Taktes zur Verfügung, weil diese Leitungen auch zum Datentransport verwendet werden. Mit Hilfe des ALE-Signals wird deshalb die ausgegebene Adresse zwischengespeichert. Dieser Vorgang wird genauer im Kapitel 3.1. "Zwischenspeicherung der Adressen" beschrieben.

Takt T2: Das Steuersignal "Lesen" (\overline{RD} , aktiv Low) wird ausgegeben. An den Adreß-Datenanschlüssen AD0 bis AD7 liegen nun die Daten (der Befehl) aus dem adressierten Speicherplatz an.

Takt T3: Innerhalb von T3 liest der Prozessor das dann stabil anstehende Befehlsbyte ein.

Takt T4: Das Lesesignal ist nicht mehr aktiv. Der Prozessor entschlüsselt in dieser Zeit den gelesenen Befehl.

Die Abarbeitung eines Befehls erfolgt schrittweise, z.B. wird bei einem 2-Byte-Befehl zuerst das erste und dann das zweite Befehls-Byte geholt und schließlich der Befehl ausgeführt. Man nennt diese Schritte auch Maschinenzyklen. Sie sind aus Takten oder Taktzyklen aufgebaut. Ein Maschinenzyklus zum Holen des Operationsteils eines Befehles (1. Befehls-Byte) besteht z.B. aus vier Takten.

Bild 5 zeigt anhand des 2-Byte-Befehls "IN" (Daten von einer Eingabe-Baugruppe lesen) den Signalverlauf für die Ausführungszeit des gesamten Befehls.

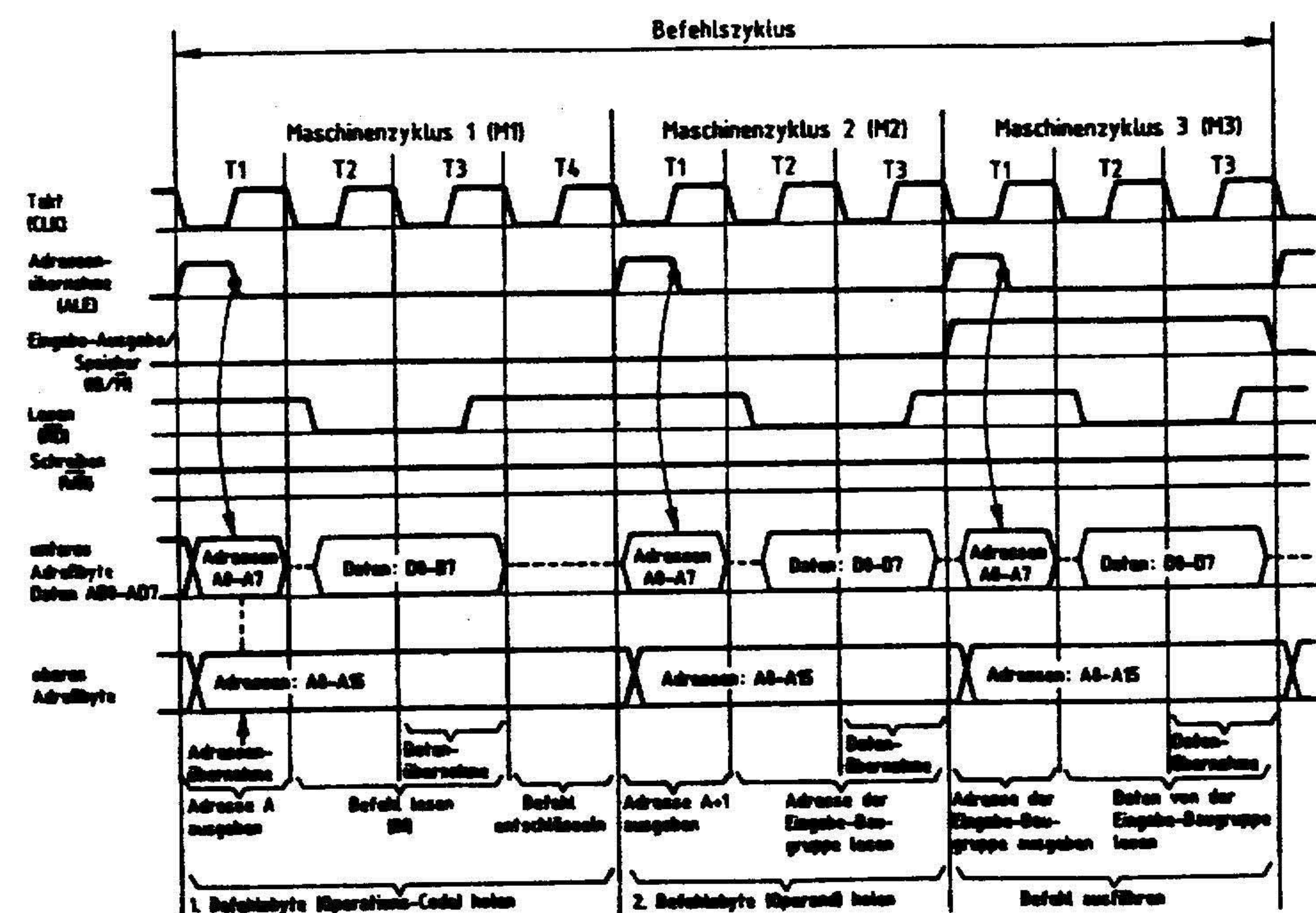


Bild 5: Verlauf der Steuer-, Adress- und Datensignale für den Befehl "IN"

Beschreibung des Signalverlaufes

Der Signalverlauf ist in drei Maschinenzyklen unterteilt, und diese wiederum in einzelne Takte.

Maschinenzyklus 1 (M1):

Der Befehl "IN" wird geholt.

Dies entspricht dem Vorgang in Bild 4. Das hinzugekommene Steuersignal $\overline{IO/\overline{M}}$ (Input-Output/Memory = Eingabe-Ausgabe/Speicher) zeigt durch L-Pegel an, daß der Befehl aus dem Speicher geholt wird.

Maschinenzyklus 2 (M2):

Die Adresse der Eingabe-Baugruppe wird geholt.

T1: Die Speicheradresse, unter der die Adresse der Eingabe-Baugruppe gespeichert ist, wird ausgegeben und zwischengespeichert mit dem H/L-Sprung auf der ALE-Leitung.

T2 u. T3: Die CPU liest mit dem low-aktiven Signal "READ" (\overline{RD}) die Adresse der Eingabe-Baugruppe aus dem adressierten Speicherplatz.

Maschinenzyklus 3 (M3):

Das Datenbyte wird von der Eingabe-Baugruppe geholt (Befehlsausführung).

T1: Die zuvor gelesene Adresse der Eingabe-Baugruppe schaltet die CPU nun auf den Adreßbus. Der H-Pegel auf der $\overline{IO/\overline{M}}$ -Leitung bedeutet, daß mit der Adresse eine Eingabe-Baugruppe und kein Speicherplatz angesprochen wird.

T2 u. T3: Die CPU übernimmt das an der Eingabe-Baugruppe anstehende Datenbyte. Während dieser Zeit führt die Steuerleitung \overline{READ} L-Pegel.

Während der gesamten Befehlsphase hat das Signal \overline{WR} (WRITE = Schreiben) H-Pegel und ist damit nicht aktiv. Bei Befehlen, die der CPU Anweisungen zum Schreiben von Daten in einen Speicher bzw. an eine Ausgabe-Baugruppe geben, wird das \overline{WRITE} -Signal aktiv durch Anlegen von L-Pegel. Der Beginn eines jeden neuen Maschinenzykles wird durch H-Pegel des ALE-Signals angezeigt.

Für den Befehl "IN" sind die oben besprochenen Signalverläufe (ohne Adreß- und Datensignale) an den jeweiligen CPU-Anschlüssen oszilloskopiert und in Bild 6a dargestellt. Zum Vergleich zeigt Bild 6b die Signalverläufe für den Befehl "OUT", der Daten an eine Ausgabe-Baugruppe übermittelt.

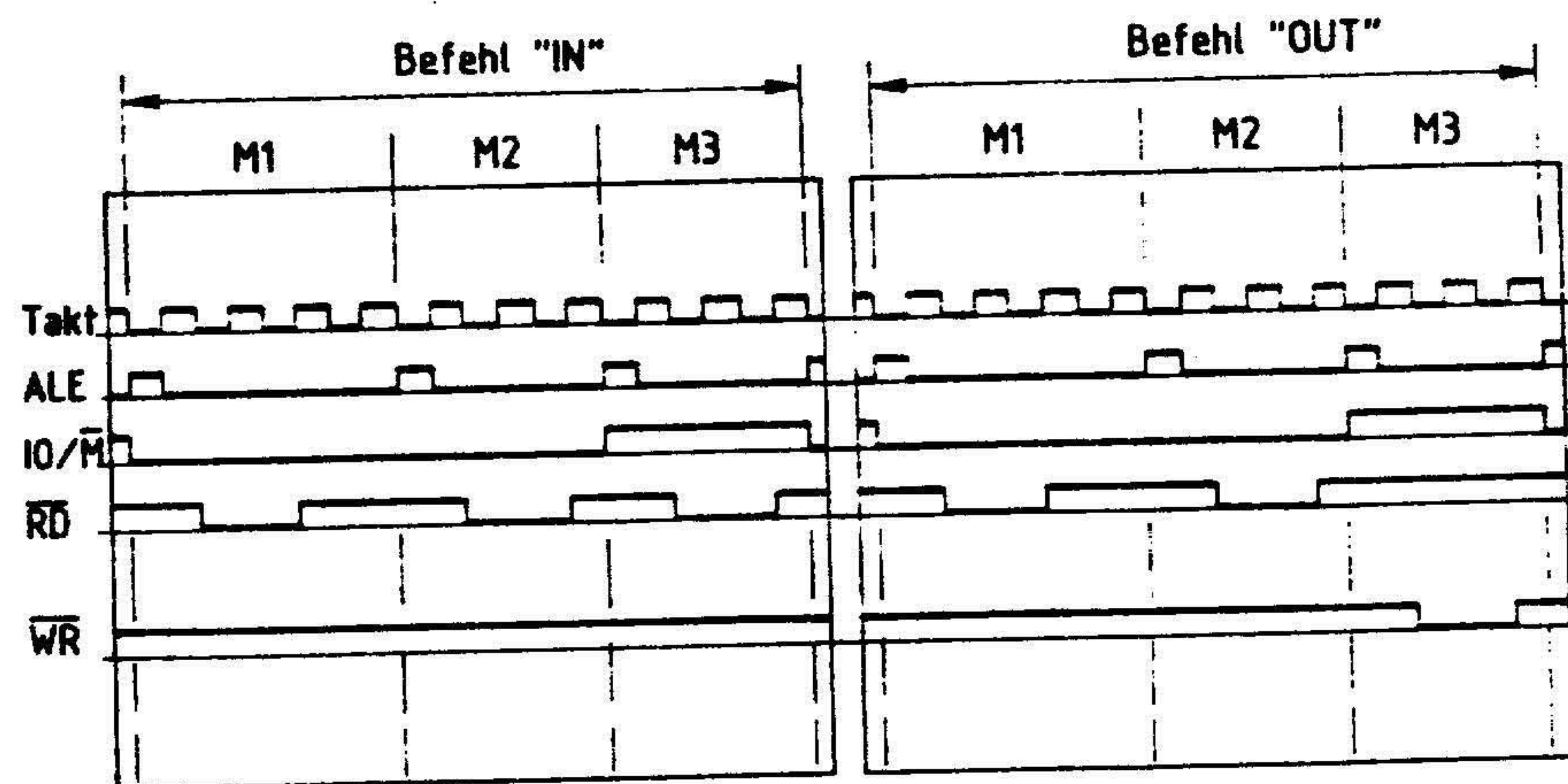


Bild 6.a: Steuersignale "IN... Befehl" Bild 6.b: Steuersignale "Out...Befehl"

Bis auf \overline{RD} (Lesen) und \overline{WR} (Schreiben) im Maschinenzklus M3 sind die aufgenommenen Steuersignale gleich. Beim OUT-Befehl bleibt \overline{RD} im dritten Maschinenzklus auf H-Pegel und \overline{WR} geht auf L-Pegel, beim IN-Befehl sind die Pegelwerte gerade umgekehrt.

Anhand der beiden Oszillogramme ist gut zu erkennen, wie und wann die CPU mit Hilfe der drei Steuersignale ($\overline{IO/M}$, \overline{RD} und \overline{WR}) Baugruppen des Mikrocomputers anspricht.

2.2. Zustandsanzeige-Signale S0, S1

Über die beiden Steuersignale S0 und S1 zeigt die CPU ihren momentanen Tätigkeitszustand (Status) an.

Um das zu verdeutlichen, sind in Bild 7 zusätzlich zu den in Bild 6 aufgenommenen Steuersignalen des IN- und OUT-Befehls die Signale S0 und S1, dargestellt.

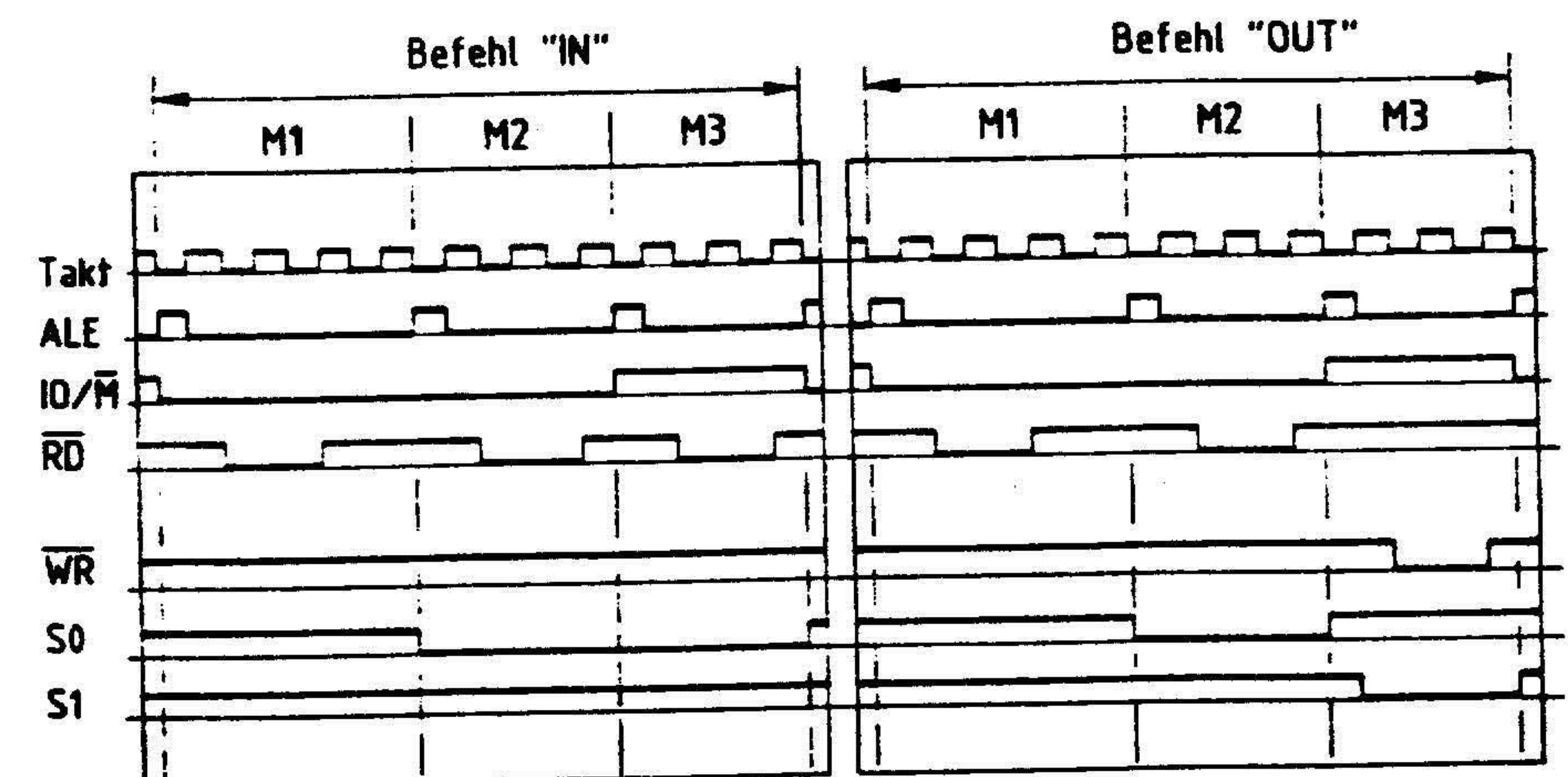


Bild 7: Steuersignale beim IN- und OUT- Befehl mit den Status- Signalen S0 u. S1

Beschreibung der Zustandssignale beim Befehl "IN".

Maschinen- zyklus	Tätigkeit der CPU	Zustandssignale der CPU	
		S1	S0
M1	Befehl aus dem Speicher lesen	H	H
M2	Adresse der Eingabe-Baugruppe aus dem Speicher lesen	H	L
M3	Datenbyte der Eingabe-Baugruppe lesen	H	L

Prozessor 8085

Mit dem H-Pegel an S1 signalisiert die CPU einen Lesevorgang. Führt S0 gleichzeitig H-Pegel, so wird angezeigt, daß die CPU einen Befehl liest (Instruction-Fetch-Zyklus). Der gleichzeitige H-Pegel von S0 und S1 wird benutzt, um auf der Baugruppe "Bus-Signalanzeige" die Befehlsholphase mit einer Leuchtdiode anzuzeigen.

Beschreibung der Zustandssignale beim Befehl "OUT".

Maschinenzyklus	Tätigkeit der CPU	Zustandssignale der CPU	
		S1	S0
M1	Befehl aus dem Speicher lesen	H	H
M2	Adresse der Ausgabe-Baugruppe aus dem Speicher lesen	H	L
M3	Daten an die Ausgabe-Baugruppe schreiben	L	H

Bis zum Maschinenzyklus M3 stimmen die Zustandssignale beim OUT-Befehl mit denen beim IN-Befehl überein. Mit Beginn von M3 geht das Signal S0 auf H-Pegel. Zwischen den beiden ALE-Impulsen wechselt dann das Signal S1 auf L-Pegel, wodurch der im dritten Maschinenzyklus stattfindende Schreibvorgang angezeigt wird.

Außer der Anzeige der drei Tätigkeits-Zustände "Befehl lesen", "Lesen" und "Schreiben" ist mit den zwei Signalen S0 und S1 noch eine weitere Anzeige möglich, die den Halt-Zustand der CPU signalisiert. In der folgenden Tabelle sind die Zustände von S0 und S1 zusammengefaßt.

Tätigkeit der CPU	Zustandssignale	
	S1	S0
Halt	L	L
Schreiben	L	H
Lesen	H	L
Befehl lesen	H	H

Prozessor 8085

2.3. Rücksetzen und Starten des Prozessors

Durch Anlegen eines L-Pegels an den Eingang "RESET IN" (Rücksetz-Eingang) der CPU ist es möglich, den internen Befehlszähler auf 0000 (Hexadezimal) zu setzen. Nimmt der Eingang H-Pegel an, startet die CPU, indem sie die Adresse 0000 H aus sendet. Das Rücksetzen kann auf zwei Arten erreicht werden:

2.3.1. Automatischer Start nach dem Einschalten der Versorgungsspannung

Nach dem Einschalten lädt sich der Kondensator C3 über den Widerstand R18 auf. (Bild 8) Die CPU wird solange angehalten, bis die Spannung am Kondensator die Umschaltsschwelle (ca. 2,4 V) des in der CPU befindlichen Schmitt-Triggers erreicht hat. Diese kurze Verzögerungszeit ist nötig, damit sich die Versorgungsspannung aufbauen und stabilisieren kann, und dadurch ein einwandfreies Arbeiten der CPU gewährleistet ist.

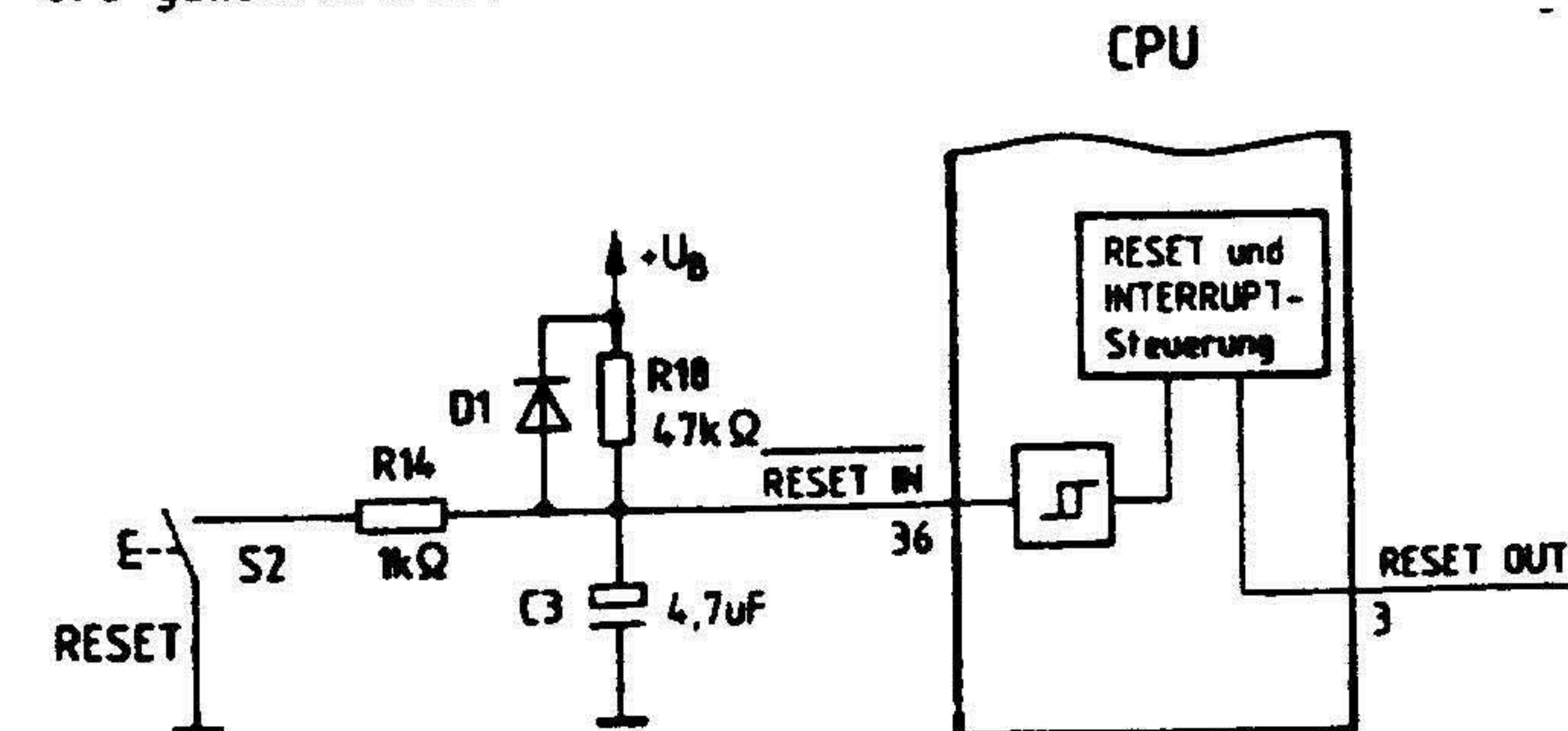


Bild 8: Zurücksetzen der CPU

2.3.2. Rücksetzen (Neustart) während des Betriebs des Prozessors

Mit dem Taster S2 ist es jederzeit möglich, ein Rücksetzsignal zu erzeugen. Bei Betätigung von S2 entlädt sich der Kondensator über den Widerstand R14. An RESET IN liegt für die Zeit der Betätigung von S2 L-Pegel und die CPU arbeitet nicht. Durch Öffnen von S2 wird C3 über R18 wieder aufgeladen und die CPU nimmt die Arbeit ab Adresse 0000 H wieder auf.

Im folgenden Bild 9 wurde dieser Vorgang mit einem Oszilloskop aufgenommen. Am zusätzlich dargestellten Signal ALE kann man den Zeitpunkt der Arbeitsaufnahme der CPU erkennen. Da die ALE-Impulse im μ s-Bereich liegen - im Gegensatz zur eingestellten Zeitablenkung des Oszilloskops (100 ms/Div.) - ist nur der Beginn dieser Impulse als L-H Sprung erkennbar.

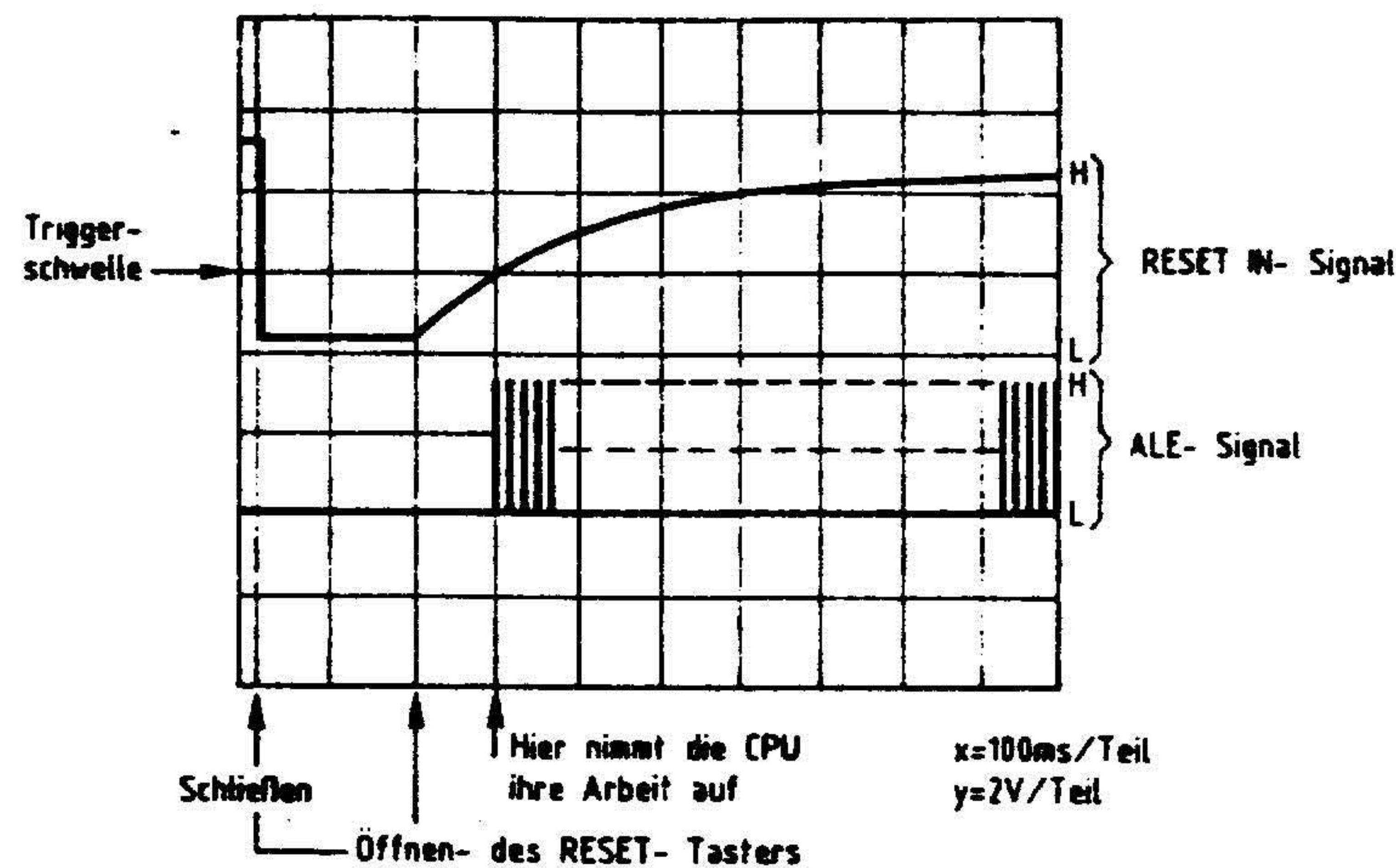


Bild 9: RESET- IN- und ALE- Signalverlauf beim Betätigen der RESET- Taste.

Die beschriebene Rücksetzmöglichkeit dient im wesentlichen bei Programm- oder Bedienungsfehlern dazu, den Prozessor wieder unter Kontrolle zu bringen.

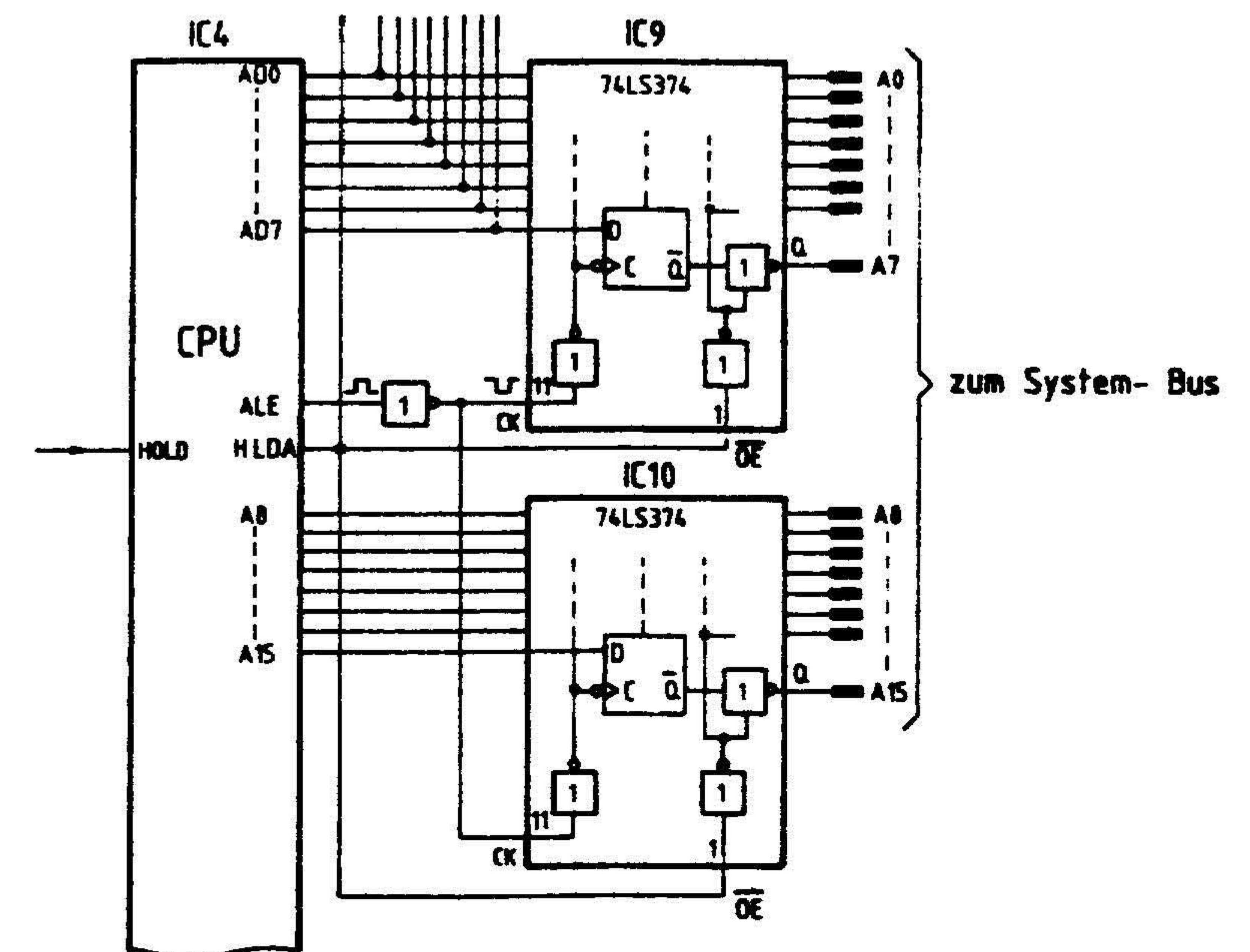
3. Pufferung der CPU-Ausgänge

Jeder Ausgang der CPU 8085 kann mit nur einem TTL-Eingang belastet werden. Dies genügt jedoch in MC-Systemen nicht. Bei der Adressierung von Speicherbausteinen z.B. müssen viele Eingänge angesteuert werden, weil alle Speicher parallel geschaltet sind. Zwischen CPU, Speichern und Ein-Ausgabebausteinen müssen deshalb Verstärker geschaltet werden, die größere Ausgangsströme liefern und die Ansteuerung mehrerer Eingänge zulassen. Solche Verstärker nennt man Treiber oder Puffer, sie schützen außerdem die CPU bei Kurzschlüssen auf dem System-Bus.

3.1. Zwischenspeicherung der Adressen

Wegen der begrenzten Anzahl (40) der Anschlüsse der CPU 8085 gibt sie die unteren acht Adreßbits und die acht Datenbits zeitlich nacheinander (Zeitmultiplex) über die gleichen CPU-Anschlüsse AD0 bis AD7 aus. Die Bezeichnung AD besagt, daß diese Anschlüsse sowohl für Adressen als auch für Daten benutzt werden.

Eine Adresse muß nun solange ausgegeben werden, bis der Prozessor von der adressierten Speicherstelle Daten geholt oder Daten an sie ausgegeben hat. Damit die unteren 8 Adreßbits auch während der Zeit des Datentransportes verfügbar sind, werden sie zwischengespeichert. Die Übernahme der von der CPU ausgegebenen Adresse in den Zwischenspeicher erfolgt mit der abfallenden Flanke des ALE-Signals. Damit die Adressen auf den System-Bus gelangen können, muß das Steuersignal HLDA (Hold-Acknowledge = Halt bestätigen) L-Pegel führen, denn das HLDA-Signal liefert H-Pegel, wenn die CPU über die HOLD-Leitung angehalten wird, und schaltet dann den Zwischenspeicher in den hochohmigen Zustand. In Bild 10 ist die Schaltung zur Zwischenspeicherung der Adressen dargestellt. Die ausgangsseitig abschaltbaren (\overline{OE}) 8-Bit-D-Register (IC9, IC10) dienen gleichzeitig als Treiber (Pufferung) zum System-Bus hin.



Funktionstabelle 74LS374

Freigabe \overline{OE}	Takt CK	Eingang D	Ausgang Q
L	\uparrow	H	H
L	\uparrow	L	L
L	L	x	Q_0
H	x	x	hochohmig

x Pegel kann H oder L sein
 \uparrow ansteigende Flanke
 Q_0 keine Änderung

Bild 10: Adressenzwischenspeicherung

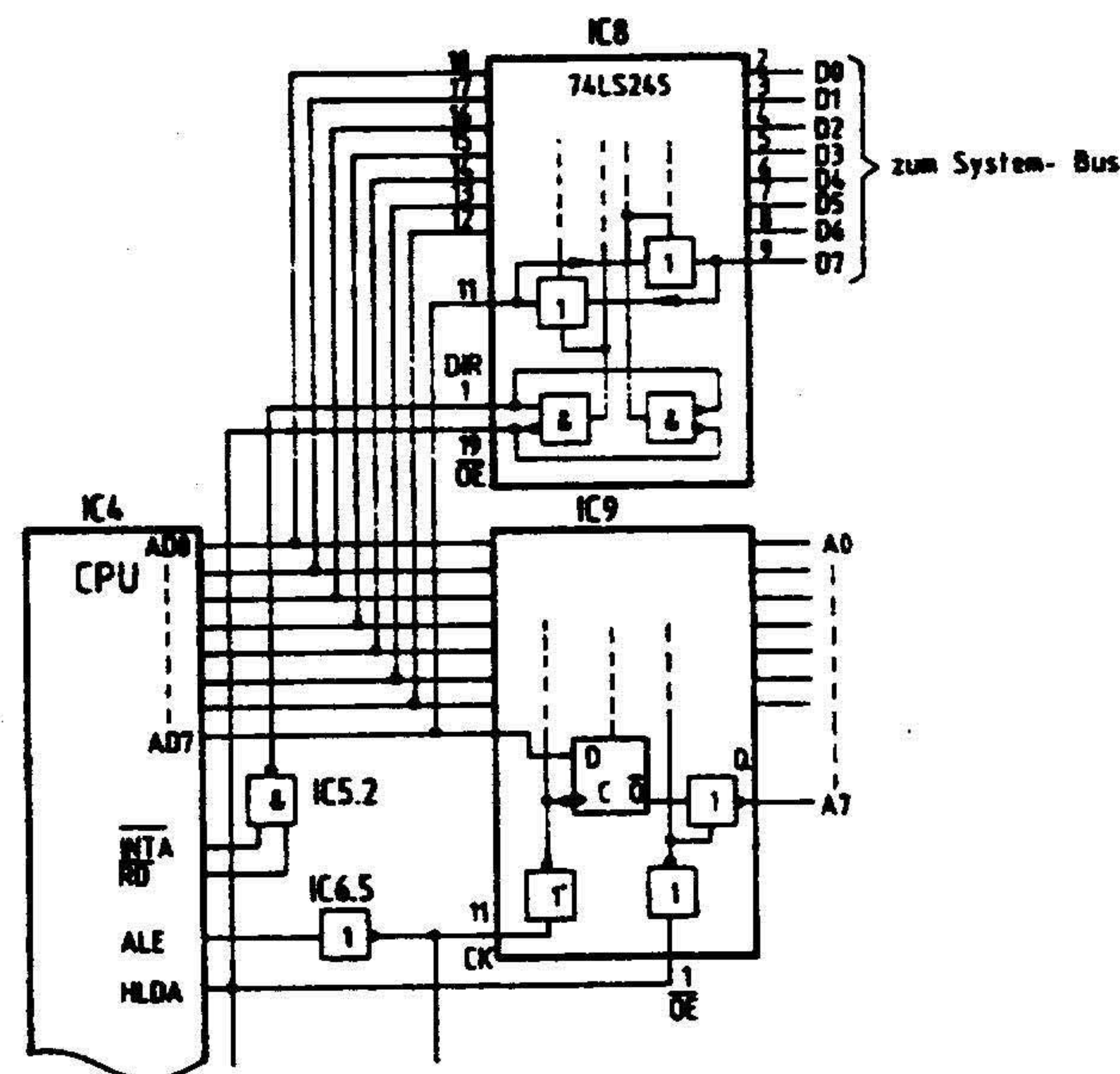
Prozessor 8085

3.2. Erkennung von Datensignalen und Steuerung der Datenrichtung

Nachdem mit Hilfe des Steuersignals ALE eine Adresse an IC9 und IC10 übergeben worden ist, benutzt die CPU die unteren 8 Adreßleitungen auch für den Datentransport (siehe Abschnitt 2.1. Taktsteuerung).

Im Gegensatz zu den Adressen, die von der CPU nur ausgegeben werden, kann die CPU Daten sowohl ausgeben als auch empfangen. Der Treiber (IC8, Bild 11) für die Datensignale muß daher in seiner Übertragungsrichtung umschaltbar sein. Solche IC's nennt man bidirektional, d.h. in zwei Richtungen benutzbar.

Bild 11 zeigt die Schaltung zur Pufferung der Datenleitungen und zur Steuerung der Daten-Übertragungsrichtung.



Funktionstabelle 74LS245

Freigabe OE	Datenrichtungs- steuerung DIR	Wirkung
19	1	
L	L	Daten von der CPU zum System- BUS
L	H	Daten vom System-BUS zur CPU
H	x	hochohmig (Ausgänge abgeschaltet)

x bedeutet, DIR kann H- oder L- Pegel haben

Bild 11. Pufferung der Datenleitungen und Steuerung der Datenübertragungsrichtung

Prozessor 8085

Zunächst wird davon ausgegangen, daß der CPU-Ausgang HLDA L-Pegel hat (die Aufgabe dieses Signals wird später beschrieben). Damit ist der "Bus-Sendeempfänger" (IC8) über den \overline{OE} -Eingang für Datenverkehr freigegeben.

Die Datenübertragungsrichtung wird durch den Pegel am DIR-Eingang bestimmt:

- Wenn die CPU Daten lesen will, schaltet sie Steuerausgang \overline{RD} (READ = Lesen) oder \overline{INTA} (Interrupt Acknowledge = Unterbrechung angenommen) auf L-Pegel. Über das UND-Gatter IC5.2 erhält der DIR-Eingang H-Pegel und Daten werden vom System-Bus zur CPU übertragen.
- Wenn die CPU Daten aussenden will, schaltet sie die Steuerausgänge \overline{RD} und \overline{INTA} auf H-Pegel. Der DIR-Ausgang erhält L-Pegel und Daten werden von der CPU zum System-Bus übertragen.

3.3. Trennen der CPU vom System-Bus über den CPU-Eingang HOLD

Die Trennung der CPU vom System-Bus erfolgt über den HOLD-Eingang an der CPU (HOLD = Anhalten). Ein H-Pegel an diesem Eingang stoppt die Programmabarbeitung der CPU nach Beendigung des laufenden Maschinenzyklus. Gleichzeitig schaltet die CPU intern den Adreß-Bus, den Daten-Bus und die Steuerausgänge \overline{RD} , \overline{WR} und $\overline{IO/\overline{M}}$ in den hochohmigen Zustand und zeigt durch H-Pegel am Ausgang HLDA (HOLD Acknowledge = Halt bestätigen) an, daß sie sich im Halt-Zustand befindet. Mit diesem H-Pegel werden die Adreßbus-Puffer (IC9, IC10) und der Datenbus-Sendeempfänger (IC8) in den hochohmigen Zustand geschaltet (siehe Bilder 10 u. 11). In diesem Zustand können dann von außen, z.B. über den Bus-Signalgeber, Adressen und Steuersignale auf den System-Bus gegeben werden und Daten auf dem Daten-Bus zwischen Ausgabe- und Eingabeeinheiten ausgetauscht werden.

3.3.1. Das Zusammenwirken der Baugruppen "Prozessor 8085" und "Bus-Signalgeber" (siehe Bild 12)

Mit dem ON/OFF-Schalter in der Baugruppe Bus-Signalgeber läßt sich entweder der "Bus-Signalgeber" oder der "Prozessor 8085" vom System-Bus trennen. Hierdurch erreicht man, daß nur immer eine Baugruppe Signale auf den System-Bus gibt und daß Kurzschlüsse vermieden werden, die bei unterschiedlichen Signalpegeln auf gleichen Leitungen entstehen würden.

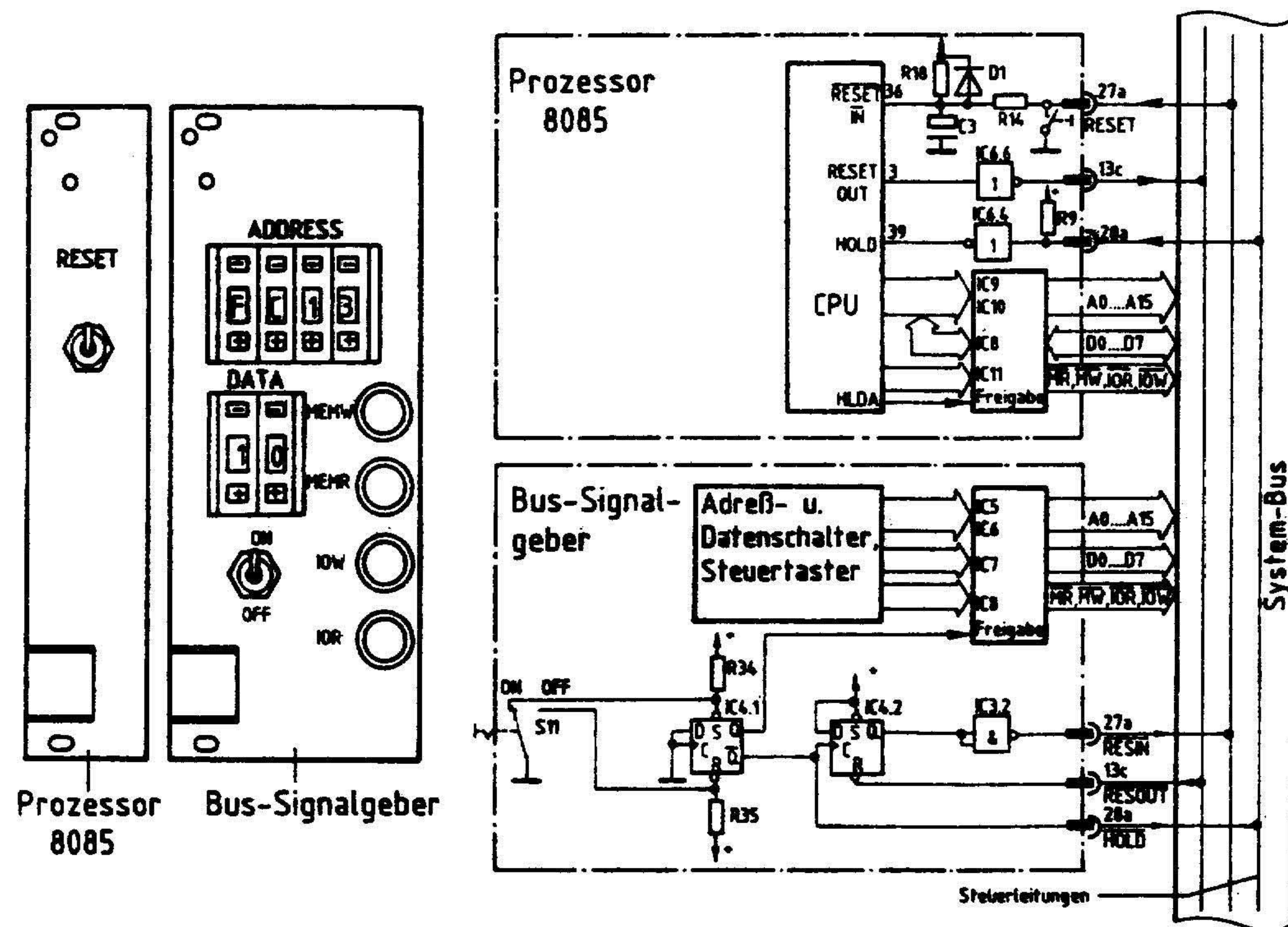


Bild 12: Frontplattenansichten und Blockschaltbilder der Baugruppen "Prozessor 8085 und Bus-Signalgeber".

- ON/OFF-Schalter in Stellung ON (siehe Bild 12):

Das Flipflop IC4.1 ist gesetzt ($Q = H$, $\bar{Q} = L$), es entprellt den Schalter S11. Der L-Pegel seines \bar{Q} -Ausgangs bewirkt über die HOLD-Leitung und den Inverter IC6.4, daß der CPU-Eingang HOLD H-Pegel erhält. Dadurch werden CPU und Prozessorbaugruppe (HLDA) wie oben beschrieben vom System-Bus getrennt.

Die mit dem Bus-Signalgeber eingestellten Adreß- und Daten-Signale stehen auf dem System-Bus zur Verfügung und können dort nachgemessen werden (z.B. mit TTL-Tester). Bei Betätigung einer der vier Steuertaster MEMR, MEMW, IOR und IOW nimmt die zugehörige Busleitung L-Pegel (aktiv) an.

- ON/OFF-Schalter in Stellung OFF:

Das Flipflop IC4.1 ist zurückgesetzt ($Q = L$, $\bar{Q} = H$). Dadurch werden drei verschiedene Funktionen ausgelöst:

- Der L-Pegel seines Q-Ausgangs sperrt im Bus-Signalgeber die Treiber für die Adreß-Daten- und Steuersignale (IC5 - IC8).
- Der H-Pegel seines \bar{Q} -Ausgangs bewirkt am CPU-Eingang HOLD einen L-Pegel. Damit wird der Halt-Zustand der CPU aufgehoben.
- Der L-H-Sprung seines \bar{Q} -Ausgangs beim Schalten von ON auf OFF setzt das D-Flipflop IC4.2, der Q-Ausgang erhält H-Pegel. Über den Inverter IC3.2 und die RESIN-Leitung wird der CPU-Eingang RESET IN auf L-Pegel gelegt. Hierdurch wird der Befehlszähler der CPU auf 0000 H gesetzt. Mit dem dadurch von der CPU ausgegebenen RESET OUT-Signal (H) wird über Inverter IC6.6 und die RESOUT-Leitung das D-Flipflop IC4.2 zurückgesetzt. Gleichzeitig wird die Programmabarbeitung von der CPU bei Adresse 0000 H begonnen.

Prozessor 8085

4. Die Steuersignale $\overline{\text{MEMR}}$, $\overline{\text{MEMW}}$, $\overline{\text{IOR}}$ und $\overline{\text{IOW}}$ und ihre Erzeugung aus den CPU-Steuersignalen $\overline{\text{RD}}$, $\overline{\text{WR}}$ und $\text{IO}/\overline{\text{M}}$

Nachdem die CPU die Adressen für einen Speicherplatz oder eine Ein- oder Ausgabegruppe ausgegeben hat, gibt sie mit den Pegeln auf drei Steuerleitungen an, ob sie Daten in die adressierte Baugruppe schreiben oder welche aus ihr lesen will. Die drei Steuerleitungen haben die Bezeichnung $\overline{\text{RD}}$ (Lesen), $\overline{\text{WR}}$ (Schreiben) und $\text{IO}/\overline{\text{M}}$ (Ein-Ausgabe/Speicher). Die folgende Tabelle (Bild 13) zeigt eine Zusammenstellung der Wirkungen der Steuersignale und ihrer dazugehörigen Signalpegel.

Wirkung	$\text{IO}/\overline{\text{M}}$	$\overline{\text{WR}}$	$\overline{\text{RD}}$
Speicher lesen ($\overline{\text{MEMR}}$)	L	H	L
Speicher schreiben ($\overline{\text{MEMW}}$)	L	L	H
Ein/Ausgabe lesen ($\overline{\text{IOR}}$)	H	H	L
Ein/Ausgabe schreiben ($\overline{\text{IOW}}$)	H	L	H

Bild 13: Wirkung der Steuersignale $\text{IO}/\overline{\text{M}}$, $\overline{\text{WR}}$ und $\overline{\text{RD}}$

Die in der Spalte "Wirkung" in Klammern angegebenen Steuersignale werden im BFZ/MFA-Baugruppensystem benötigt. Sie müssen durch eine geeignete Decodierung aus den drei CPU-Steuersignalen gewonnen werden. Die dazu benutzte Schaltung ist in Bild 14 dargestellt.

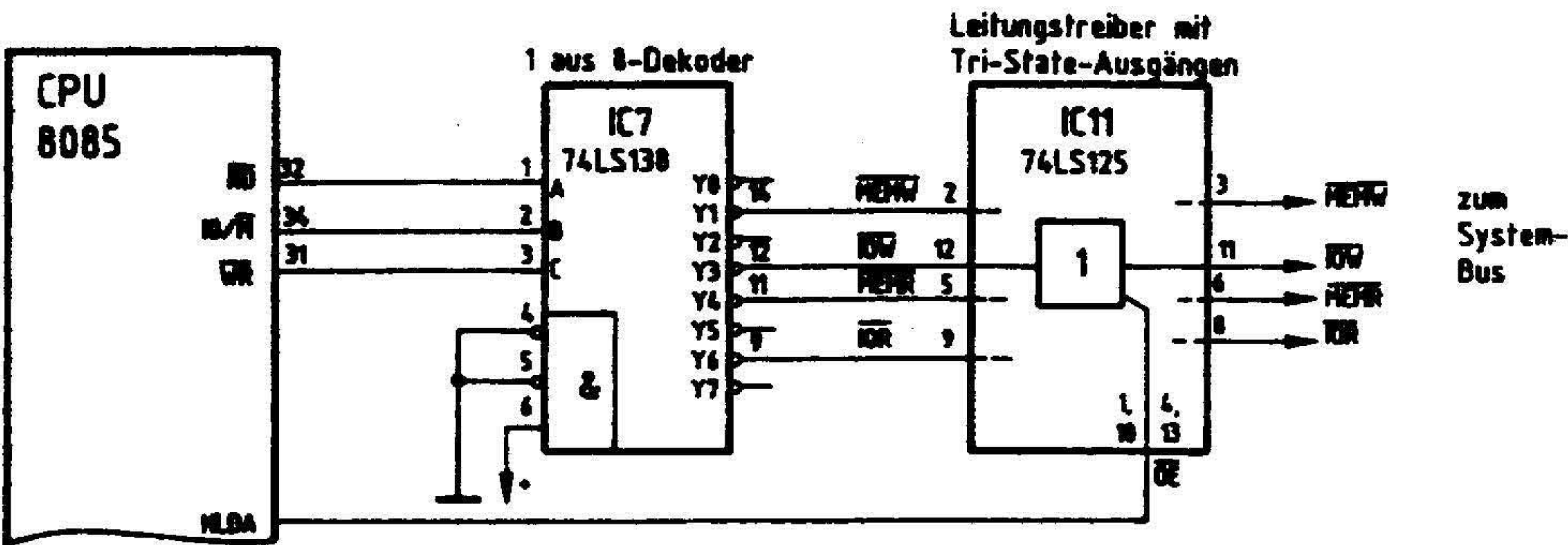


Bild 14: Decodierung der CPU-Steuersignale $\overline{\text{RD}}$, $\overline{\text{WR}}$ und $\text{IO}/\overline{\text{M}}$.

Prozessor 8085

Die Funktionstabelle des 1 aus 8-Decodierers (Bild 15) zeigt alle Signalkombinationen an den Sockelstiften 31, 34 und 32, die von der CPU ausgesendet werden. Diese Signalkombinationen führen an den Ausgängen Y1, Y3, Y4 und Y6 zu den gewünschten L-Pegeln für die vier Steuersignale.

Eingänge			Ausgänge							
$\overline{\text{WR}}$	$\text{IO}/\overline{\text{M}}$	$\overline{\text{RD}}$	$\overline{\text{MEMW}}$			$\overline{\text{IOW}}$	$\overline{\text{MEMR}}$		$\overline{\text{IOR}}$	
C	B	A	Y0	Y1	Y2	Y3	Y4	Y5	Y6	Y7
L	L	L	L	H	H	H	H	H	H	H
L	L	H	H	L	H	H	H	H	H	H
L	H	L	H	H	L	H	H	H	H	H
L	H	H	H	H	H	L	H	H	H	H
H	L	L	H	H	H	H	L	H	H	H
H	L	H	H	H	H	H	H	L	H	H
H	H	L	H	H	H	H	H	H	L	H
H	H	H	H	H	H	H	H	H	H	L

Bild 15: Funktionstabelle 1 aus 8 Dekoder 74LS138

Der dem 1 aus 8-Decodierer nachgeschaltete Leistungstreiber (IC11) mit Tri-State-Ausgängen kann über die HLDA-Leitung mit H-Pegel in den hochohmigen Zustand geschaltet werden.

5. Einzelschrittsteuerung der CPU

Bei der Inbetriebnahme der CPU, des gesamten Mikrocomputers und während der Testphase neu erstellter Programme erweist es sich als nützlich, die CPU im Einzelschritt betreiben zu können. Man unterscheidet beim Einzelschrittbetrieb zwei Möglichkeiten:

- ein Schritt besteht aus einem Befehl
- ein Schritt entspricht einem Maschinenzklus, er besteht also möglicherweise nur aus einem Teil eines Befehles.

Im MC-Baugruppensystem wird von der zweiten Möglichkeit Gebrauch gemacht. Hierzu wird der

CPU-Steuereingang READY

und der

CPU-Steuerausgang ALE

benutzt.

5.1. Die Funktion des READY-Eingangs

Im zweiten Takt T2 eines Maschinenzklus fragt die CPU den Zustand des READY-Eingangs (READY = Bereit) ab. Ein L-Pegel an diesem Eingang bewirkt, daß die CPU "Wartezyklen" einfügt, bis das Signal auf H-Pegel übergeht. Erst dann wird der begonnene Lese- oder Schreibzyklus beendet. Die vor Beginn der Wartezyklen ausgegebenen Adreß-Daten- und Steuersignale stehen auf den entsprechenden Busleitungen bereit und können nachgemessen oder z.B. mit dem Bus-Signalanzeiger angezeigt werden.

5.2. Grundsaltung zur Einzelschrittsteuerung

Bild 16 zeigt eine einfache Schaltung, mit der es möglich ist, die CPU zu stoppen und sie - jeweils durch Betätigen einer Step (Schritt)-Taste - einen Maschinenzklus weiterarbeiten zu lassen.

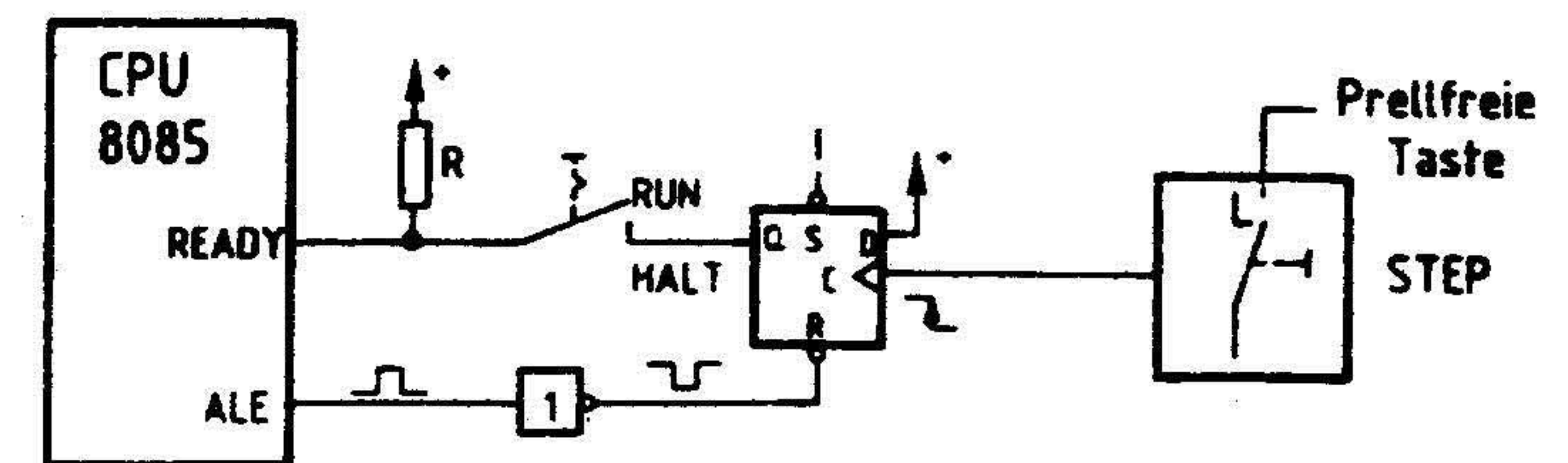


Bild 16: Grundsaltung für Einzelschrittbetrieb.

Steht zunächst der RUN/HALT-Schalter auf RUN, so liegt der READY-Eingang über den Widerstand R auf H-Pegel. Die CPU arbeitet und setzt das D-Flipflop mit dem nächsten ALE-Impuls zurück ($Q = L$), falls es vorher gesetzt worden war mit der STEP-Taste oder durch Zufall beim Einschalten der Betriebsspannung. Stellt man nun den RUN/HALT-Schalter auf HALT, so erhält die CPU ein L-Signal am READY-Eingang und stoppt. Bei Betätigung der STEP-Taste wird das D-Flipflop wieder gesetzt ($Q = H$); der READY-Eingang erhält H-Signal und die CPU arbeitet weiter, bis der folgende ALE-Impuls das Flipflop zurücksetzt und sie wieder anhält.

Da ein ALE-Impuls jeweils einen Maschinenzklus einleitet, entspricht jeder Arbeitsschritt der CPU einem Maschinenzklus.

5.2.1. Gemeinsames Auftreten von HOLD- und READY-Signalen

Aus dem internen Zustandsdiagramm der CPU 8085 (Herstellerangabe, Datenbuch) geht hervor, daß ein aktives HOLD-Signal (H) nicht mehr von der CPU angenommen wird, wenn sie vorher durch ein READY-Signal (L) gestoppt wurde. Wenn die CPU also gerade Wartezyklen im Einzelschritt-Betrieb erzeugt und gleichzeitig der Bus-Signalgeber eingeschaltet wird, so wird das vom Bus-Signalgeber gesendete HOLD-Signal von der CPU nicht verarbeitet.

Da jetzt aber die CPU und der Bus-Signalgeber gleichzeitig Signale auf den Systembus senden, wird es bei unterschiedlichen Signalpegeln auf gleichen Leitungen zu Kurzschlüssen kommen.

Um das zu verhindern, muß das Auftreten des aktiven HOLD-Signals dazu genutzt werden, den Einzelschrittbetrieb abzuschalten, also READY auf H-Pegel zu setzen. Bild 17 zeigt die Grundschaltung, die diese Funktion übernehmen kann.

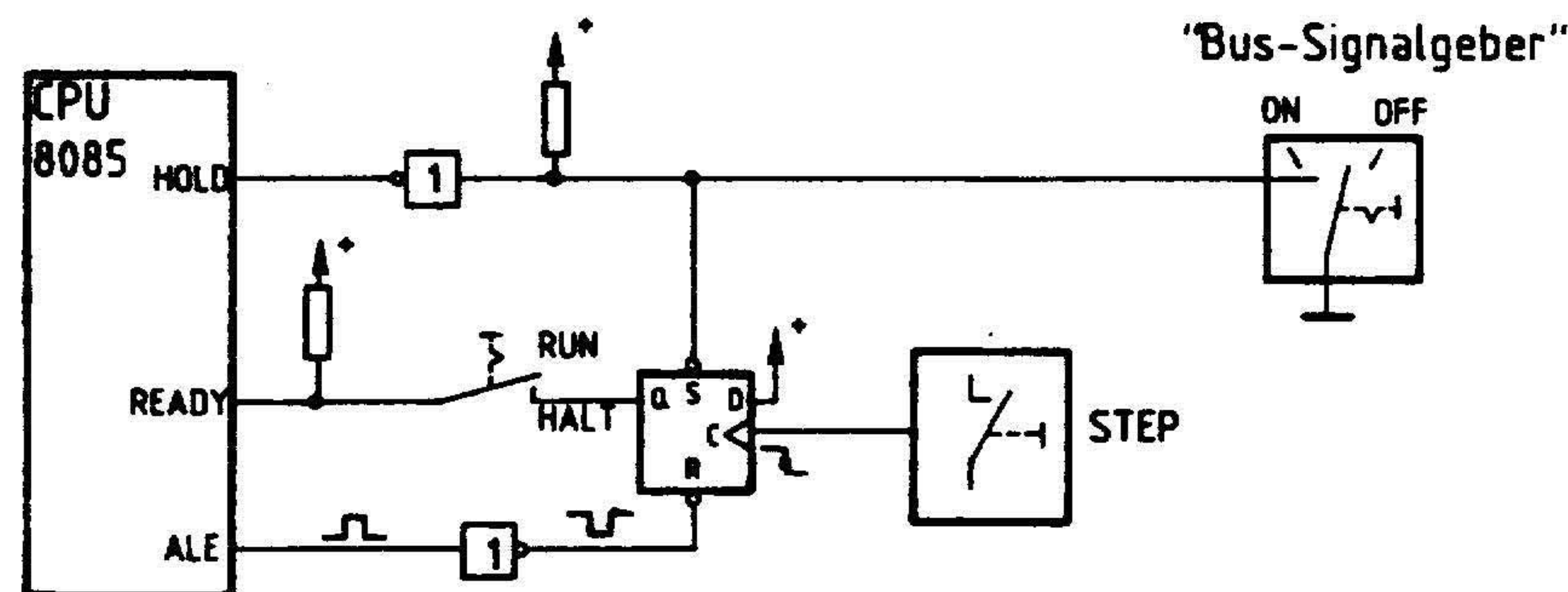


Bild 17: Grundschaltung zur Verhinderung des gemeinsamen Auftretens von HOLD- und READY- Signalen.

Wenn der "Bus-Signalgeber" eingeschaltet wird (ON), gelangt L-Pegel an den Setzeingang des D-Flipflops und setzt den Q-Ausgang auf H-Pegel. Damit verläßt die CPU den Wartezustand, wird aber gleichzeitig durch das Signal am HOLD-Eingang (H) vom Systembus getrennt.

5.2.2. Einzelschrittbetrieb ab einer eingestellten Adresse

Bei Inbetriebnahme- und Fehlersucharbeiten kann es nützlich sein, die CPU ihr Programm zunächst bis zu einer bestimmten Adresse abarbeiten zu lassen und sie von dort ab im Einzelschrittbetrieb zu steuern.

Bild 18 zeigt die Grundschaltung, die diese Betriebsart ermöglicht.

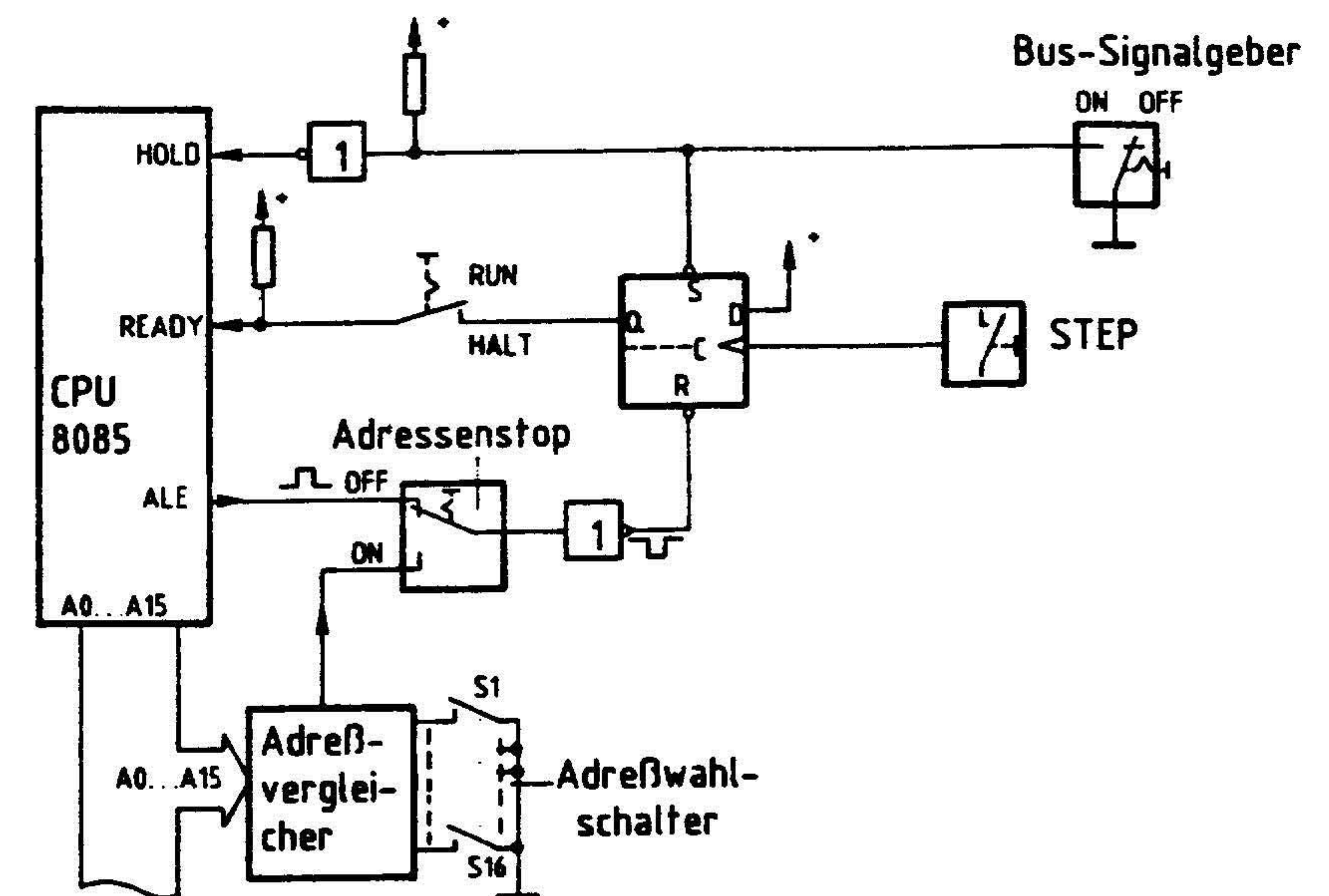


Bild 18: Grundschaltung für Einzelschrittbetrieb ab einer vorgewählten Adresse.

Wenn der "Adressenstop" eingeschaltet ist (ON), wird die CPU nicht durch das ALE-Signal, sondern durch das Signal vom Adreßvergleich über den READY-Eingang angehalten. Die "Stop-Adresse" wird mit den Schaltern S1 bis S16 eingestellt. Der Adreßvergleich liefert nur dann ein H-Signal, wenn die Adresse auf dem Adreßbus mit der eingestellten übereinstimmt.

Zur Steuerung des Einzelschrittbetriebs muß dann der "Adreßstop" ausgeschaltet (OFF) werden. Jeder Einzelschritt kann mit der STEP-Taste gestartet werden.

Prozessor 8085

5.3. Das Zusammenwirken der Baugruppen "Prozessor 8085" und "Bus-Signalanzeige"

Alle zur Einzelschrittsteuerung gehörenden Funktionsgruppen befinden sich auf der Baugruppe "Bus-Signalanzeige". Bild 19 zeigt den entsprechenden Teil der Schaltung mit den erforderlichen Verbindungen zur CPU.

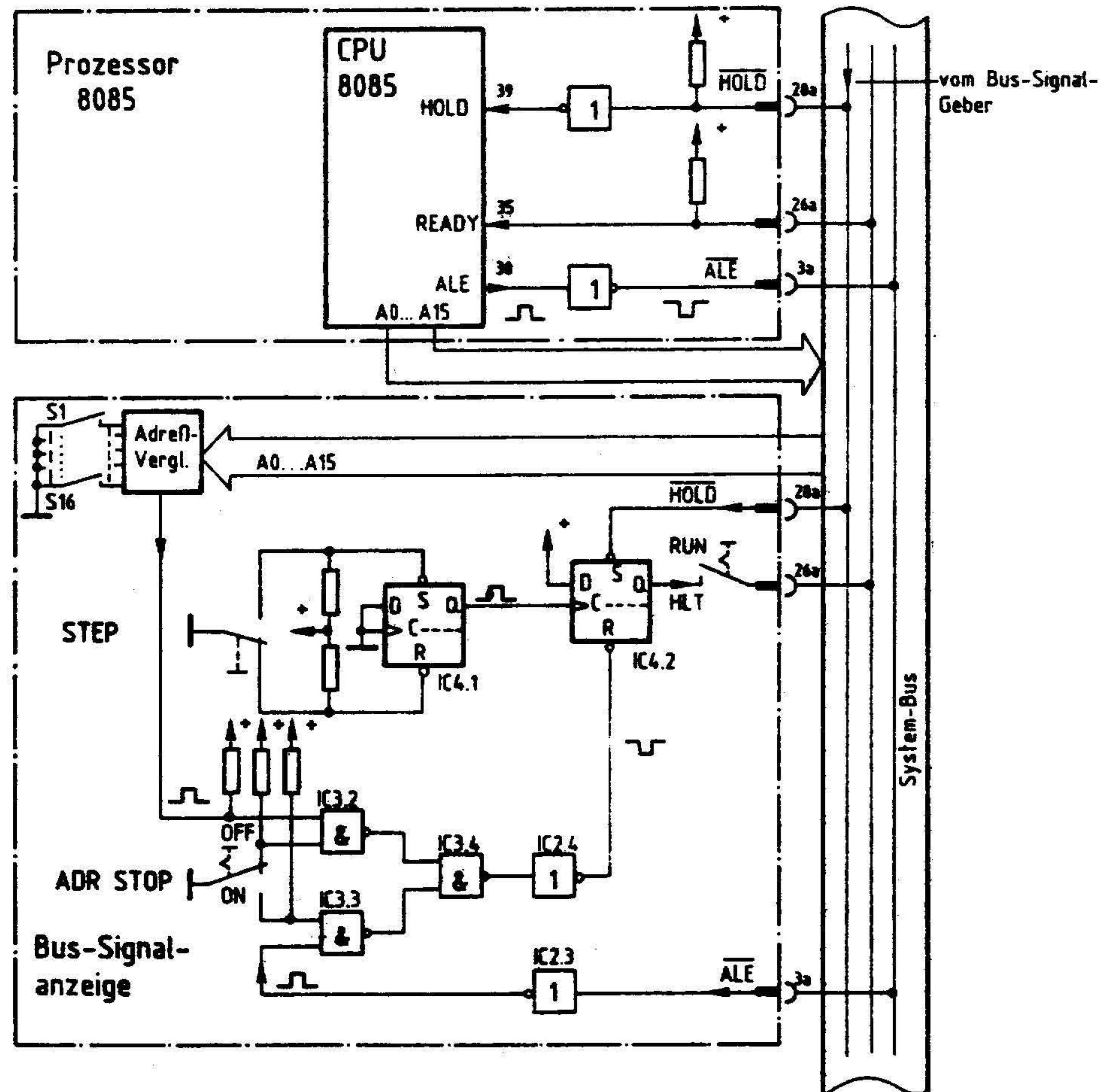


Bild 19: Zusammenwirken Prozessor 8085 und Einzelschrittsteuerung.

IC4.1 entprellt den mechanischen STEP-Taster.

Der in Bild 18 als Block dargestellte "Adressenstop" besteht aus dem mech. Umschalter und den IC's 3.2 - 3.4.

Prozessor 8085

5.3.1. Einzelschrittbetrieb ohne Adressenstop (siehe Bild 19)

Voraussetzung: ADR.STOP-Schalter auf OFF
RUN/HLT -Schalter auf HLT

- Die CPU legt Wartezyklen ein (siehe 5.2.); Adreß-Daten- und Steuersignale werden angezeigt auf der Bus-Signalanzeige.
- Bei Betätigen der STEP-Taste wird der Ausgang von IC4.2 und damit READY auf H-Pegel gesetzt.
- Die CPU arbeitet einen Maschinenzklus lang und wird durch den ALE-Impuls zu Beginn des folgenden Maschinenzklus wieder gestoppt.
- Weitere Schritte werden jeweils durch Betätigen von STEP eingeleitet.

Anmerkung: Soll die CPU den Einzelschrittbetrieb bei Adresse 0000 H aufnehmen, muß vor Betätigen der STEP-Taste die "CPU-RESET-Taste" betätigt werden.

5.3.2. Einzelschrittbetrieb mit Adressenstop

Voraussetzung: 1. RUN/HLT-Schalter auf HLT.
2. ADR.STOP-Schalter auf ON.

Vorher muß die gewünschte Stoppadresse mit DIL-Schaltern auf der Bus-Signalanzeige eingestellt werden. Die Startadresse 0000 wird durch Betätigen von RESET eingegeben.

- Die CPU legt Wartezyklen ein; Adreß-Daten- und Steuersignale werden angezeigt.
- Betätigen der STEP-Taste startet die CPU. Wenn sie die gewünschte Adresse erreicht hat, wird der Ausgang vom IC4.2 und damit auch READY auf L-Pegel gesetzt.
- Die CPU legt Wartezyklen ein.
- Jetzt ADR.STOP-Schalter auf OFF!
Einzelschrittbetrieb wie oben.

6. Interrupteingänge, Interruptsignale (Interrupt = Unterbrechung)

Über die Unterbrechungseingänge ist es möglich, die CPU während der Programmabarbeitung zu unterbrechen und sie zu veranlassen, zunächst ein anderes Programm zu bearbeiten. Nach der Ausführung des Unterbrechungsprogramms bearbeitet die CPU dann das alte Programm weiter.

Die Unterbrechungseingänge heißen Interrupt-Eingänge, die Unterbrechungssignale entsprechend Interrupt-Signale oder kurz Interrupts.

Beispiele für die Anwendung von Interrupts:

- periphere Geräte (z.B. Drucker, Tastatur, Lochstreifenleser etc.) melden über einen Interrupteingang, daß sie mit dem Mikrocomputer in Kontakt treten wollen;
- bei falscher Programmausführung will der Bediener den Programmablauf unterbrechen;
- Behebung von Fehlern bei Prozeß- oder Maschinensteuerungen.

Ein Interruptsignal bewirkt im Mikroprozessor die folgenden Aktivitäten:

1. Der gerade laufende Befehl wird zu Ende geführt.
2. Die Adresse des folgenden Befehls wird gespeichert, da das Programm später weiterbearbeitet werden muß.
3. Erzeugung einer zum jeweiligen Unterbrechungseingang zugeordneten Adresse, Sprung dorthin und Abarbeitung des dort niedergelegten Interrupt-Bedienungsprogrammes.
4. Rücksprung ins Ausgangsprogramm zur gespeicherten Adresse.

Die folgende Tabelle (Bild 20) gibt eine Übersicht über die Interrupteingänge der CPU 8085, die zur Auslösung eines Interrupts erforderlichen Signale, die erzeugten Sprungadressen und die Priorität (Vorrangigkeit) der Interrupts.

Bezeichnung des Eingangs	Priorität	Sprung zur Adresse (H)	Art der Auslösung des Interrupts durch ...
TRAP	1	0024	L-H-Flanke <u>und</u> H-Pegel bis zur Annahme
RST7.5	2	003C	L-H-Flanke; Anforderung wird bis zur Annahme gespeichert
RST6.5	3	0034	H-Pegel bis zur Annahme
RST5.5	4	002C	"
INTR	5	*	"

Bild 20: Interrupt-Eingänge-, Prioritäten-, Sprungadressen und Art der Interruptauslösung.

- * Es sind acht Interrupts mit unterschiedlichen Sprungadressen möglich. Dem Mikroprozessor muß nach der Annahme des Interrupts (Quittung über CPU-Ausgang INTA) über den Datenbus mitgeteilt werden, welche der Adressen gemeint ist. Abhängig vom Datenbyte sind die folgenden Sprungadressen möglich:

Datenbyte	C7	CF	D7	DF	E7	EF	F7	FF
Sprungadr.	0000	0008	0010	0018	0020	0028	0030	0038

Weitere Informationen über die Unterbrechungsbehandlung finden Sie im Datenbuch "Mikroprozessor-System SAB 8085" der Firma Siemens.

Hinweis: Ein aktiver Interrupteingang kann oft einen unerwünschten Arbeitsablauf der CPU zur Folge haben. Deshalb ist es wichtig, die Signalpegel der Interrupteingänge bei Inbetriebnahmearbeiten auf ihre richtigen Werte hin zu überprüfen. Bild 21 gibt Ihnen die richtigen Pegelwerte an.

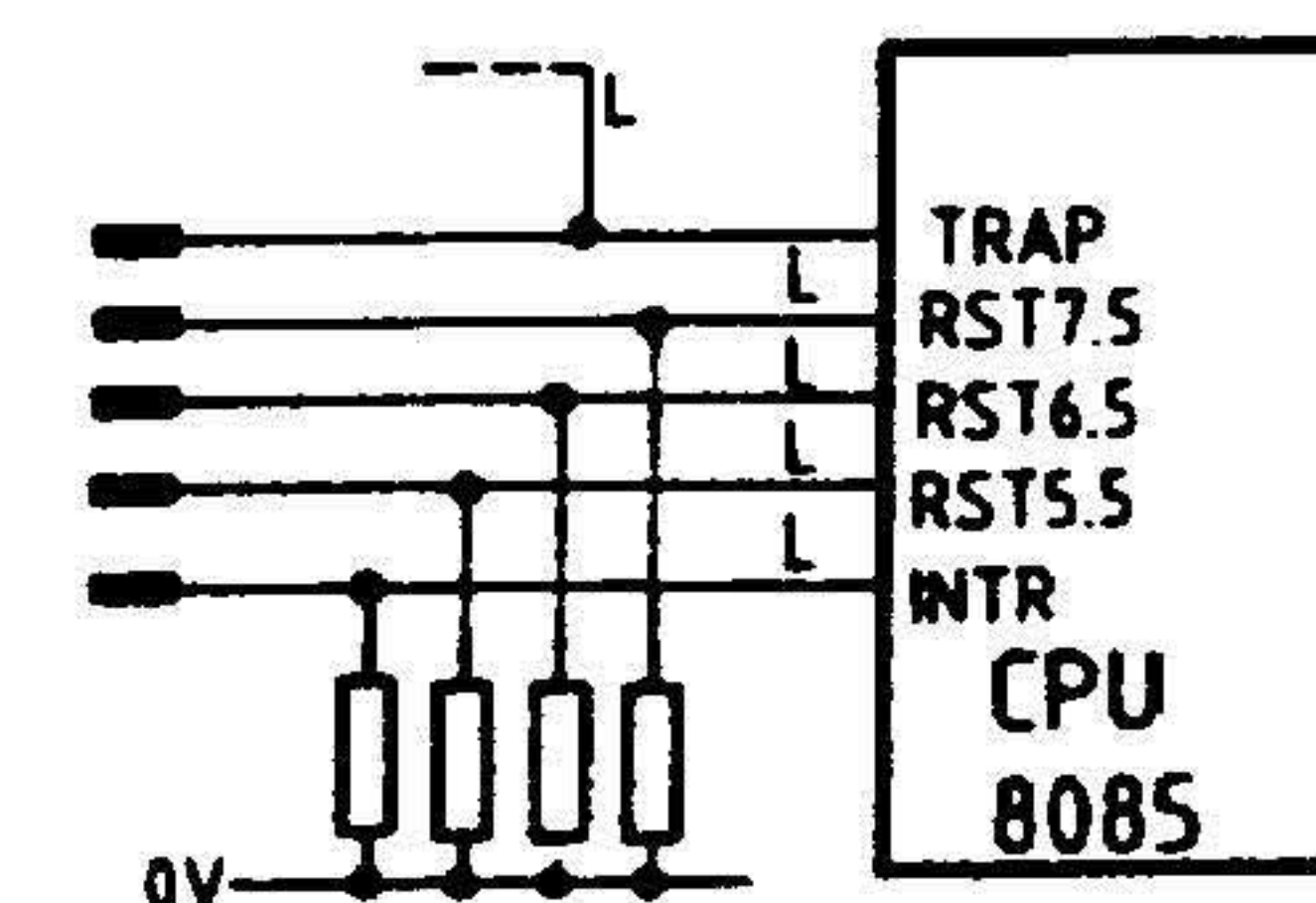


Bild 21: Pegelwerte der nichtaktiven Interrupteingänge.

7. Serieller Dateneingang (SID) und Datenausgang (SOD)

Ohne großen Schaltungsaufwand ist es bei der CPU 8085 möglich, mit Hilfe zweier dafür im Befehlssatz vorhandener Befehle parallel vorliegende Daten seriell zu senden bzw. zu empfangen. Beim Senden muß das zu sendende Datenbyte im Akkumulator stehen. Es wird dann Bit für Bit über den Ausgang SOD (Seriell Output Data = serieller Datenausgang) ausgegeben. Beim Empfang über den Eingang SID (Seriell Input Data = serieller Dateneingang) gelangt das bitweise empfangene Datenbyte ebenfalls in den Akkumulator.

Peripherie-Geräte, wie z.B. ein Datensichtgerät oder eine Teletype (Teletypewriter = Fernschreiber, kurz TTY), stehen mit dem Mikrocomputer über den seriellen Datenaustausch in Verbindung.

Damit der Mikrocomputer mit solchen Ein-/Ausgabegeräten Verbindung aufnehmen kann, sind auf den Übertragungsleitungen bestimmte genormte Pegel erforderlich. Man unterscheidet zwischen Strom- und Spannungspegel und entsprechenden Schnittstellen.*

Eine 20-mA-Stromschnittstelle wird bei einer Teletype benötigt und entspricht folgender Vereinbarung:

- logisch 1 = unterbrochener Stromkreis (kein Strom)
- logisch 0 = Strom von 20 mA

Die meisten peripheren Geräte werden über eine V-24-Spannungsschnittstelle betrieben (z.B. Datensichtgerät); dabei gilt dann die folgende Vereinbarung:

- logisch 1 = Spannung zwischen -3 V und -25 V
- logisch 0 = Spannung zwischen +3 V und +25 V

Da die CPU Ausgangssignale mit Spannungen von 5 V oder 0 V liefert, ist zwischen ihr und Geräten mit 20-mA- und V-24-Schnittstellen eine Pegelanpassung erforderlich. Mit Hilfe von Drahtbrücken kann auf der Baugruppe "Prozessor 8085" sowohl eine Spannungs- als auch eine Stromschnittstelle hergerichtet werden.

* Schnittstelle: Verbindung, Anpassung zwischen Mikrocomputer und externen Geräten, auch Interface genannt.

7.1. 20-mA-Stromschnittstelle

Bild 22 zeigt die 20-mA-Stromschnittstelle der Baugruppe "Prozessor 8085" und den Anschluß eines Fernschreibers (Teletype, TTY) daran.

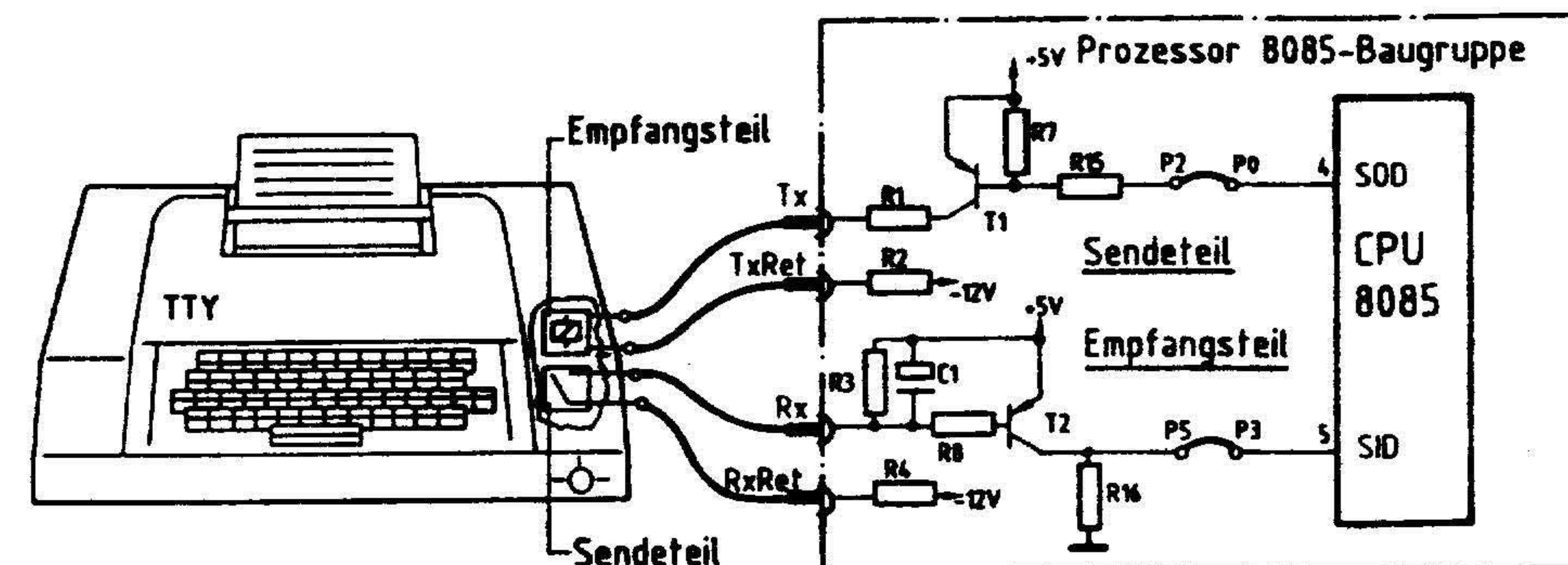


Bild 22: 20-mA - Stromschnittstelle und Fernschreiberanschluß.

Der untere Schaltungsteil in Bild 22 mit den Eingängen Rx, RxRet ist der Empfangsteil der 20-mA-Stromschnittstelle, der obere mit den Eingängen Tx, TxRet der Sendeteil.

Bei Betätigung einer Taste des Fernschreibers wird in seinem Sendeteil entsprechend dem Code des Zeichens auf der Taste ein Kontakt geschaltet.

Ein geschlossener Kontakt bewirkt, daß Transistor T2 leitet und der SID-Eingang H-Pegel erhält. Bei offenem Kontakt liegt SID auf L-Pegel.

Soll das von der CPU aufgenommene Zeichen auch ausgedruckt werden, so muß ein eigens dafür bereitzustellendes Programm dafür sorgen, daß das Zeichen am CPU-Ausgang SOD seriell ausgegeben wird.

Ein H-Pegel an SOD sperrt Transistor T1 und unterbricht den Strom (20 mA) zum Empfangsteil des Fernschreibers. Das dort eingebaute Empfangsrelais wird nicht erregt. Bei einem L-Pegel an SOD leitet T1 und erregt das Empfangsrelais. Nachdem das gesamte Zeichen übertragen ist, wird es auf dem Druckwerk des Fernschreibers ausgedruckt.

Alle Bauteile für die 20-mA-Stromschnittstelle befinden sich bereits auf der Platine, es muß lediglich eine Steckverbindung in die Frontplatte eingebaut und verdrahtet werden.

Bild 23 zeigt die Lage der notwendigen Anschlüsse auf der Platine.

Prozessor 8085

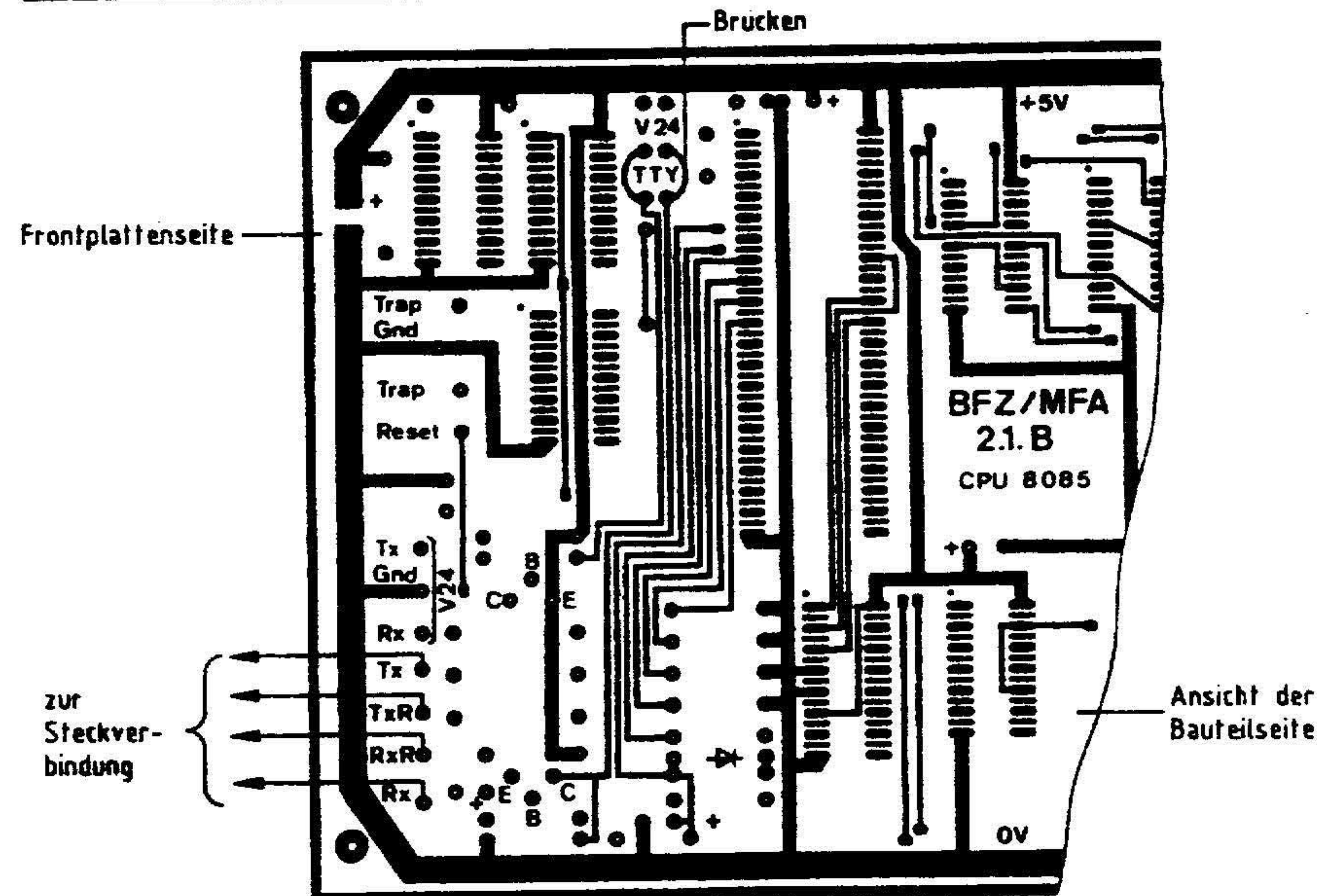


Bild 23: Anschluß 20-mA- Stromschnittstelle

7.2. V-24-Spannungsschnittstelle

Bild 24 zeigt die V-24-Spannungsschnittstelle der Baugruppe "Prozessor 8085" mit einer angeschlossenen Datensichtstation.

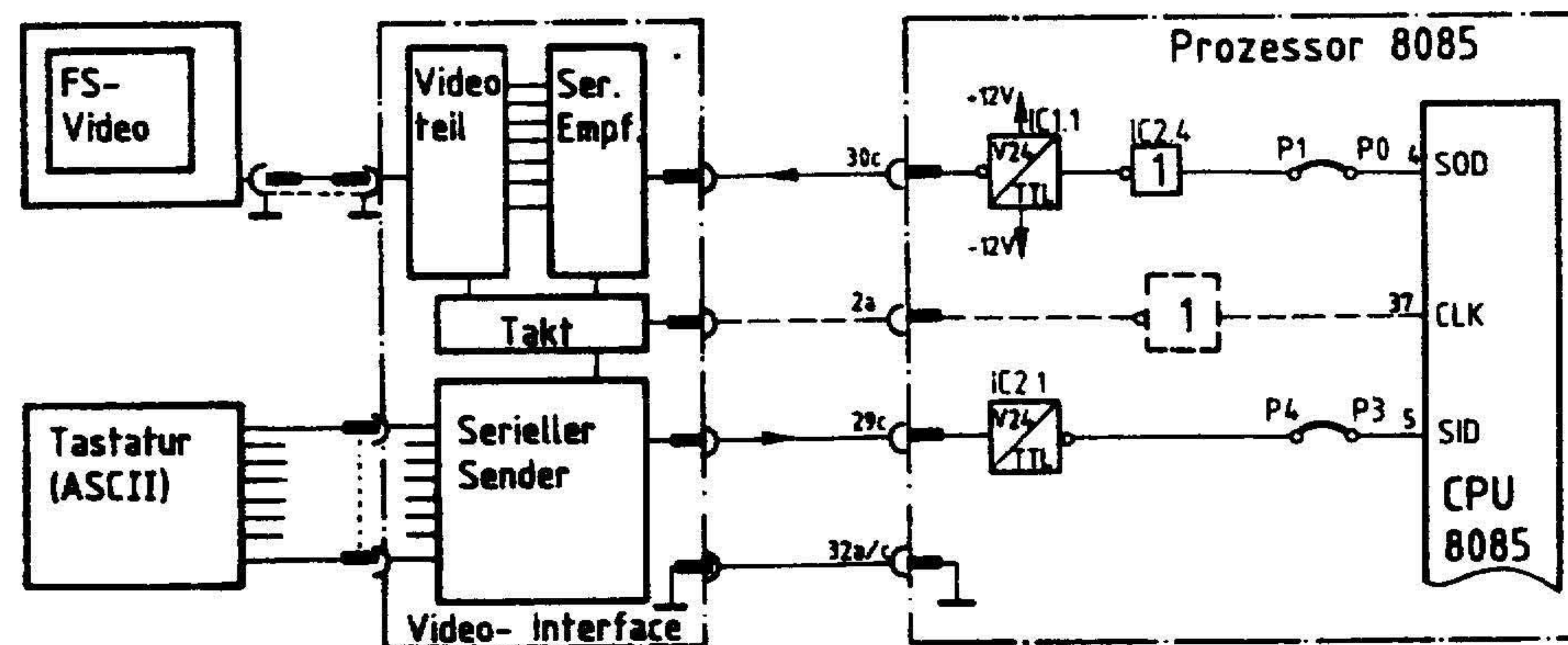


Bild 24: V-24- Spannungsschnittstelle, Anschluß einer Datensichtstation.

Prozessor 8085

Die Anpassung der TTL-Pegel auf V-24-Pegel und umgekehrt übernehmen die integrierten Bausteine IC1.1 und IC2.1. Der Schaltkreis IC1.1 benötigt dazu eine Spannungsversorgung von ± 12 V, sie wird vom System-Netzteil geliefert.

Der Datenverkehr läuft wie folgt ab:

Ein mit der ASCII-Tastatur ausgegebenes Zeichen gelangt in paralleler Form in den "Seriellen Sender" innerhalb der Baugruppe "Video-Interface". Er wandelt dieses Zeichen in die serielle Form um und liefert es so an die CPU. Mit Hilfe eines eigens für diesen Zweck vorhandenen Programms (Teil des Betriebsprogramms) gelangt es über den Eingang SID in den Akkumulator, das ist ein spezielles Register innerhalb der CPU. Aus dem Akkumulator wird das Zeichen dann in serieller Form über den CPU-Ausgang SOD an den "Seriellen Empfänger" innerhalb des Video-Interfaces gesendet. Der wandelt das Zeichen in die parallele Form zurück und liefert es an den Videoteil. Dort wird es dann in eine Form gebracht, die eine Darstellung auf dem Bildschirm des Fernsehgerätes gestattet.

Der interne Arbeitsablauf des Video-Interfaces wird mit Hilfe des CPU-Taktes (2 MHz) gesteuert. Bei Verwendung der V-24-Schnittstelle müssen die in Bild 25 dargestellten Drahtbrücken auf der Baugruppe "Prozessor 8085" eingelötet werden.

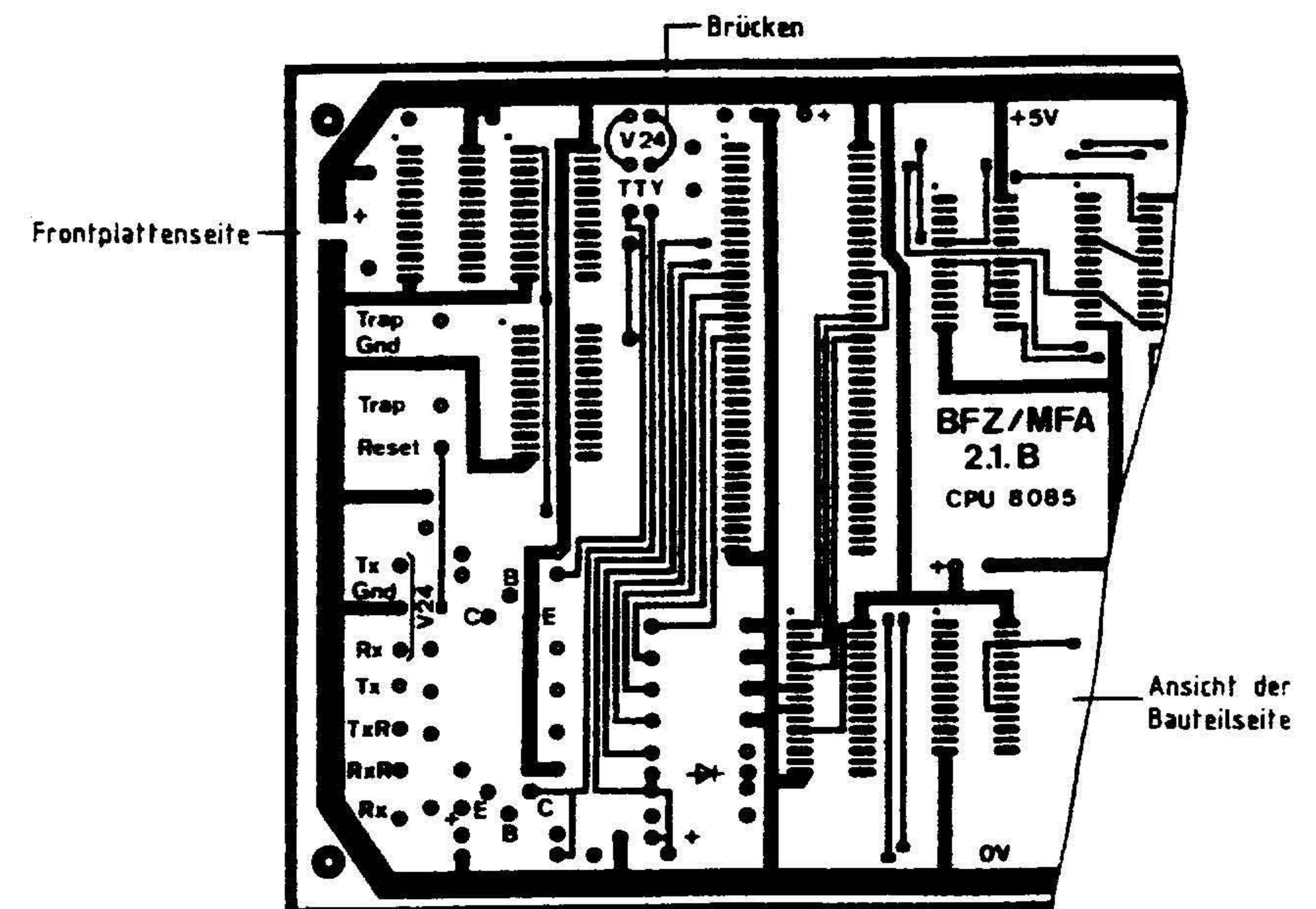


Bild 25: Drahtbrücken für V-24- Schnittstelle

8. Blockschaltbild der Baugruppe "Prozessor 8085"

Anhand des Blockschaltbildes (Bild 27) wird die Funktion der Baugruppe zusammenfassend erklärt.

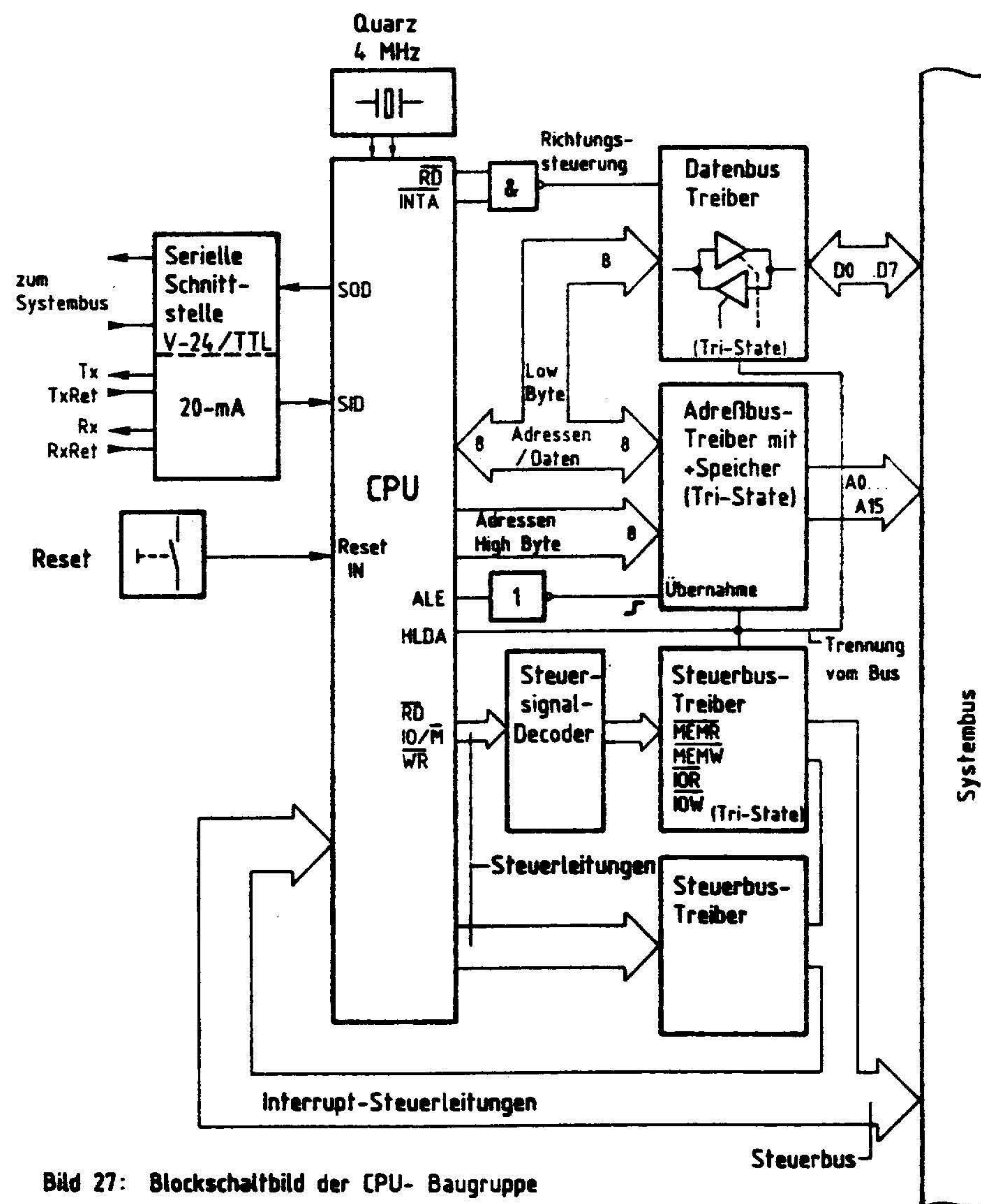


Bild 27: Blockschaltbild der CPU- Baugruppe

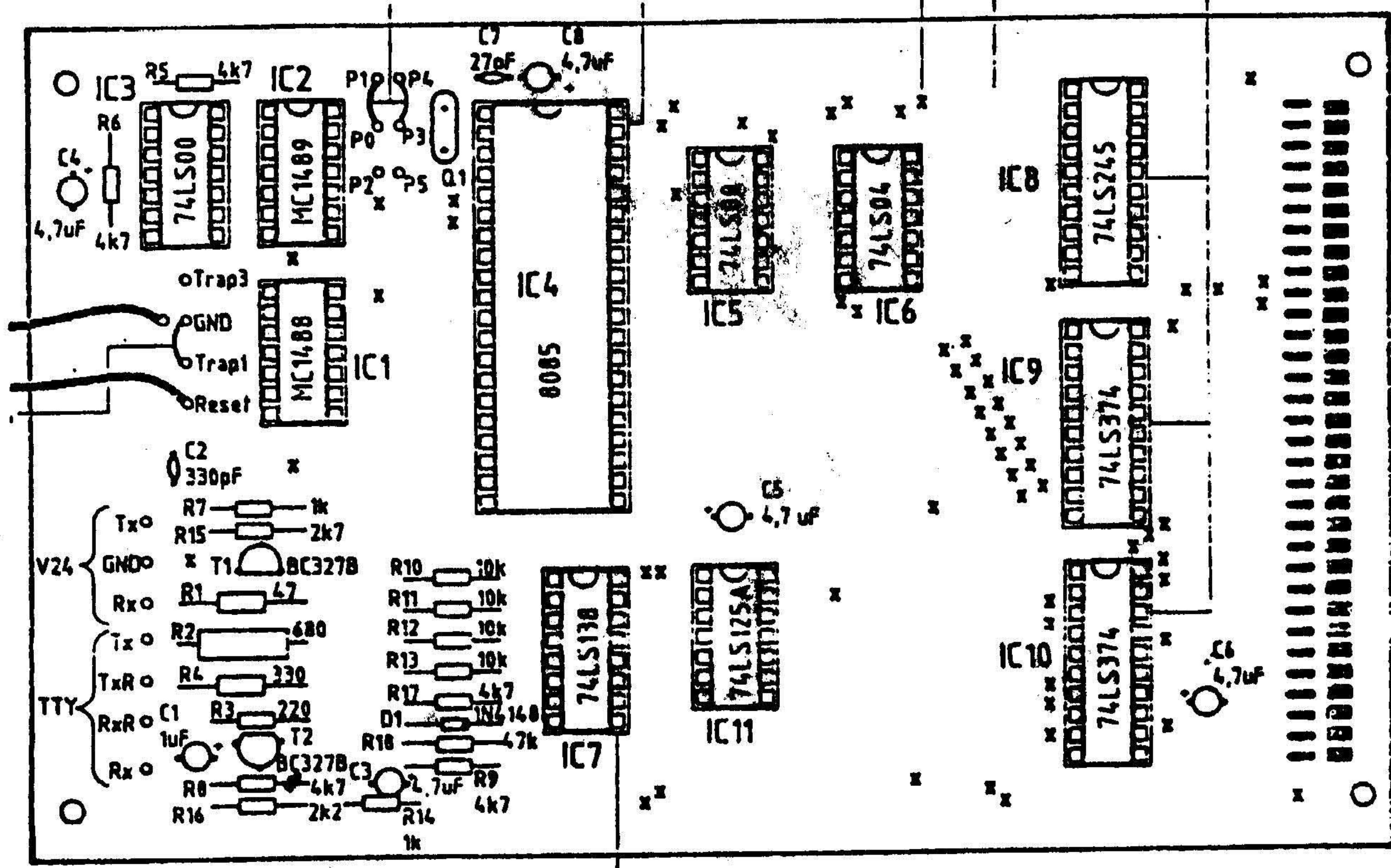
Die CPU hat die Aufgabe, Befehle auszuführen, die im Speicher abgelegt sind, sowie Daten zu verarbeiten, z.B. Addieren von Zahlen, Ausgeben von Ergebnissen, Verknüpfen von Daten.

Die zur Bewältigung dieser Aufgabe nötigen Funktionsgruppen befinden sich in der CPU.

- Zum Einholen von Befehlen (Was ist zu tun?) und Daten (Mit wem?) aus dem Programmspeicher gibt die CPU eine 16-Bit-Signalkombination (Adresse) auf den Adreßbus.
- Mit einem Steuersignal veranlaßt sie dann, daß der Inhalt der adressierten Speicherstelle über den Datenbus in die CPU gelangt. Die anschließende Verarbeitung der Daten erfolgt CPU-intern.
- Die Ausgabe von Daten geschieht genauso:
Adresse ausgeben - Steuersignal ausgeben - Daten ausgeben.
- Zwischen der CPU und dem Systembus befinden sich die Treiber bzw. Treiber und Zwischenspeicher für die Adreß-, Daten- und Steuersignale. Bei der CPU 8085 ist es nötig, die unteren acht Bit (Low-Byte) einer von der CPU ausgesendeten Adresse zwischenzuspeichern, da dieser Teil des Busses auch für den Datentransport benutzt wird. Die oberen acht Bit (High-Byte) des Adreßbusses (CPU-seitig) werden nur für den Adreßverkehr benutzt. Sie werden zwischengespeichert, um die CPU-Ausgänge zu entlasten.
- Die Übernahme der Adressen in die Speicher bzw. Treiber wird mit dem CPU-Signal ALE gesteuert.
- Da die Daten nach der Ausgabe der Adresse auf dem für beide benutzten Busteil der Baugruppe verkehren, brauchen diese nicht zwischengespeichert zu werden. Der Datenbustreiber muß jedoch Datenverkehr in zwei Richtungen zulassen. Gesteuert wird die Datenflußrichtung durch die Steuersignale RD und INTA.

Prozessor 8085

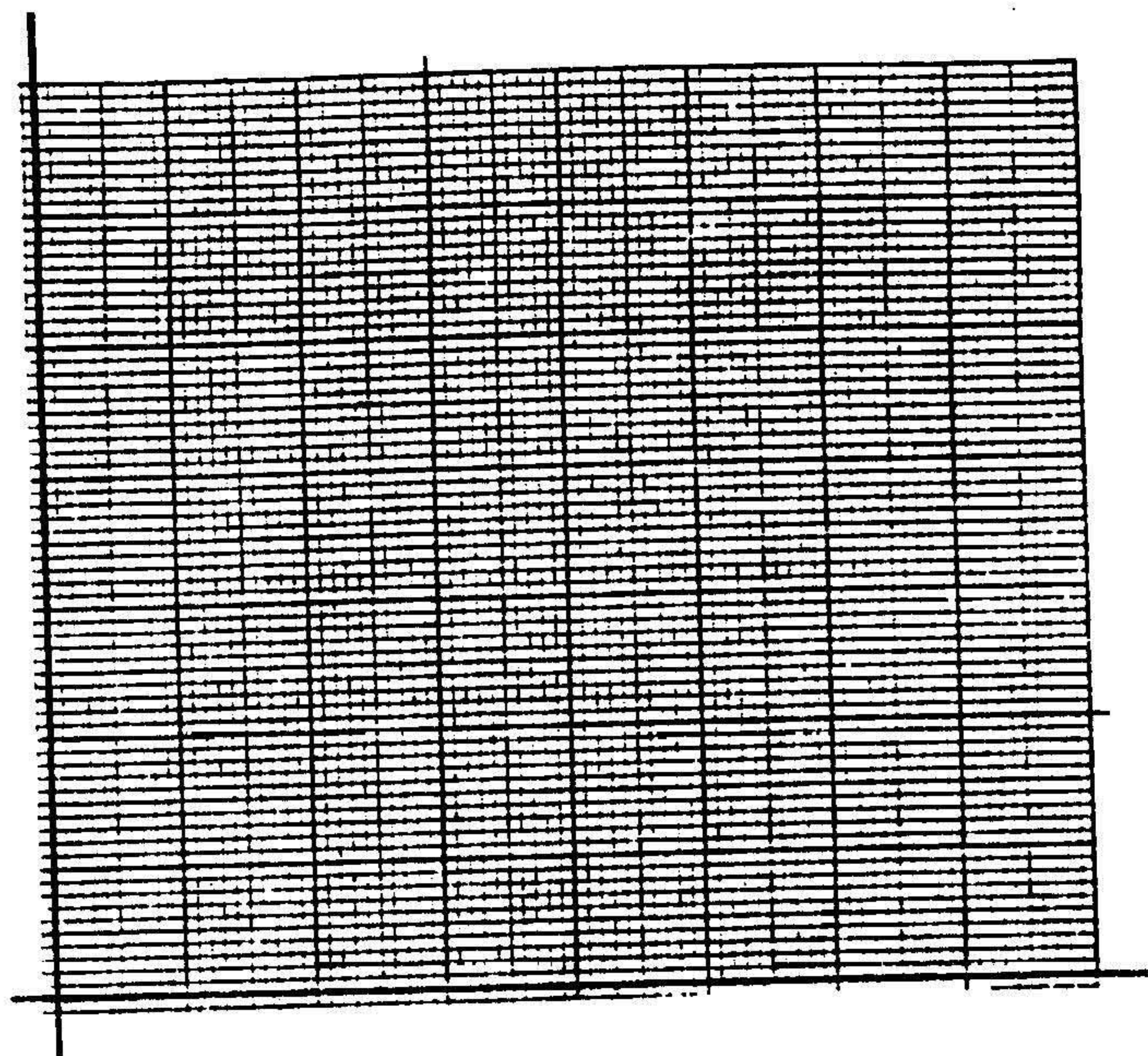
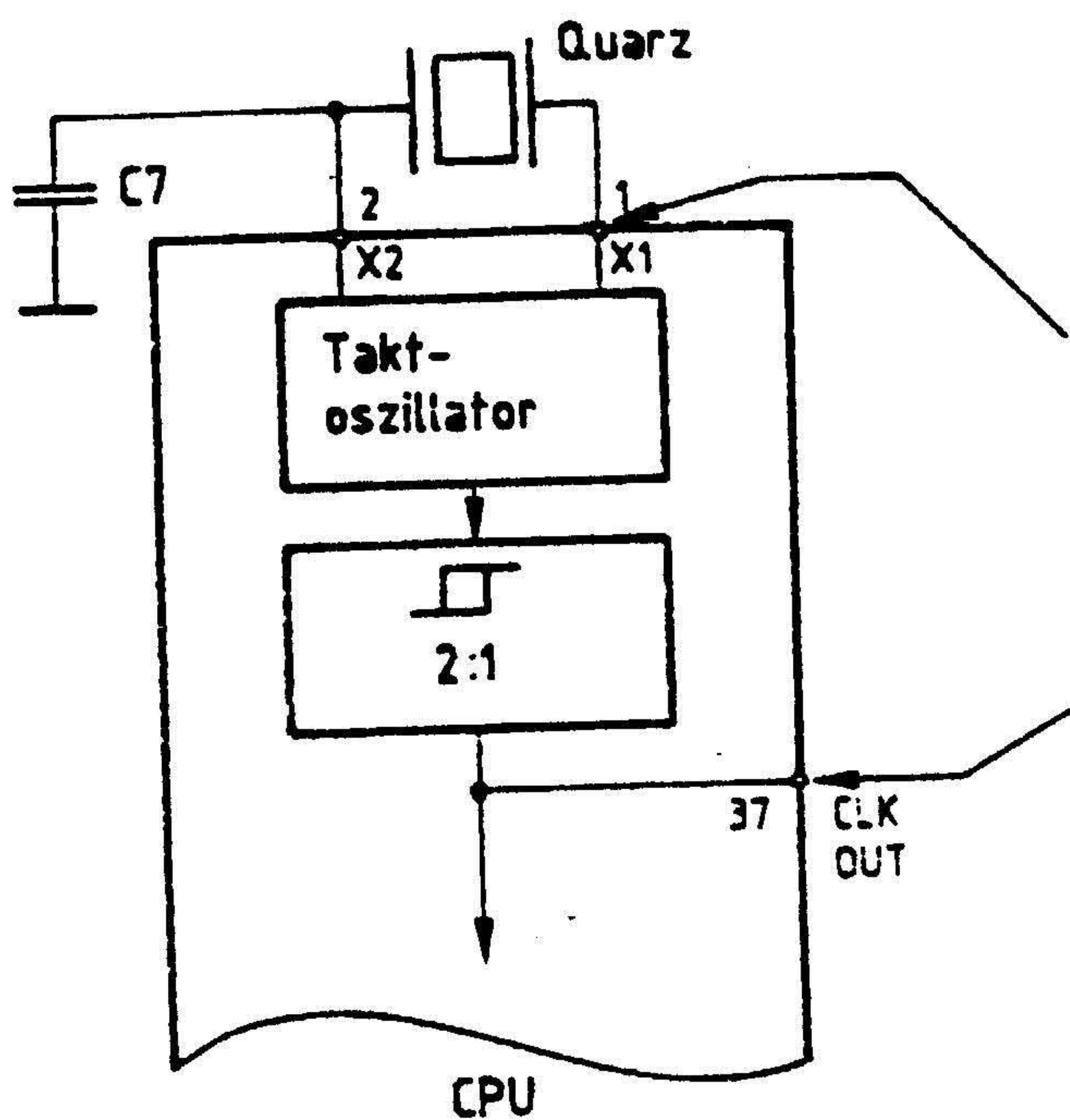
- Mit den Steuersignalen \overline{RD} , $\overline{IO/\overline{M}}$ und \overline{WR} meldet die CPU, ob sie Lesen oder Schreiben will, und zwar in oder aus Speicherstellen oder Ein/Ausgabe-Geräte. Im Steuersignal-Decoder werden diese Signale decodiert und gewandelt in die System-Steuersignale
 - \overline{MEMR} - Speicherstelle lesen
 - \overline{MEMW} - in Speicherstelle einschreiben
 - \overline{IOR} - Eingabebaugruppe lesen
 - \overline{IOW} - in Ausgabebaugruppe einschreiben
- Über das CPU-Signal HLDA lassen sich die Daten-, Adreß- und Steuerbustreiber in den hochohmigen Zustand schalten.
- Alle übrigen Steuersignale sind nur gepuffert, d.h. sie sind nicht vom Bus trennbar.
- Über die Interrupt-Steuerleitungen kann die CPU veranlaßt werden, ihre momentane Programmbearbeitung zu unterbrechen, um ein vorrangiges Programm zu bearbeiten.
- An die serielle Schnittstelle kann ein Datensichtgerät oder ein Fernschreiber (TTY) angeschlossen werden.
- Mit der Reset-Taste wird die CPU veranlaßt, ihre Programmabarbeitung bei dem Speicherplatz mit der Adresse 0000 H zu beginnen.
- Der 4-MHz-Quarz erzeugt CPU-intern ein Rechtecksignal mit einer Taktperiodendauer von 500 ns (interne Teilung durch zwei). Mit Hilfe dieses Taktes werden alle Arbeitsschritte der CPU gesteuert.



CPU

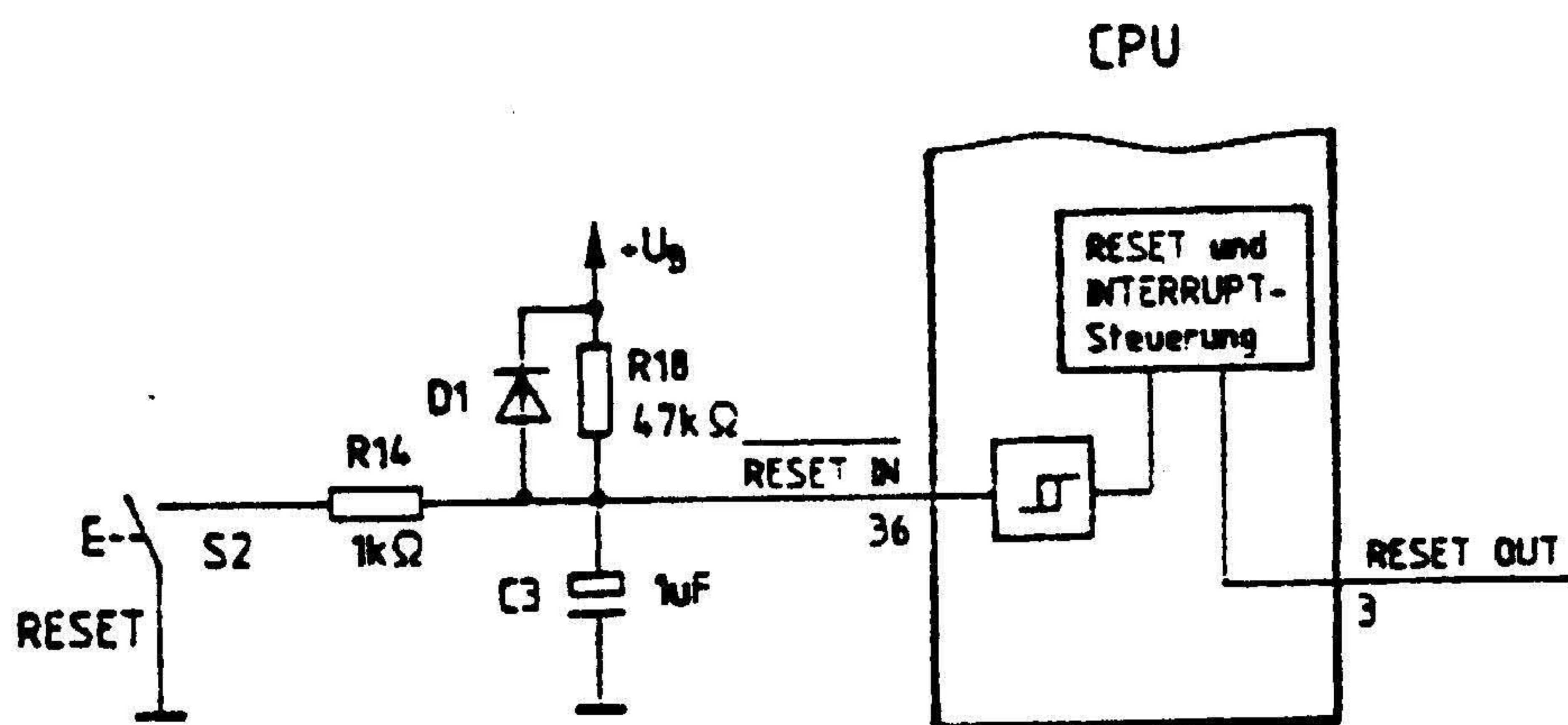
Bestückungsplan Leiterplatte

40

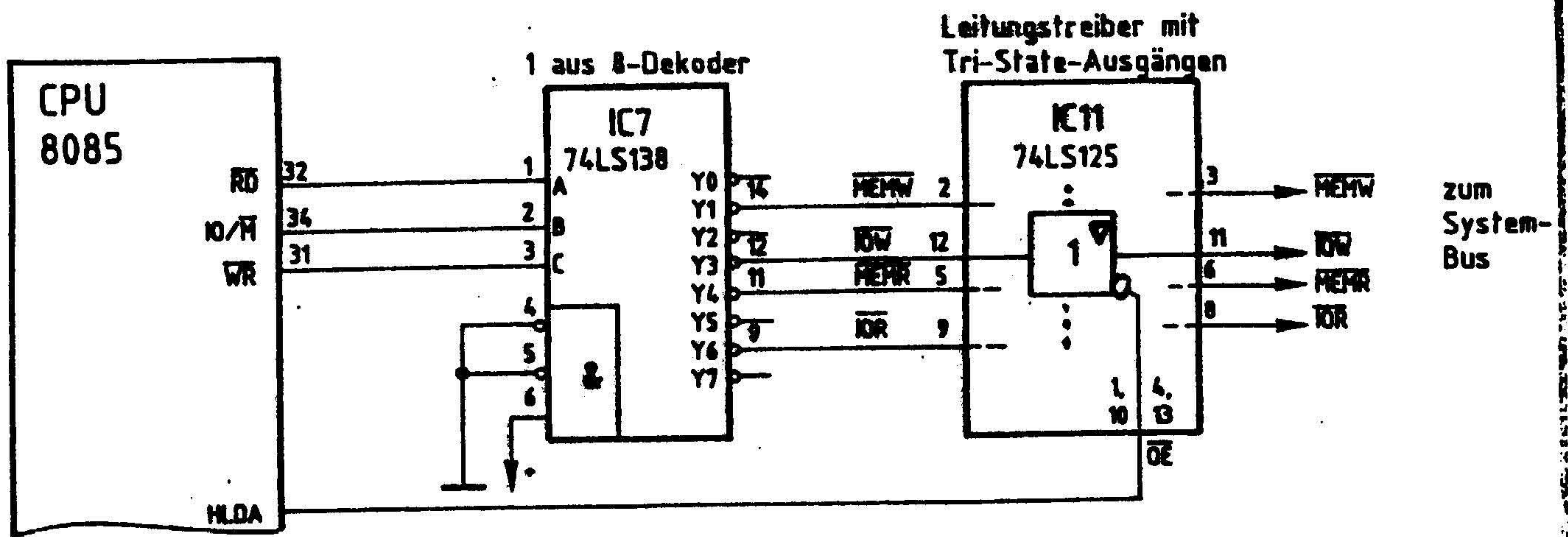


x: 0,5 μ s/Teil
y: 0,2 V/Teil mit Tastkopf 1:10

Takterzeugung und oszillographische Darstellung des Taktes



Schaltung "Zurücksetzen der CPU"



Eingänge			Ausgänge								Bemerkung
C	B	A	7	6	5	4	3	2	1	0	



M F A

Decodierung der CPU-Steuersignale \overline{RD} , \overline{WR} und IO/\overline{M} .

42

Dynamische Prüfung der CPU-Baugruppe

Um eine dynamische Prüfung der CPU durchzuführen, ist die CPU-Baugruppe in den Einschub-Rahmen zu stecken.

Stellen Sie mit den Adreß-Schaltern der Bus-Signalanzeige die Adresse 0000 ein.

Stellen Sie den Schalter HLT/RUN auf RUN und den Schalter ON/OFF auf OFF.

Die Bus-Signalanzeige ist über die Adapter-Karte in den Einschub-Rahmen zu stecken.

Alle Speicher-Baugruppen sind aus dem Einschub-Rahmen zu entfernen.

Welche Werte wird die CPU über den Daten-Bus lesen, wenn man das Gerät einschaltet ?

Antwort: Wert: _____

Begründung: _____

Schließen Sie nun die Datenleitung ~~DO~~^{DF} an der Adapter-Karte mit der Steuerleitung MEMR kurz. Welche Werte wird die CPU nun über den Daten-Bus lesen, wenn man das Gerät einschaltet ?

Antwort: Wert: _____

Begründung: _____



Nach dem Einschalten liest die CPU zuerst einen Befehl.
Welcher Befehl wird gelesen, wenn der Kurzschluß zwischen der
Datenleitung ~~D0~~_{D7} und der Steuerleitung MEMR durchgeführt wurde ?

Antwort: _____

Schalten Sie das Gerät ein und oszillographieren Sie den ver-
lauf der Adreßsignale.

Triggern Sie das Oszilloskop extern über Meßpunkt MP1 auf der
Bus-Signalanzeige.

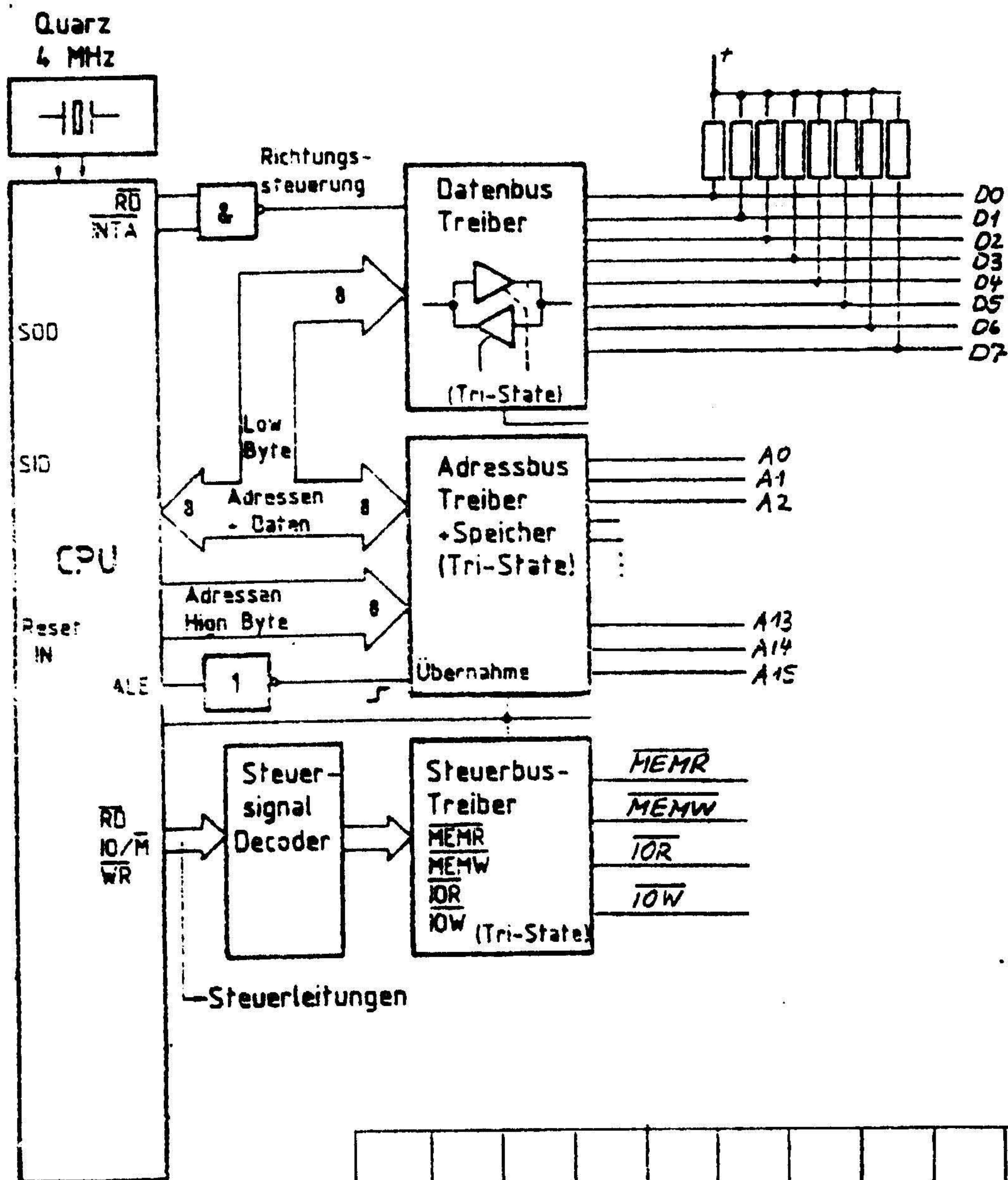


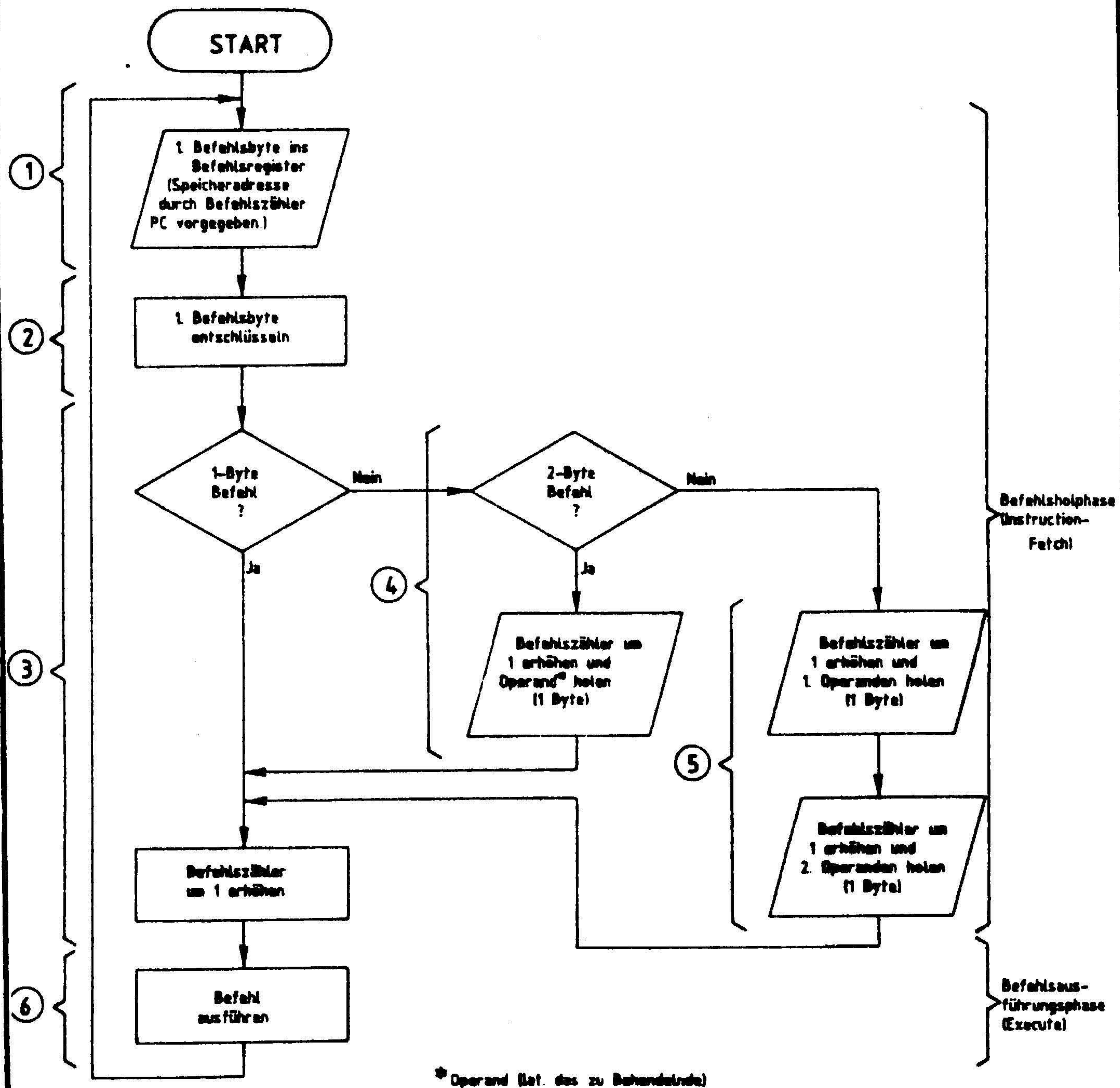
Arbeitsmittel

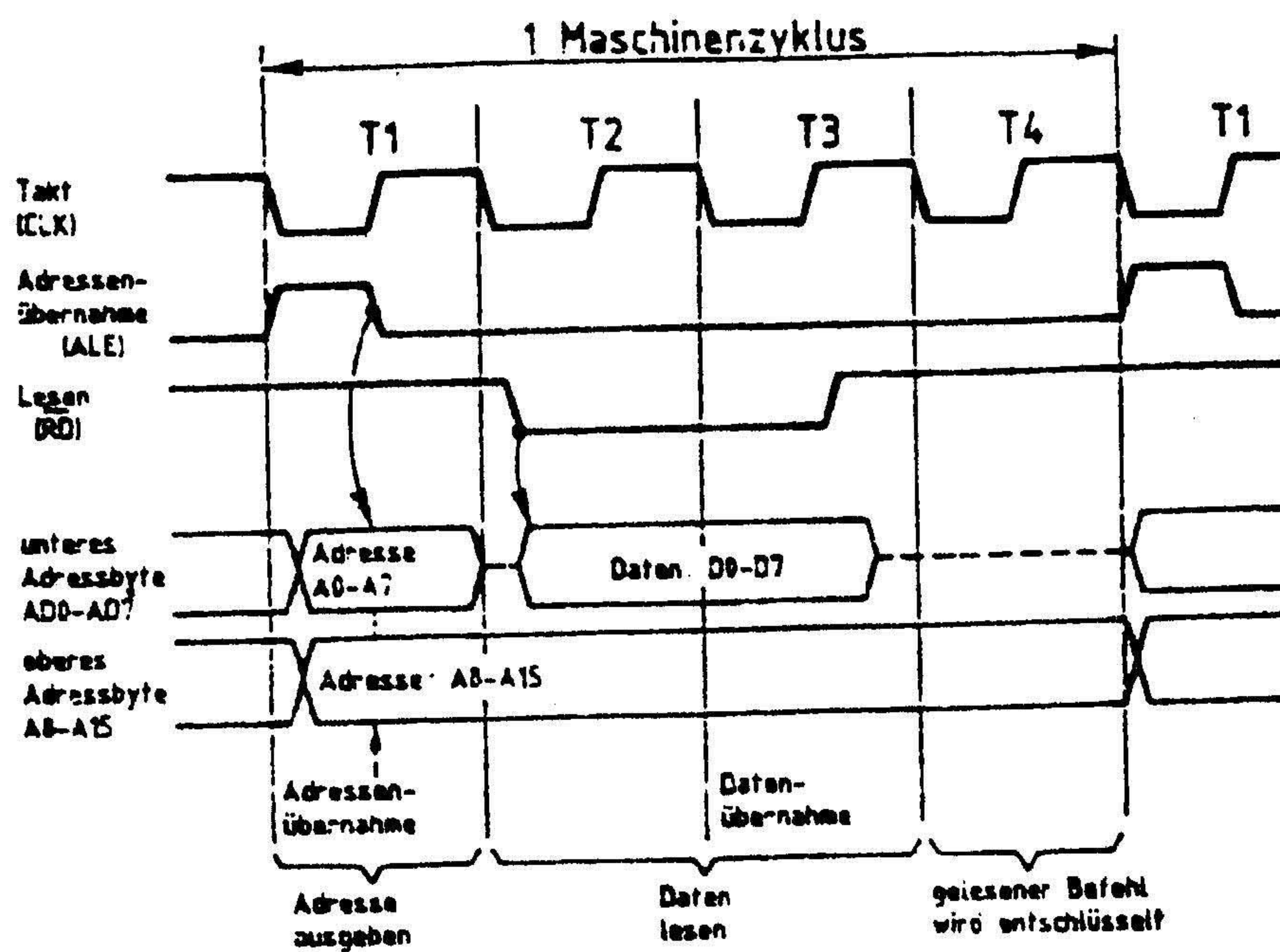
Free - Run - Mode

44

Einfache dynamische Prüfung der CPU-Baugruppe

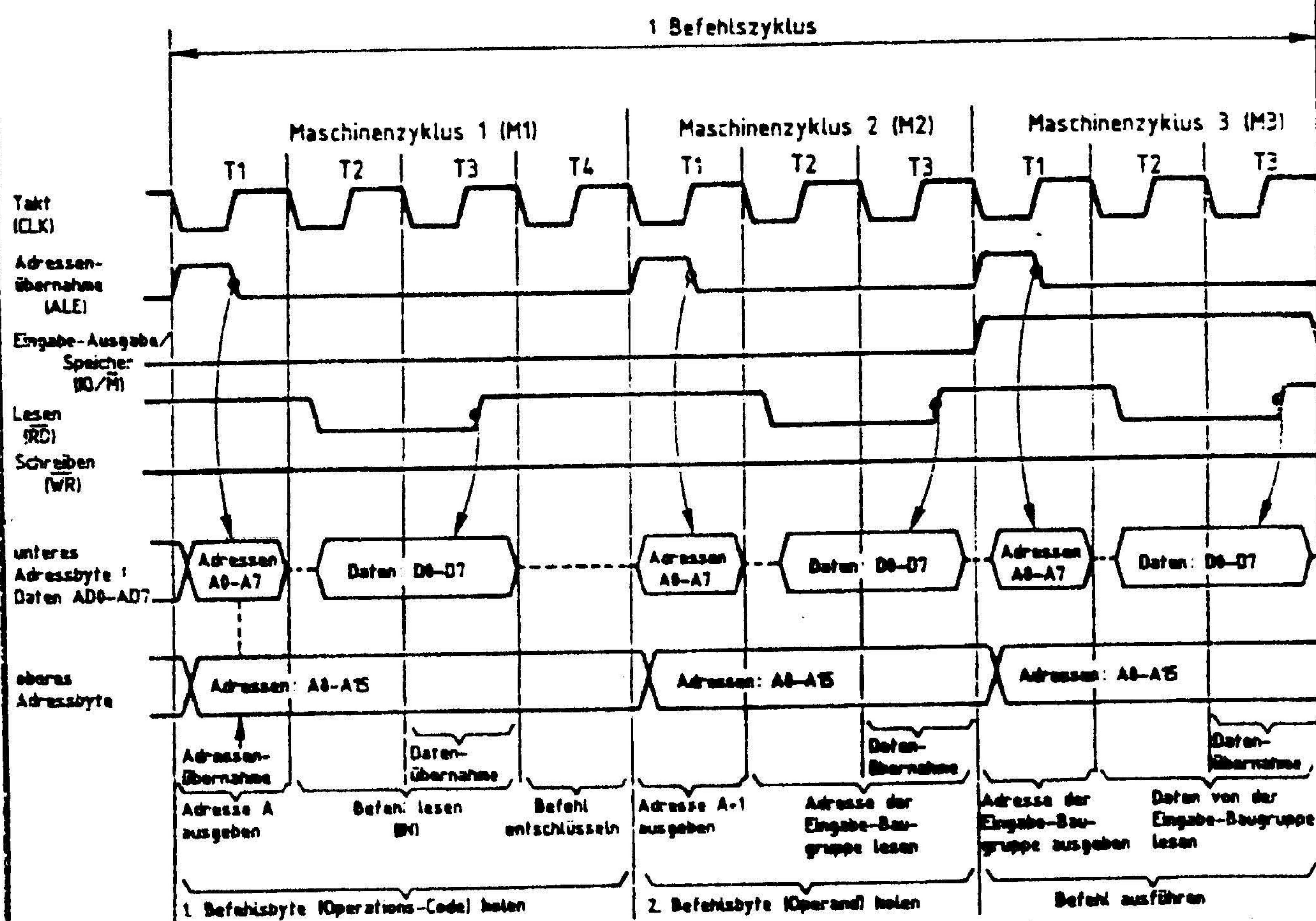
[illegible]





Darstellungsart von Adressen / Daten	
	Daten bzw. Adressen liegen fest an
	wechseln
	sind nicht definiert

Signalverlauf "Befehl holen und entschlüsseln", (Befehlsholphase)



Stift- Nr.	Reihe		Bemerkung
	a	c	
1	+5V	+5V	
2	CLKOUT	ST	
3	ALE	SO	
4	D0	D1	
5	D2	D3	
6	D4	D5	
7	D6	D7	
8	HLDA	INTA	
9	YOW	MEMW	
10	YOR	MEMR	
11	ROM	IN	
12	RAM	OUT	
13	TRAP	RESOUT	
14			
15		A16	
16	A17	A0	
17	A1	A2	
18	A3	A4	
19	A5	A6	
20	A7	A8	
21	A9	A10	
22	A11	A12	
23	A13	A14	
24	A15		
25	RST7,5	INTR	
26	READY	RST5,5	
27	RESIN	RST6,5	
28	HOLD		
29	PULS OUT	Rx	
30	PULS F.INT.	Tx	
31	+12V	-12V	
32	GND	GND	

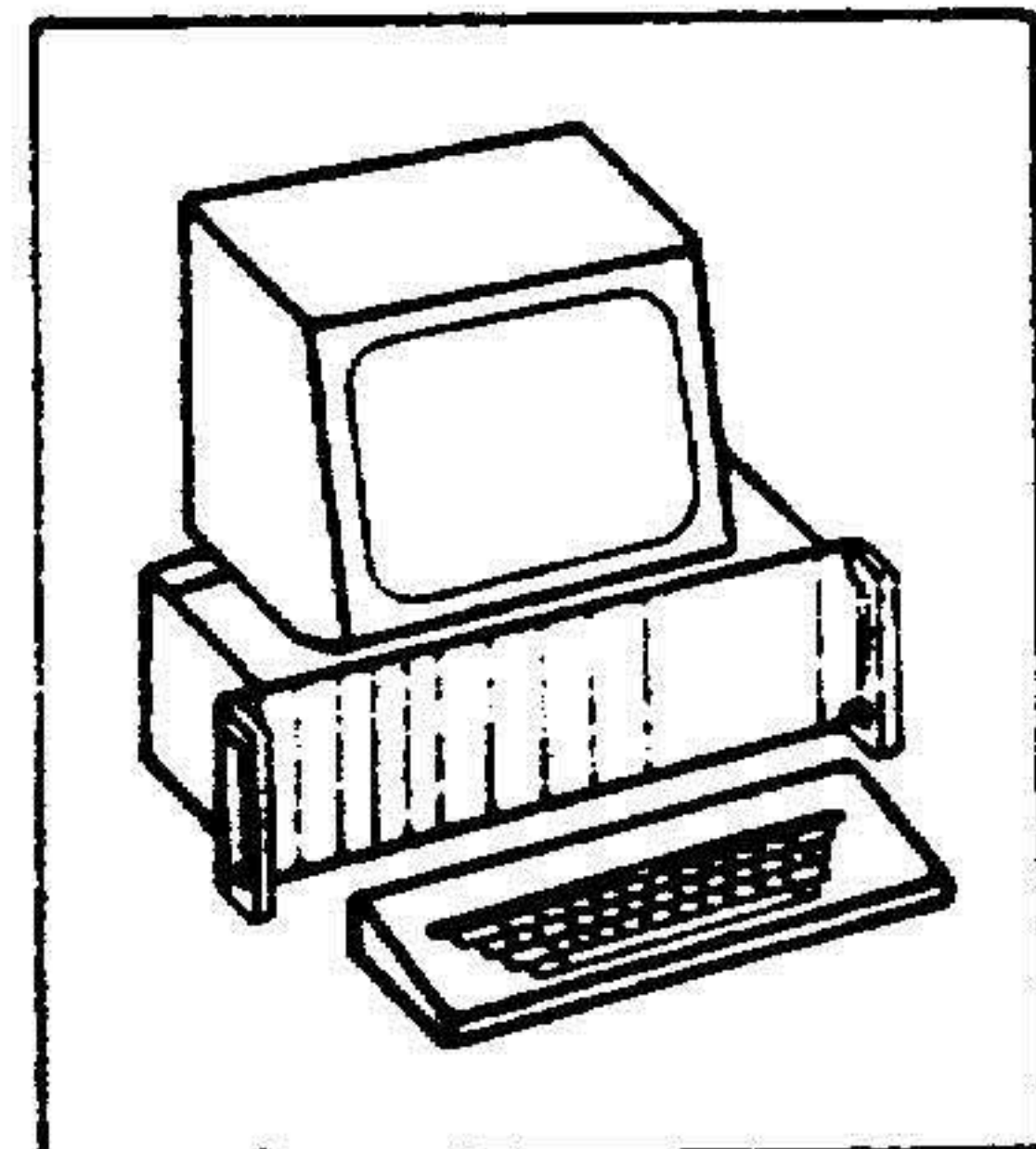


Arbeitsmittel

PIN - Belegung der Busleiste

48

FACHPRAKTISCHE ÜBUNG MIKROCOMPUTER-TECHNIK



Spannungsregelung

BFZ/MFA 1.2.



Diese Übung ist Bestandteil eines Mediensystems, das im Rahmen eines vom Bundesminister für Bildung und Wissenschaft, vom Bundesminister für Forschung und Technologie sowie der Bundesanstalt für Arbeit geförderten Modellversuches zum Einsatz der "Mikrocomputer-Technik in der Facharbeiterausbildung" vom BFZ-Essen e.V. entwickelt wurde

Funktionsbeschreibung

BFZ / MFA 1.2. - 1

Spannungsregelung

1. Blockschaltbild des Mikrocomputer-Netzteils

Bild 1 zeigt das Blockschaltbild des Mikrocomputer-Netzteils.

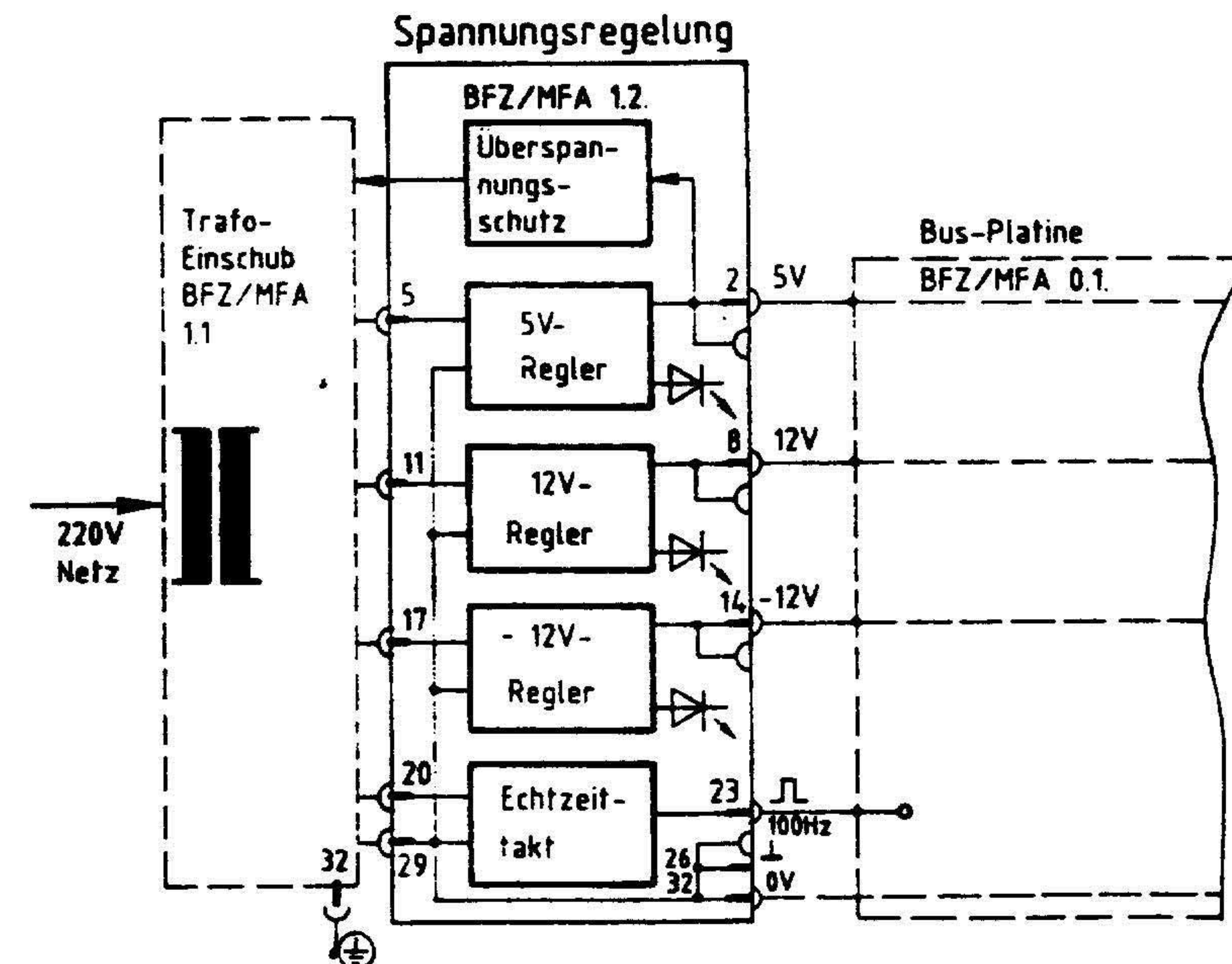


Bild 1: Blockschaltbild Mikrocomputer-Netzteil

Das Netzteil besteht aus den beiden Baugruppen Trafo-Einschub und Spannungsregelung. Der Trafo-Einschub liefert alle unregulierten Gleichspannungen, die zur Erzeugung der Betriebsspannungen für das MC-System notwendig sind. In der Baugruppe Spannungsregelung werden die Gleichspannungen auf die Betriebsspannungen 5 V und ± 12 V geregelt. Sie stehen sowohl an der Messerleiste als auch an getrennten Buchsen auf der Frontplatte (für externe Experimente) zur Verfügung; je eine Leuchtdiode zeigt ihr Vorhandensein an. Ein Überspannungsschutz schaltet die Eingangsspannung des 5 V-Reglers ab, wenn infolge eines Defektes der Ausgang dieses Reglers eine Spannung von mehr als ca. 6 V annehmen sollte. Dadurch werden die von der 5 V-Versorgung gespeisten IC's des MC-Systems vor Überspannung geschützt. Für spätere Übungen und Anwendungen werden in einem Schaltungsteil schmale Rechteckimpulse mit einer Pulsfolgefrequenz von 100 Hz erzeugt.

2. Stromlaufplan der Spannungsregelung

Bild 2 zeigt den Stromlaufplan dieser Baugruppe. Benutzen Sie diesen Plan während der Bauphase und bei allen Messungen an dieser Baugruppe.

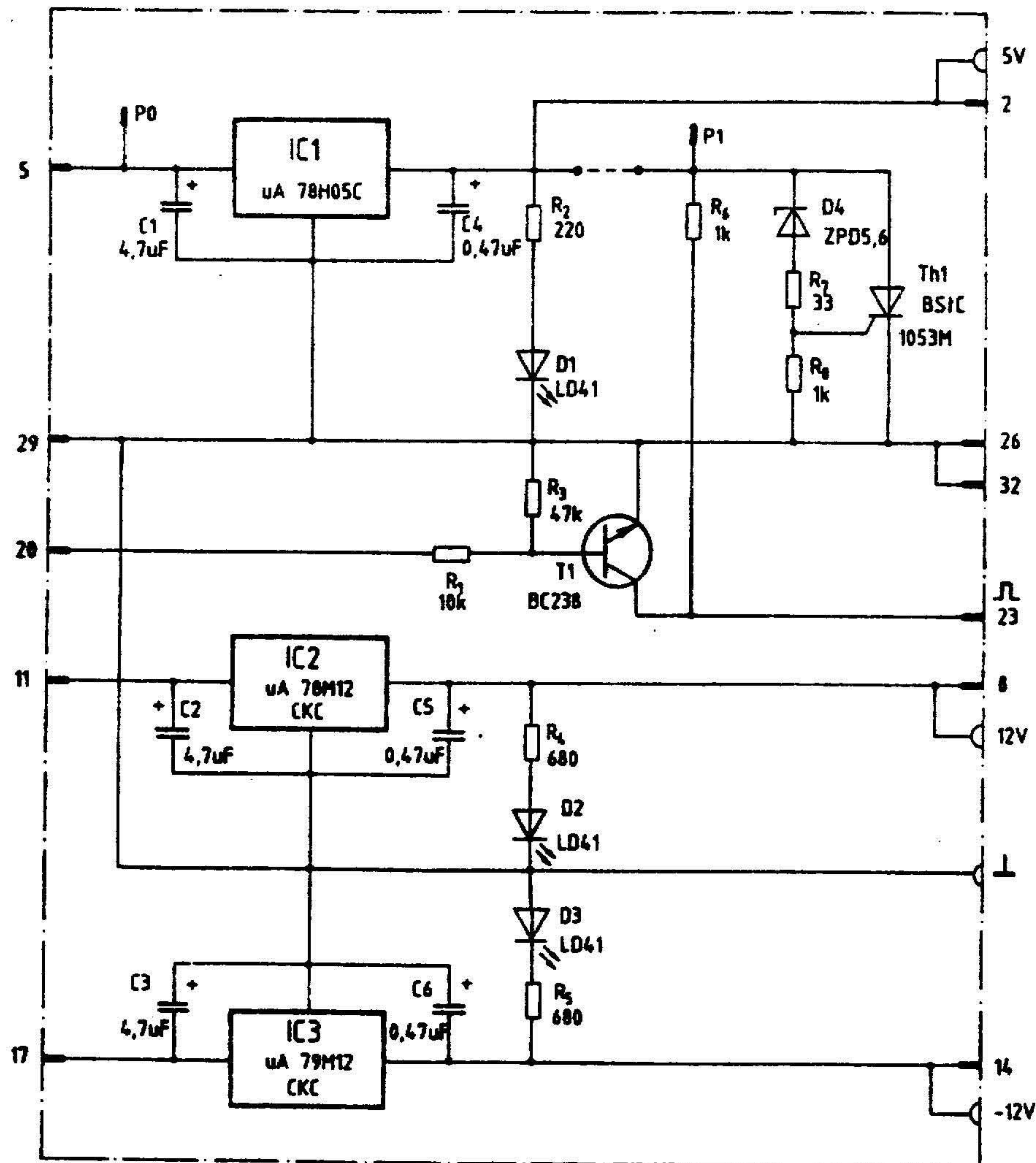


Bild 2: Stromlaufplan Spannungsregelung

Bei den Schaltkreisen IC 1, IC 2 und IC 3 handelt es sich um Festspannungsregler mit drei Anschlüssen. Alle Schaltungsteile, die zur Erzeugung einer geregelten Ausgangsspannung nötig sind (Meßglied, Regelverstärker, Referenzspannung, Strombegrenzung etc.), sind in diesen IC's bereits enthalten. Die Eingangsspannungen (ungeregelt) müssen lediglich mindestens 3...5 V höher sein als die geforderten, geregelten Ausgangsspannungen. Die Kondensatoren zwischen Eingang und Mittelanschluß bzw. Ausgang und Mittelanschluß verhindern ein Schwingen der Festspannungsregler. Die Leuchtdioden am Ausgang zeigen an, daß die betreffenden Spannungen vorhanden sind. Der Überspannungsschutz wird durch die Bauelemente D4, R7, R8 und den Thyristor Th1 gebildet. Steigt die Spannung am Ausgang von IC1 auf ca. 6...6,5 V an, so leitet die Z-Diode D4 und liefert dem Thyristor Th1 Gatestrom. Der Thyristor schließt die Ausgangsspannung kurz und läßt die Schmelzsicherung im Trafo-Einschub (Gleichspannung für den 5 V-Regler) durchschmelzen. Um diesen Schaltungsteil zu überprüfen, muß die Eingangsspannung dieses IC's (ca. 9 V) auf die Anode des Thyristors gelegt werden, was durch Verbindung der Meßstifte P0 u. P1 möglich ist. Die gestrichelt eingezeichnete Drahtbrücke (zw. P1 und Ausgang IC1) muß bei diesem Prüfvorgang getrennt werden, da sonst IC1 zerstört wird. Die Rechteckimpulse mit der Pulsfolgefrequenz von 100 Hz werden am Kollektor des Transistors T1 (Stift 23) abgenommen. Der Basis dieses Transistors wird dazu über den Spannungsteiler R1 - R3 eine ungeglättete, lückende Gleichspannung (aus einer Zweiweg-Gleichrichterschaltung) zugeführt. Immer wenn diese Spannung unter 0,6 V liegt, (in der Nähe der Nulldurchgänge der erzeugenden Wechselspannung), sperrt T1 und seine Kollektorspannung springt kurzzeitig auf 5 V. Die so erzeugten kurzen Spannungsimpulse werden später im Mikrocomputer-System für verschiedene Experimente benötigt.

3. Technische Daten der Baugruppe

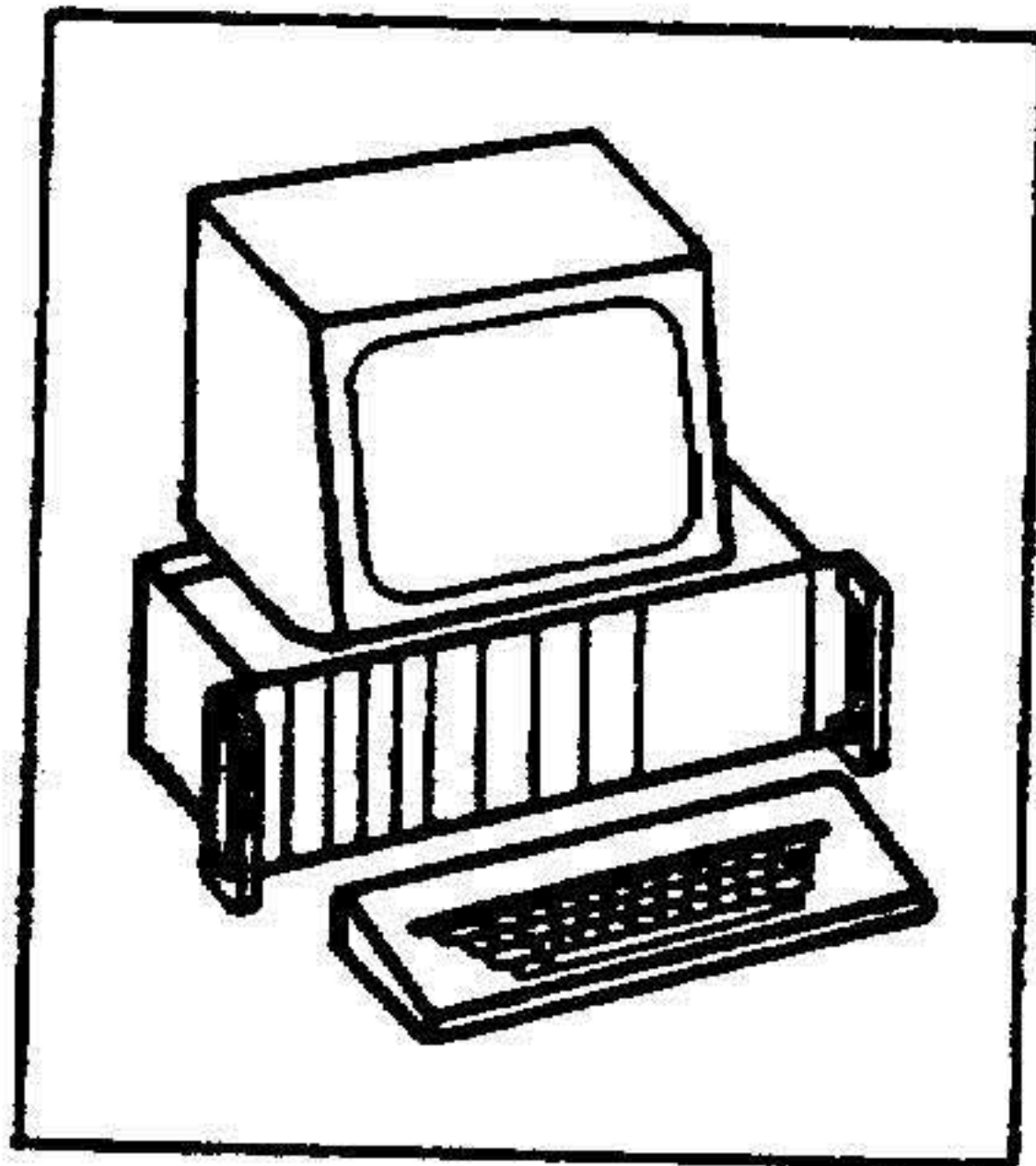
Ausgangsspannungen- und Ströme bei einer Netzspannung von $220\text{ V} \pm 10\%$ des

Trafo-Einschubs: $5\text{ V} / 4\text{ A}$; $\pm 12\text{ V} / 200\text{ mA}$;

Schutz: Überspannungsschutz für 5 V-Teil; alle IC's mit thermischem Überlastschutz und Kurzschlußstrombegrenzung;

Brummspannung: bei Maximalstrom kleiner 5 mVss für 5 u. $\pm 12\text{ V}$ -Teil.

FACHPRAKTISCHE ÜBUNG MIKROCOMPUTER-TECHNIK



Trafo-Einschub

BFZ/MFA 1.1.

Funktionsbeschreibung

BFZ / MFA 1.1.- 1

Trafo-Einschub

1. Aufbau des Mikrocomputer-Netzteils

Das Netzteil besteht aus den beiden Baugruppen Trafo-Einschub und Spannungsregelung (BFZ/MFA 1.2.). In der Baugruppe Spannungsregelung werden die vom Trafo-Einschub gelieferten Gleichspannungen auf die System-Betriebsspannungen 5 V, 12 V und -12 V geregelt. Weiterhin enthält diese Baugruppe einen Überspannungsschutz für die 5 V - Betriebsspannung und einen Schaltungsteil, der für spätere Übungen und Anwendungen schmale Rechteckimpulse mit einer Pulsfolgefrequenz von 100 Hz liefert.

2. Stromlaufplan des Trafo-Einschubs

Bild 1 zeigt den Stromlaufplan des Trafo-Einschubs. Benutzen Sie diesen Plan auch während der Bauphase und bei den Inbetriebnahme-Messungen.

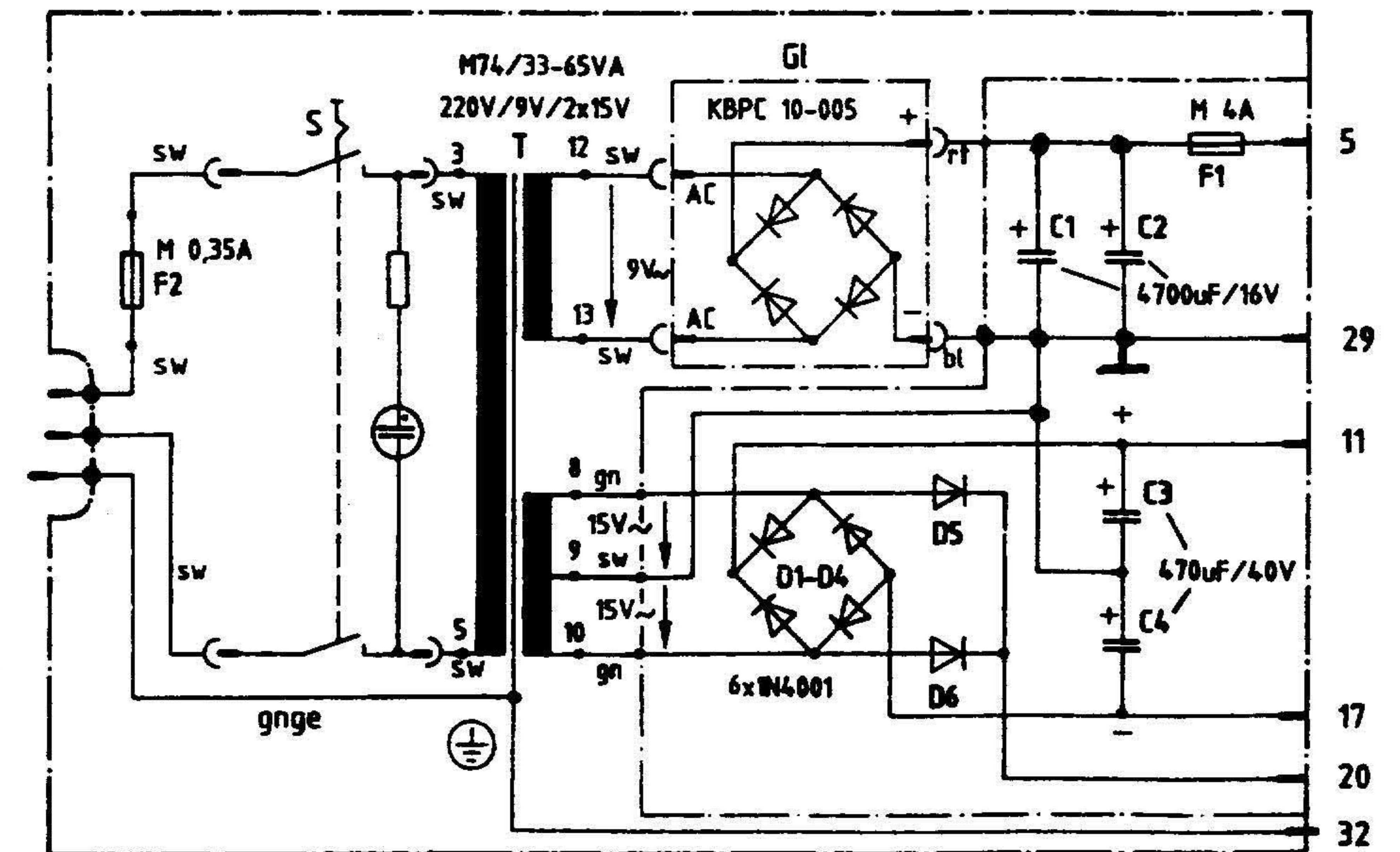


Bild 1: Stromlaufplan Trafo- Einschub



Diese Übung ist Bestandteil eines Mediensystems, das im Rahmen eines vom Bundesminister für Bildung und Wissenschaft, vom Bundesminister für Forschung und Technologie sowie der Bundesanstalt für Arbeit geförderten Modellversuches zum Einsatz der "Mikrocomputer-Technik in der Facharbeiterausbildung" vom BFZ-Essen e.V. entwickelt wurde

Trafo-Einschub

Die Netzspannung von 220 V wird dem Transformator T über einen Europastecker, die Schmelzsicherung F2 und den Schalter S zugeführt. Auf der Sekundärseite des Transformators befinden sich zwei getrennte Wicklungen, die eine liefert ca. 9 V (bei Nennlast) Wechselspannung und die andere zwei mal 15 V mit Mittelanzapfung. Die 9 V-Wechselspannung wird in dem Brückengleichrichter GL gleichgerichtet und anschließend mit den Kondensatoren C1 u. C2 geglättet. Die Spannung an diesen Kondensatoren beträgt etwa 10 V bei Nennlast. Sie wird über die Schmelzsicherung F1 und die Messerleisten-Stifte 5 u. 29 der Baugruppe Spannungsregelung (BFZ/MFA 1.2.) zugeführt. In der Spannungsregelung sorgt ein Überspannungsschutz dafür, daß in einem Fehlerfall diese beiden Stifte kurzgeschlossen werden, was zum Durchschmelzen der Sicherung F1 führt.

Die beiden 15 V-Wechselspannungen werden den Gleichrichtern D1 - D4 zugeführt und dort so gleichgerichtet, daß gegen die Mittelanzapfung der Wicklung gemessen, zwei Gleichspannungen mit unterschiedlicher Polarität entstehen. Die positive Gleichspannung wird vom Kondensator C3, die negative von C4 geglättet. Beide Spannungen stehen zwischen den Stiften 11 und 29 (positiv) bzw. 17 und 29 (negativ) zur Verfügung. Die Höhe dieser Spannungen beträgt etwa ± 19 V. Die beiden Dioden D5 und D6 liefern eine gleichgerichtete, lückende (also nicht geglättete) Gleichspannung, die für die Erzeugung schmaler Rechteckimpulse in der Nähe der Netz-Nulldurchgänge benötigt wird. Die Höhe dieser Spannung, meßbar zwischen den Stiften 20 u. 29, beträgt ca. 15 V.

Sämtliche Bauelemente sind so ausgelegt, daß das Mikrocomputer-Netzteil (Trafo-Einschub und Spannungsregelung) im Bereich zwischen 198 V bis 242 V Netzspannung ($220 \text{ V} \pm 10 \%$) funktionstüchtig ist.